



## 四、时序逻辑电路

黄慎宜

2025年12月14日

School of Microelectronics, University of Science and Technology of China

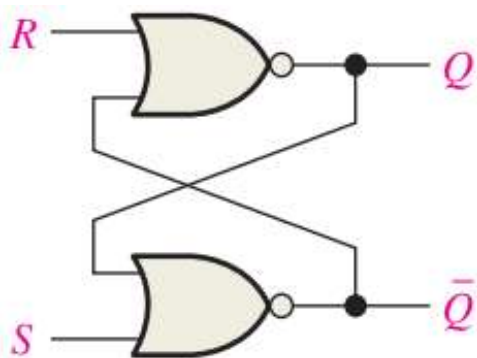
◆ 考点总结

◆ 习题讲解

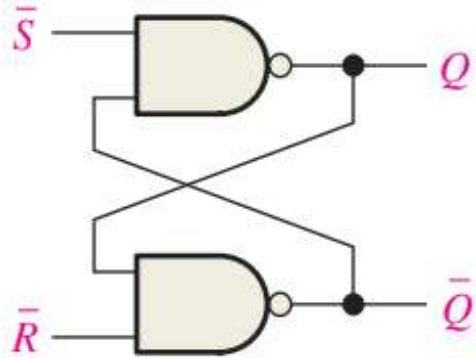
◆ 补充题



## 1. SR锁存器



用或非门组成的锁存器  
(高电平有效)



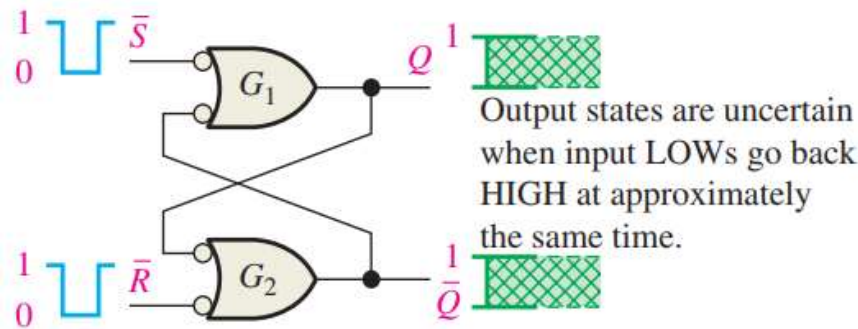
用与非门组成的锁存器  
(低电平有效)

功能表 (以低电平有效SR锁存器为例) :

Inputs		Outputs		Comments
$\bar{S}$	$\bar{R}$	$Q$	$\bar{Q}$	
1	1	NC	NC	No change. Latch remains in present state.
0	1	1	0	Latch SET.
1	0	0	1	Latch RESET.
0	0	1	1	Invalid condition

➤ 此处的Output表示锁存器输出的次态

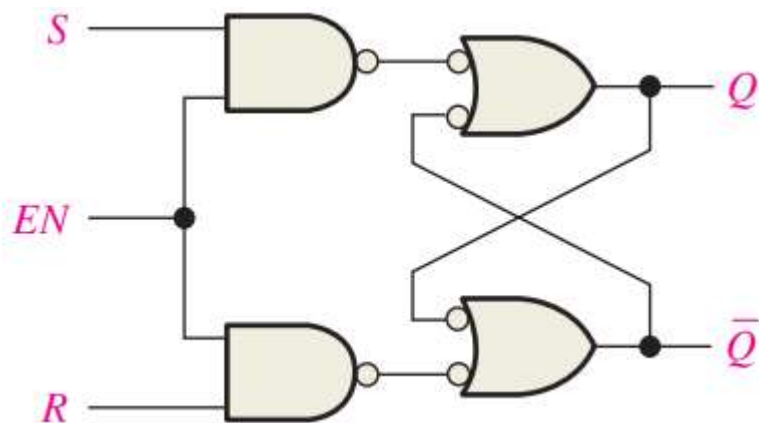
- 注意：关于“不定态”的讨论
- 仅当  $S'$  和  $R'$  的0状态同时消失以后，输出的状态不定
  - $S'$  和  $R'$  均为0的时候，状态是确定的
  - 如果  $S'$  和  $R'$  从00变成01或10，此时状态仍然确定，分别是1状态和0状态



# 考点总结--1. 锁存器 (Latch) 与触发器 (Flip-Flop)

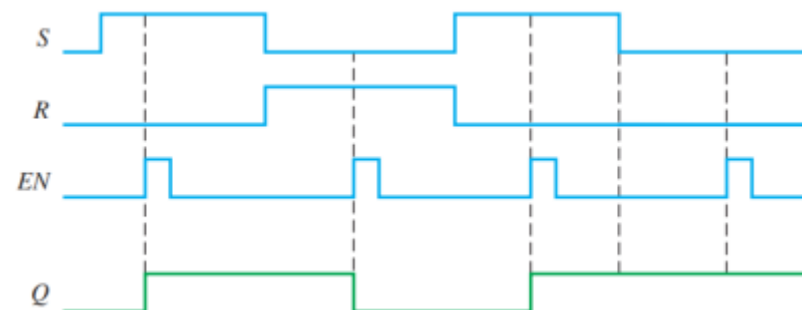


## 2. 门控SR锁存器 ➤ 也被称为电平触发SR触发器



- ✓ 只有当  $EN = 1$  时才能接受输入信号
- ✓ 当  $EN = 1$  时,  $S$  和  $R$  状态的变化都可以引起输出状态的改变, 在  $EN$  回到0以后, 锁存器保存的是  $EN$  回到0以前瞬间的状态
- 存在问题:  $EN = 1$  期间输出可发生多次翻转, 降低了系统的抗干扰能力

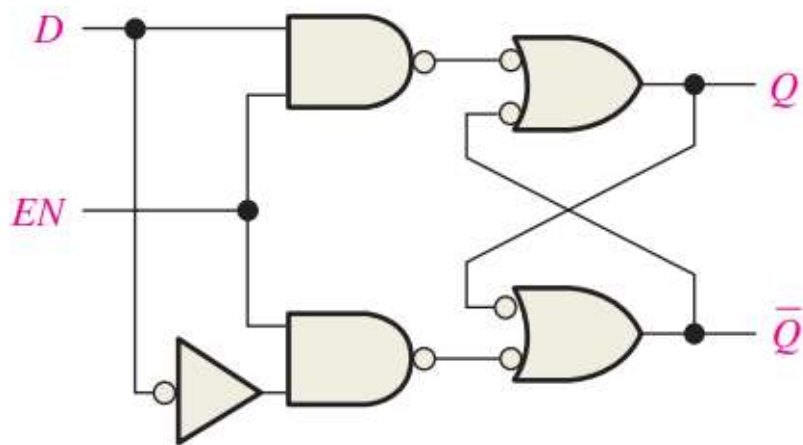
Q1: 根据左图所示门控SR锁存器的输入波形, 试画出输出端Q的波形图, 已知初始状态Q为低电平



\* 注: 此处的EN也可以写做CLK (CP), 即时钟信号

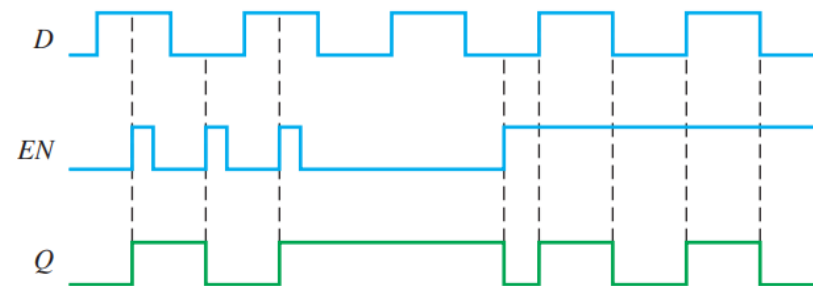
## 3. D锁存器

➤ 也被称为**电平触发D触发器**

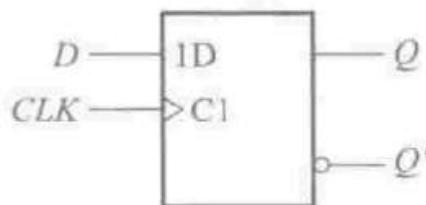


- 工作方式和门控SR锁存器相似
- 输入端:  $S \rightarrow D, R \rightarrow D'$
- 因此,  $S$  和  $R$  的值**不可能同时为1**
- ✓ **解决了**SR锁存器可能出现的“**不定**”态的问题
- ✓ 同时也适应了**单端输入**信号的需要

**Q2: 根据左图所示D锁存器的输入波形, 试画出输出端Q的波形图, 已知初始状态Q为低电平**



也被称为边沿触发D触发器



## 符号图

- Q3: 根据左图所示双D触发器的输入波形, 试画出输出端Q的波形图, 已知初始状态Q为低电平**



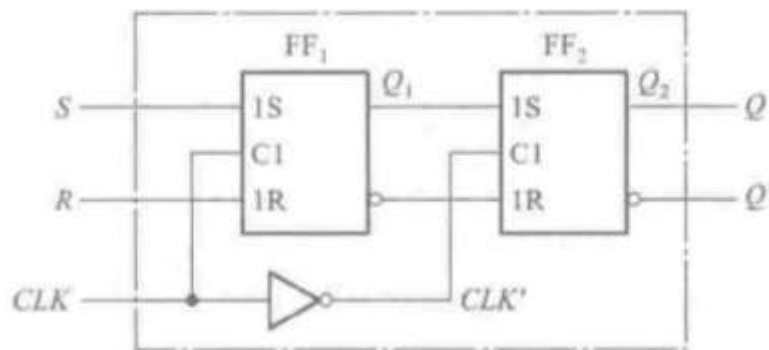
- ✓ 输出端仅取决于输入端在CLK上升沿到达前瞬时输入端的状态，故被称为边沿出发

# 考点总结--1. 锁存器 (Latch) 与触发器 (Flip-Flop)

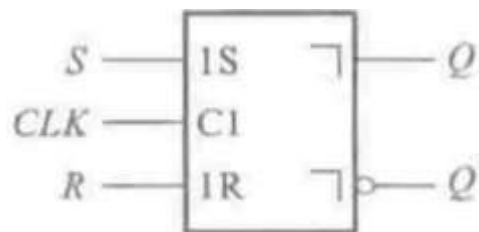


## 5. 双SR触发器

➤ 脉冲触发SR触发器



原理图

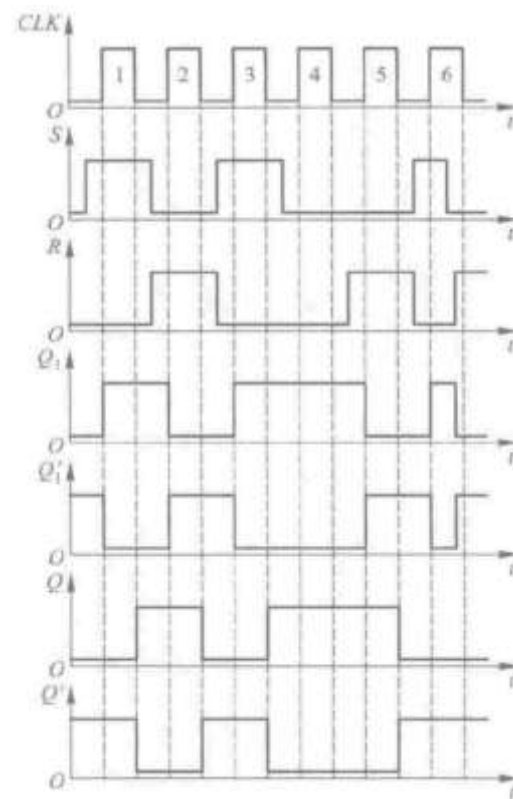


符号图

- 由两个SR锁存器构成（主从结构）
- 结构与双D触发器相似，但工作原理不同：
  - 在一个时钟周期内，**输出端的状态只可改变一次**，且发生在CLK的下降沿
  - **只根据CLK下降沿到来时刻的输入状态，无法确定输出状态**（由于S和R可以取相同的值）

□ 仍然存在“不定”态的问题

**Q4: 根据左图所示双SR触发器的输入波形，试画出输出端Q和Q'的波形图，已知初始状态Q为低电平**





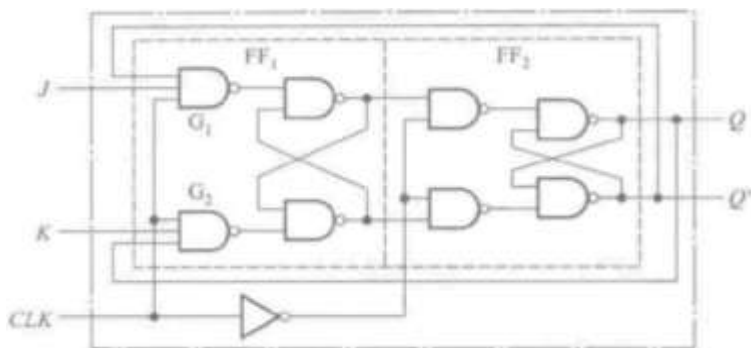
# 考点总结--1. 锁存器 (Latch) 与触发器 (Flip-Flop)



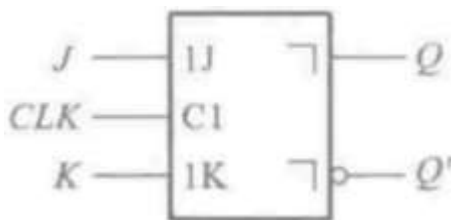
## 6. JK触发器

➤ 同样是脉冲触发触发器

- 为了解决双SR触发器中可能存在的“不定”态问题，规定在 $SR=1$ 时，触发器的次态为初态的反状态
- 解决方案： $SR=1$ 时，用 $Q'$ 代替S，用 $Q$ 代替R：



原理图

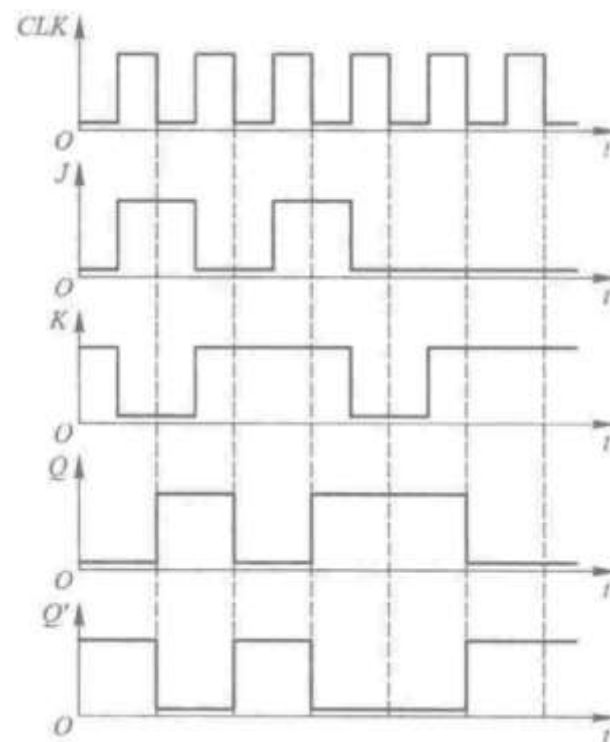


符号图

注意--JK触发器的“一次翻转”问题：

$Q=0$ 时主触发器只能接受置1信号， $Q=1$ 时主触发器只能接受置0信号；所以在—一个时钟周期的 $CLK=1$ 期间，主触发器的输出只能翻转一次

Q5：根据左图所示JK触发器的输入波形，试画出输出端Q的波形图，已知初始状态Q为低电平







## 7. 三种触发方式的对比

触发方式	触发时间	备注
电平触发	CLK为高/低电平时	仅需关注CLK处于有效电平的时间
脉冲触发	一个CLK脉冲结束后瞬间	边沿触发只需关注上升/下降沿前瞬间电路状态；而脉冲触发需关注整个脉冲期间输入的变化
边沿触发	上升沿/下降沿发生时刻	

### 触发器分析问题注意事项:

- ✓ 首先确定**触发方式**和**可能的动作时刻**
- ✓ SR触发器 “**不定**” 问题；JK触发器 “**一次翻转**” 问题
- ✓ 有些题目可能存在**异步CLK**或者**异步置零/置位**信号
- ✓ **虚线对齐**表示时序关系！！！（建议铅笔直尺作图）

**Q6:** (2024•期末) **判断以下电路结构的触发器的触发方式:**

- ① **双SR触发器结构**
- ② **门控SR锁存器结构**
- ③ **双D触发器结构**



## 8. 触发器按逻辑功能的分类

### ➤ SR触发器

特性表:

S	R	Q	Q*
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	不定
1	1	1	不定

特性方程:

$$\begin{cases} Q^* = S + R'Q \\ \boxed{SR = 0} \end{cases}$$



约束条件

### ➤ JK触发器

特性表:

J	K	Q	Q*
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

特性方程:

$$Q^* = JQ' + K'Q$$

## 8. 触发器按逻辑功能的分类

### ➤ T触发器

- ◆ 将JK触发器的两个输入端连在一起作为T端，就可以构成T触发器

特性表：

$T$	$Q$	$Q^*$
0	0	0
0	1	1
1	0	1
1	1	0

特性方程：

$$Q^* = TQ' + T'Q = T \oplus Q$$

### ➤ D触发器

特性表：

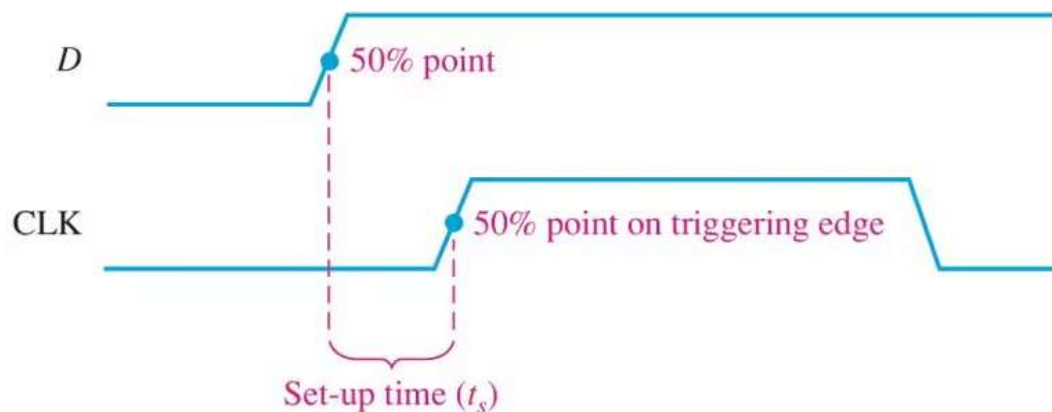
$D$	$Q$	$Q^*$
0	0	0
0	1	0
1	0	1
1	1	1

特性方程：

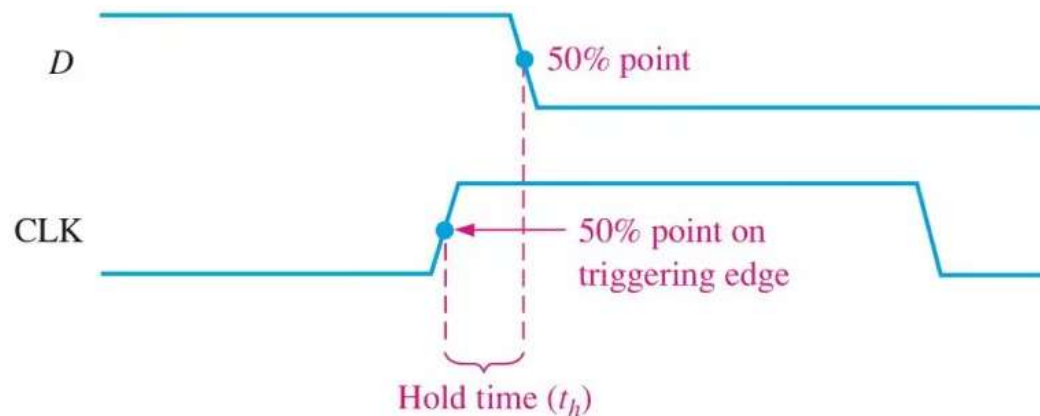
$$Q^* = D$$

## 9. 触发器的动态特性

➤ **建立时间：** 输入信号应先于时钟信号CLK动作沿到达的时间

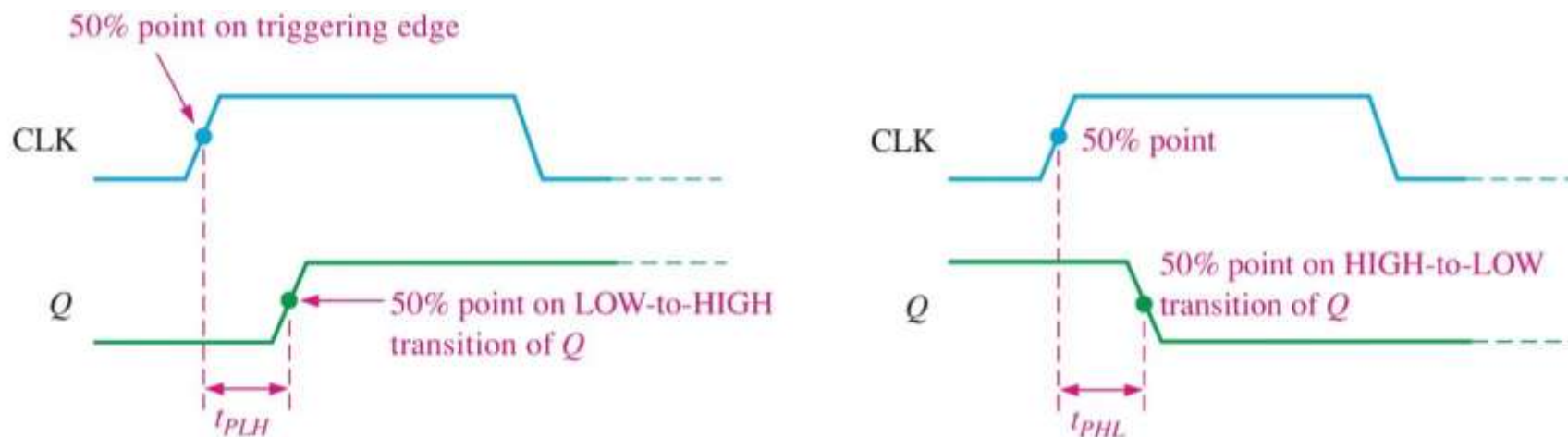


➤ **保持时间：** 时钟信号CLK动作沿到达后，输入信号仍需保持不变的时间



## 9. 触发器的动态特性

- **传输延迟时间**：从CLK动作沿到达开始，直到触发器输出的新状态稳定建立所需要的时间
  - 分为**上升沿**和**下降沿**两种情况



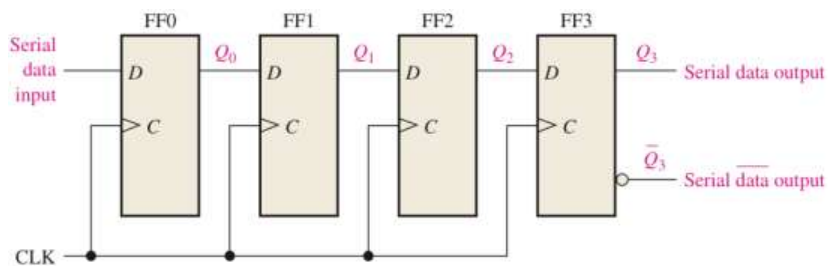
- **最高时钟频率**：触发器在连续、重复翻转的情况下，时钟信号可以达到的最高重复频率
  - 通过建立时间、保持时间和传输延迟时间，分别计算CLK低电平和高电平可能的最短持续时间  $t_{wl(min)}$  和  $t_{wh(min)}$ ，即可得到最高时钟频率

# 考点总结--2. 寄存器 (Register)

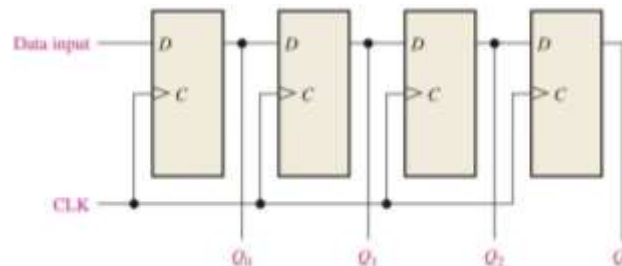


- ✓ 由于一个触发器可以储存1位二值代码，所以用**N个触发器**可以组成一个**能储存N位二值代码的寄存器**

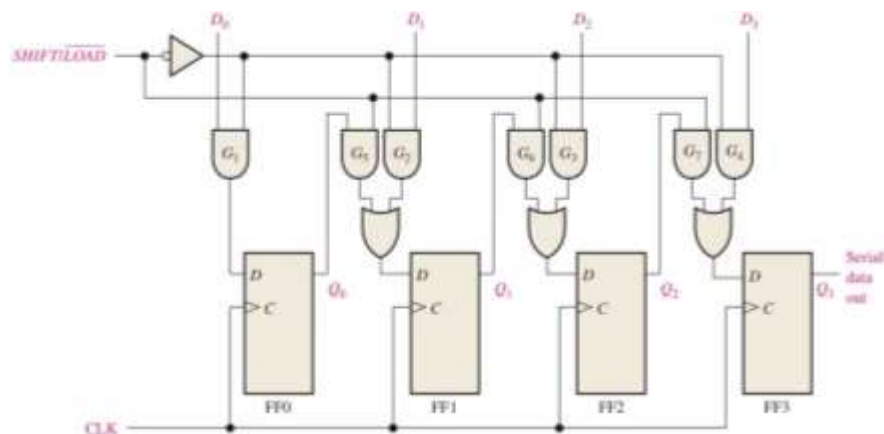
➤ 下面是一些常见的寄存器的结构：



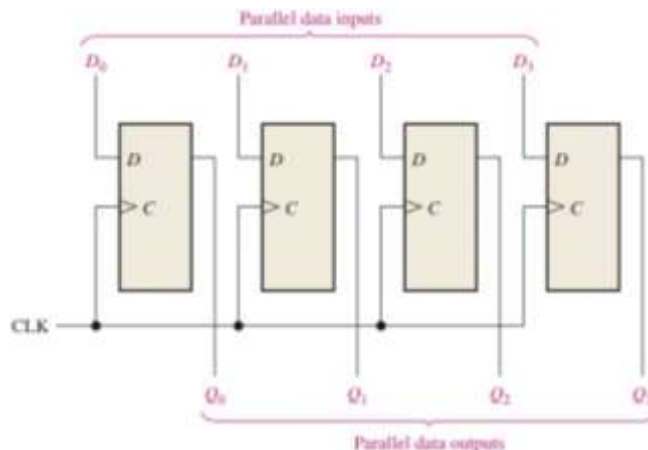
串行输入，串行输出



串行输入，并行输出



并行输入，串行输出



并行输入，并行输出

思考：在左图中“并行输入，串行输出”的寄存器中，SHIFT/LOAD' 这个输入端可以对该寄存器实现怎样的**功能拓展**？

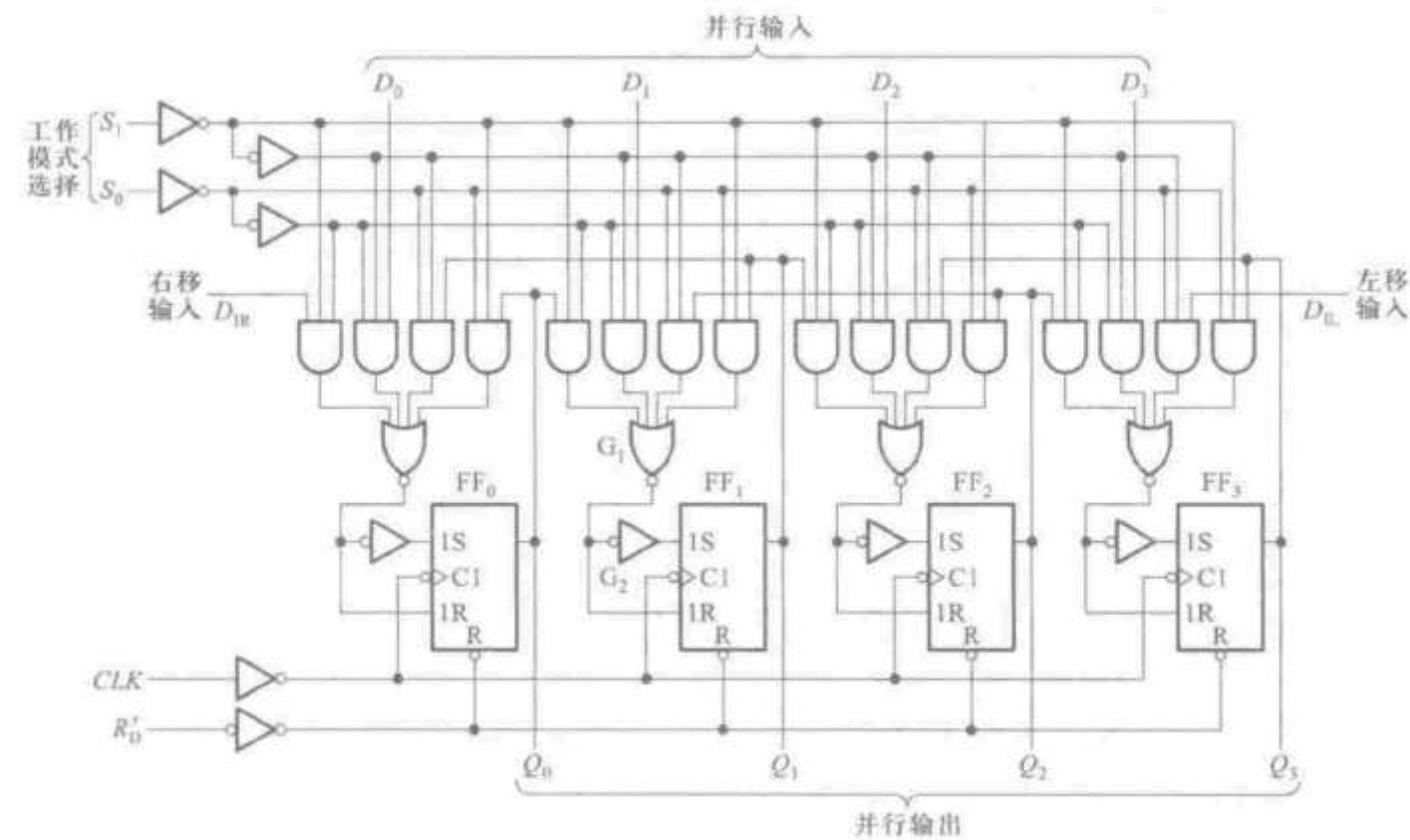


# 考点总结--2. 寄存器 (Register)

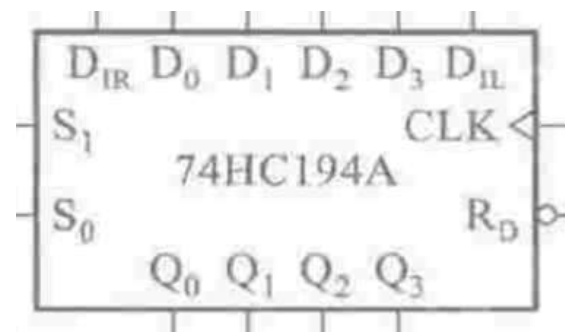


## ➤ 双向移位寄存器 (74HC194A) :

### ➤ 逻辑图:



### ➤ 逻辑符号:



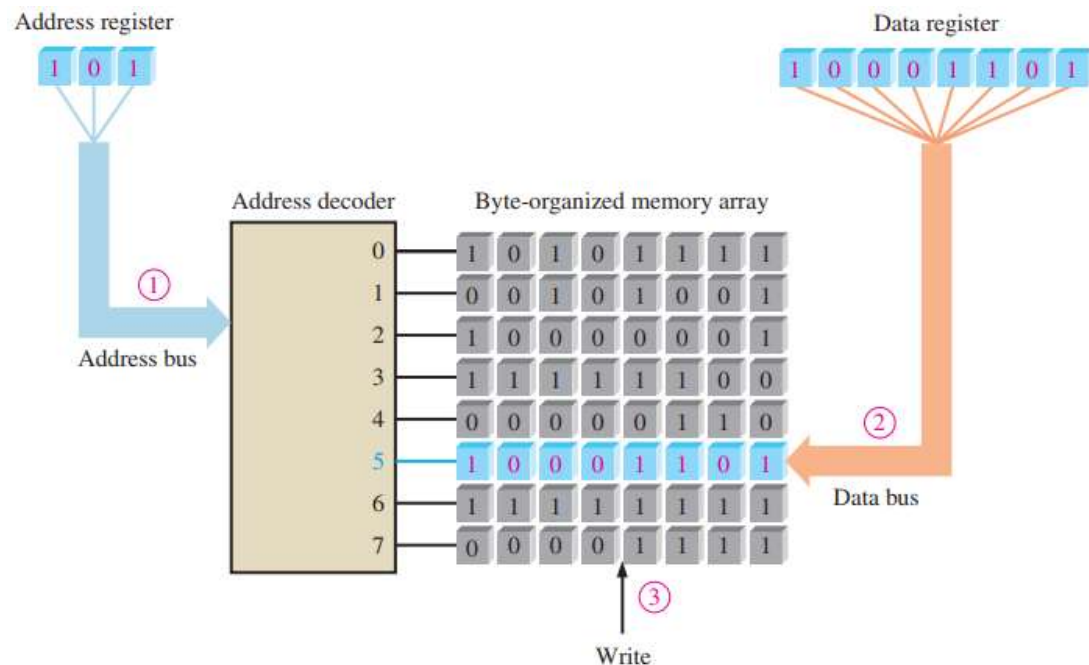
### ➤ 功能表:

$R_D'$	$S_1$	$S_0$	工作状态
0	×	×	置零
1	0	0	保持
1	0	1	右移
1	1	0	左移
1	1	1	并行输入



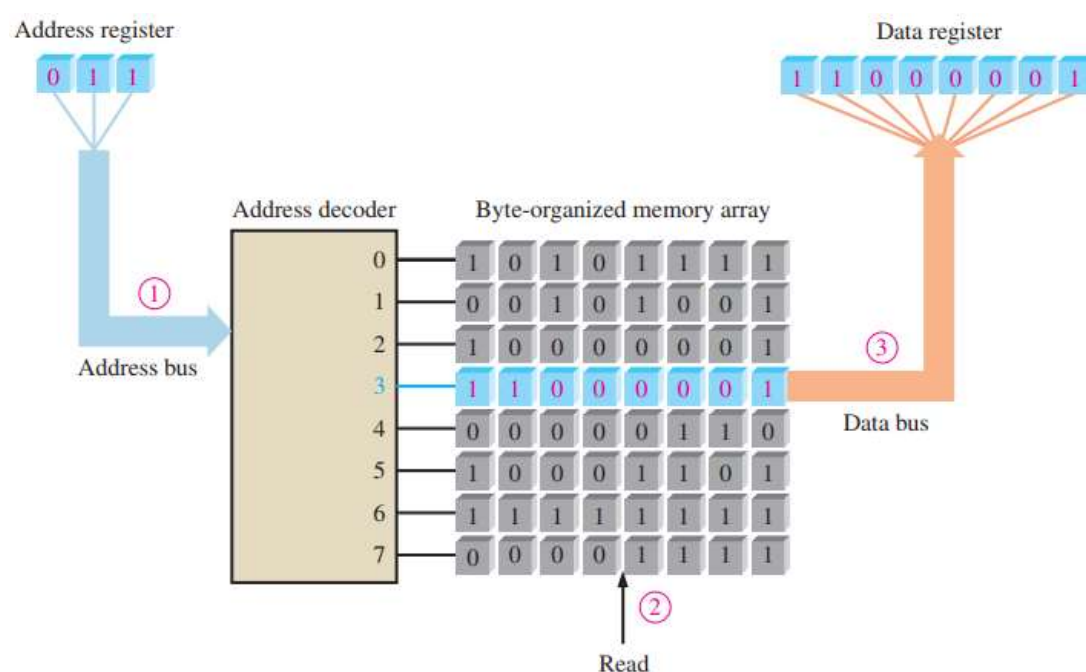
## 1. 存储器的基本操作

### ➤ 写操作



- ① 将输入地址代码通过译码器，从存储矩阵选中一行存储单元
- ② 从寄存器中提取待写入数据
- ③ 执行写命令：将待写入数据传入对应地址

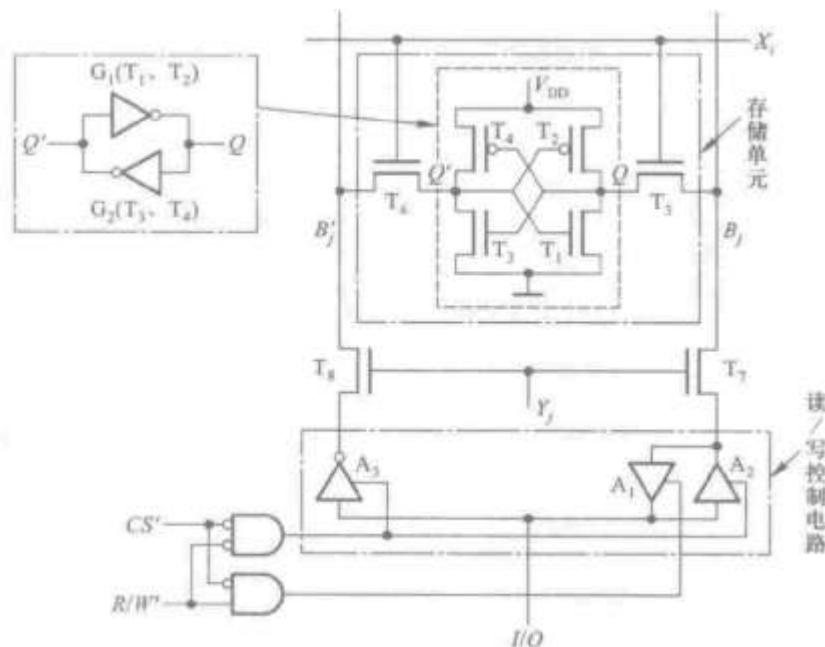
### ➤ 读操作



- ① (与写操作相同)
- ② 执行读命令
- ③ 对应地址的数据被传入寄存器，同时保证存储阵列中被读取的数据未被擦除

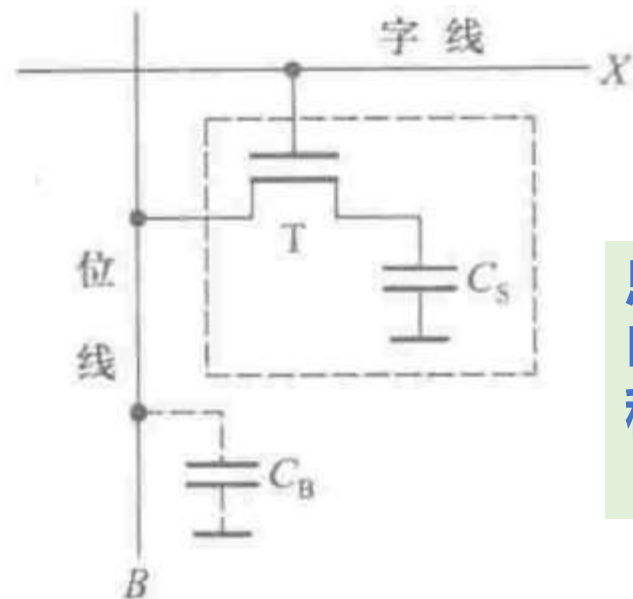
## 2. RAM (Random-Access Memory)

### ➤ SRAM (静态随机存储器)



- ✓ 静态存储单元由**6**个MOS管组成
- ✓ 正常工作时**功耗低**
- ✓ **断电后数据仍可保存**，解决了易失性的问题

### ➤ DRAM (动态随机存储器)



思考：SRAM和  
DRAM读/写操作的过  
程是如何具体实现的？  
(见下页)

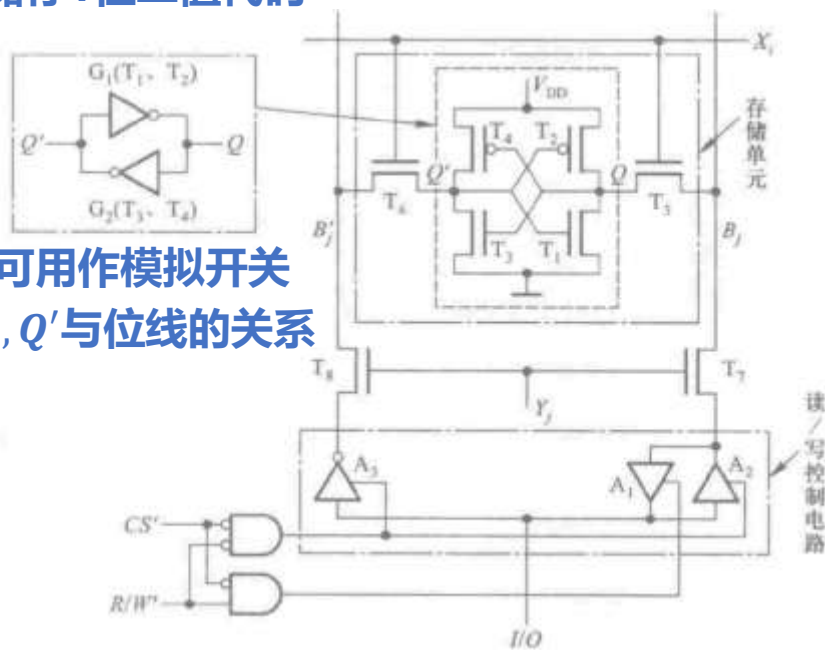
- ✓ 存储单元由**1**个MOS管和一个电容组成
- ✓ 电荷保存时间有限，需**定时刷新**
- ✓ 存储单元简单，但操作复杂
- ✓ 在当今的存储器中**主流使用**

# 考点总结--3. 存储器 (Memory)



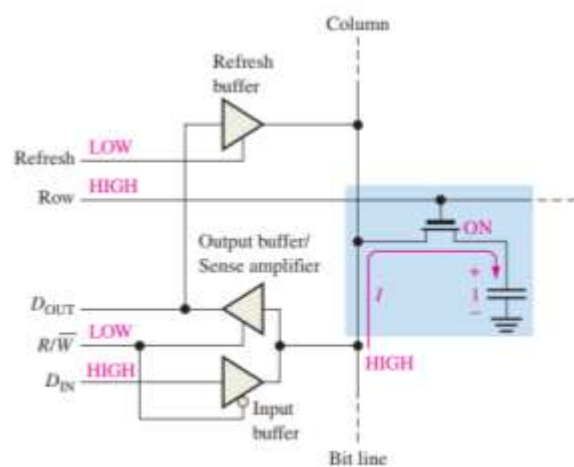
## 2. RAM (Random-Access Memory)

$T_1$ - $T_4$ 构成一个SR锁存器  
用于储存1位二值代码

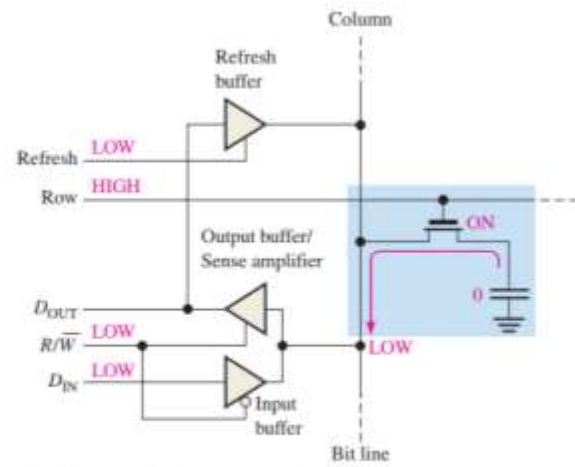


$T_5$ - $T_6$ 可用作模拟开关  
控制 $Q$ ,  $Q'$ 与位线的关系

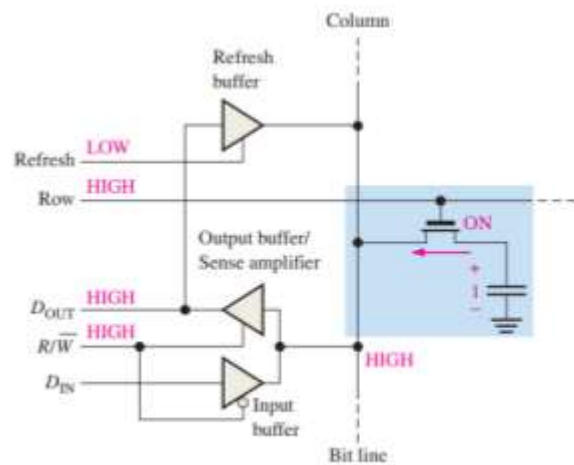
- $X_i = 1, Y_j = 1$ , 该存储单元被选中
- $CS' = 0, R/W' = 1$ ,  $Q \rightarrow I/O$ , 读出
- $CS' = 0, R/W' = 0$ ,  $I/O \rightarrow$ 存储单元, 写入



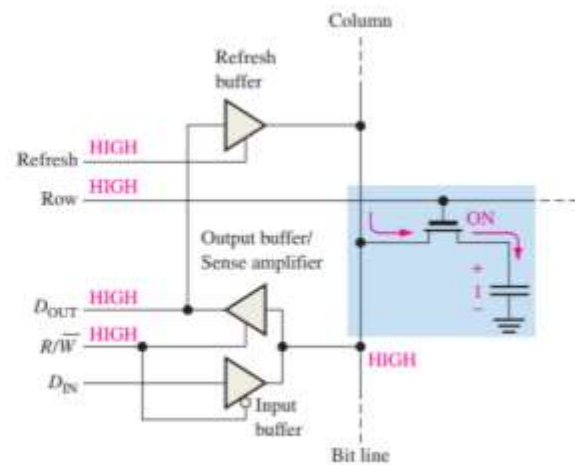
(a) Writing a 1 into the memory cell



(b) Writing a 0 into the memory cell



(c) Reading a 1 from the memory cell

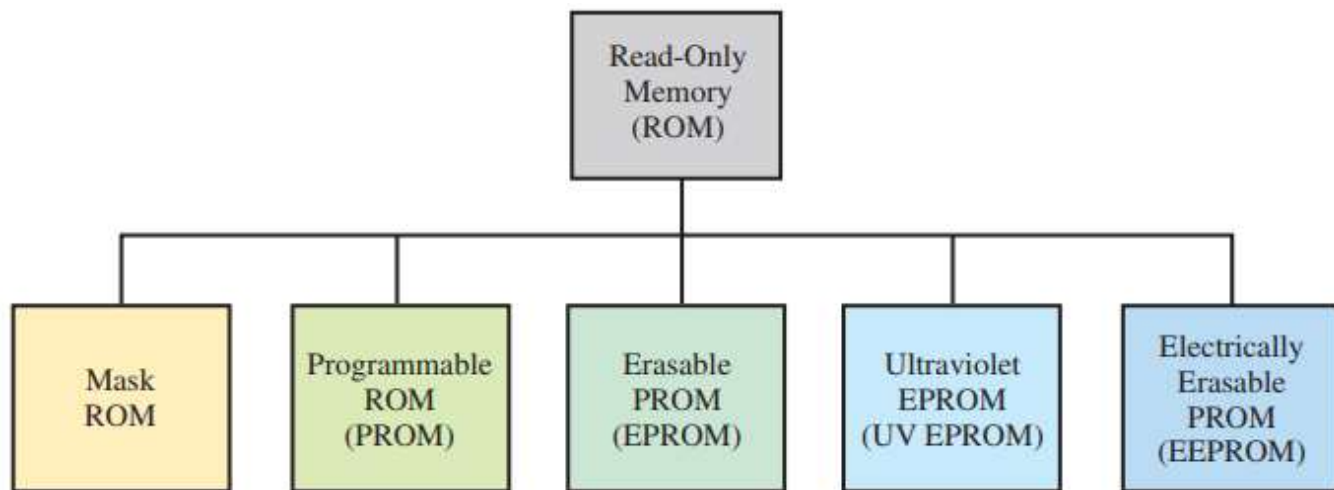


(d) Refreshing a stored 1

## 3. ROM (Read-Only Memory)

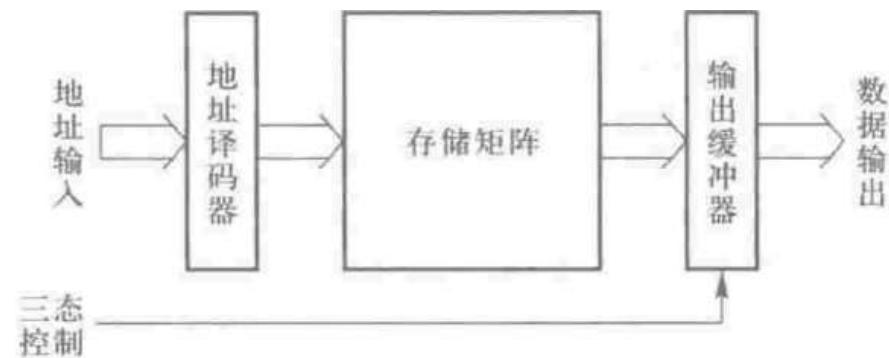
- ✓ 所存储的数据是固定的、预先写好的
- ✓ 正常工作时，这些数据只能读出，不能随时写入/修改

### ➤ ROM的分类：



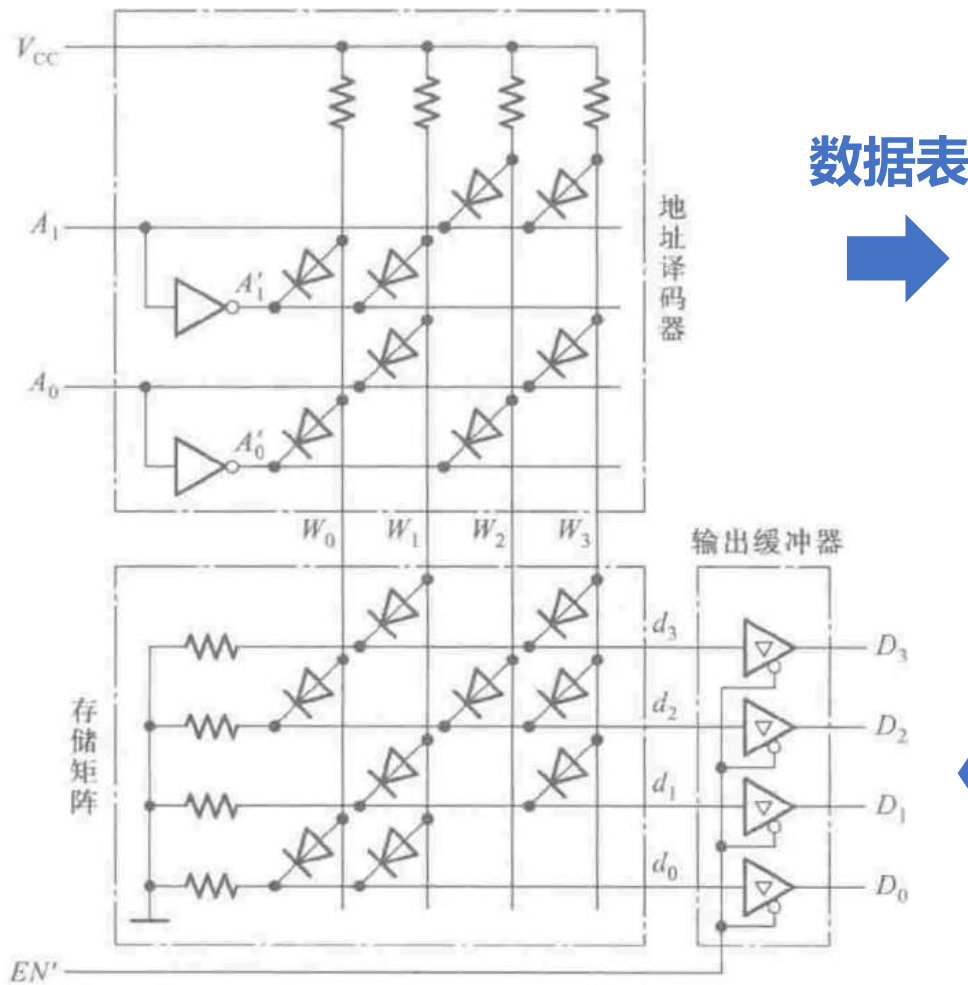
### ➤ ROM的电路结构：

- ✓ 存储矩阵
- ✓ 地址译码器
- ✓ 输出缓冲器



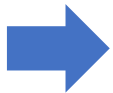


## 3. ROM (Read-Only Memory)



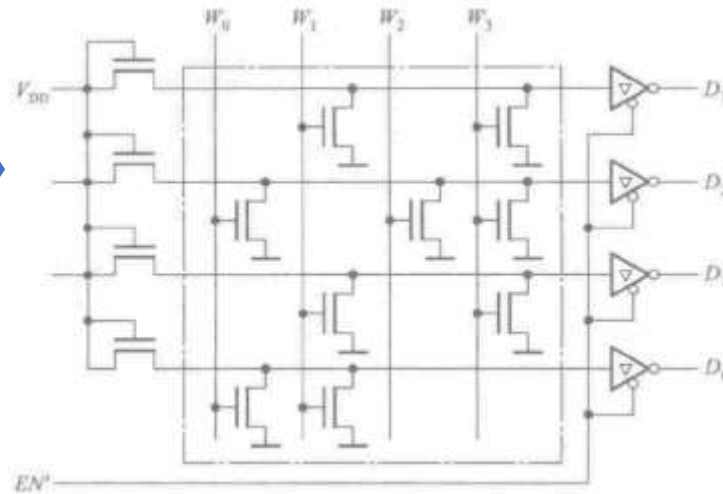
二极管ROM电路结构图

数据表



地址		数 据			
$A_1$	$A_0$	$D_3$	$D_2$	$D_1$	$D_0$
0	0	0	1	0	1
0	1	1	0	1	1
1	0	0	1	0	0
1	1	1	1	1	0

➤ ROM中的二极管也可用MOS管代替:

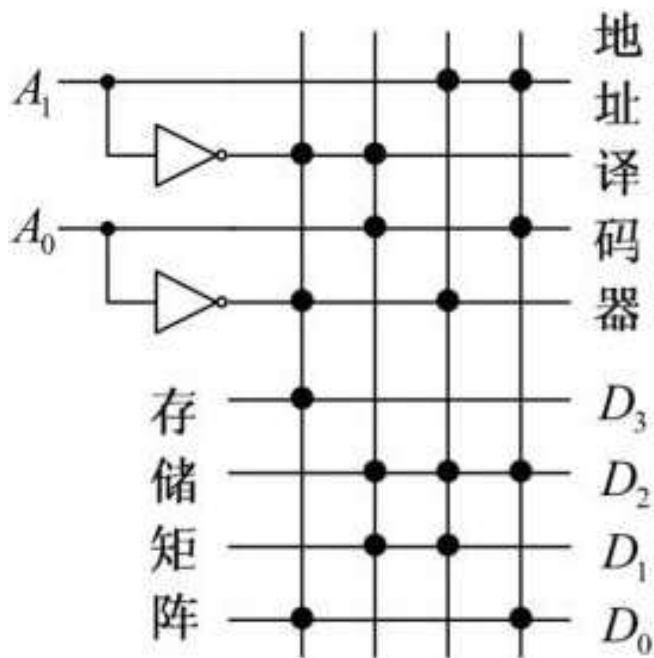


- 输入为地址
- 输出为存储的数据

字线与位线的交点处接有二极管/MOS管时相当于存1; 没有接的时候相当于存0

## 3. ROM (Read-Only Memory)

- 电路图中，也可以直接简化成如下点阵图形式：



- ✓ 其中**实心黑点**代表在该字线/位线交点处，接有二极管/MOS管（即**存有1**）

注意：

- 地址译码器是**与**逻辑
- 存储矩阵是**或**逻辑

**Q1：**（2017·期末）左图是某PROM编程后的点阵图

- ① 列出数据表
- ② 若把地址 $A_1$ 、 $A_0$ 看作输入，数据 $D_3$ 、 $D_2$ 、 $D_1$ 、 $D_0$ 作为输出，分别写出 $D_3$ 、 $D_2$ 、 $D_1$ 、 $D_0$ 的表达式





# 考点总结--3. 存储器 (Memory)



## 4. 存储器容量的扩展

### ➤ 存储器容量:

- 一般用 $2^N K \times M$ 位来表示
- 有 $(N+10)$ 条地址线和 $M$ 条数据线
- 注意: 1字节 (Byte) = 8位 (bit)

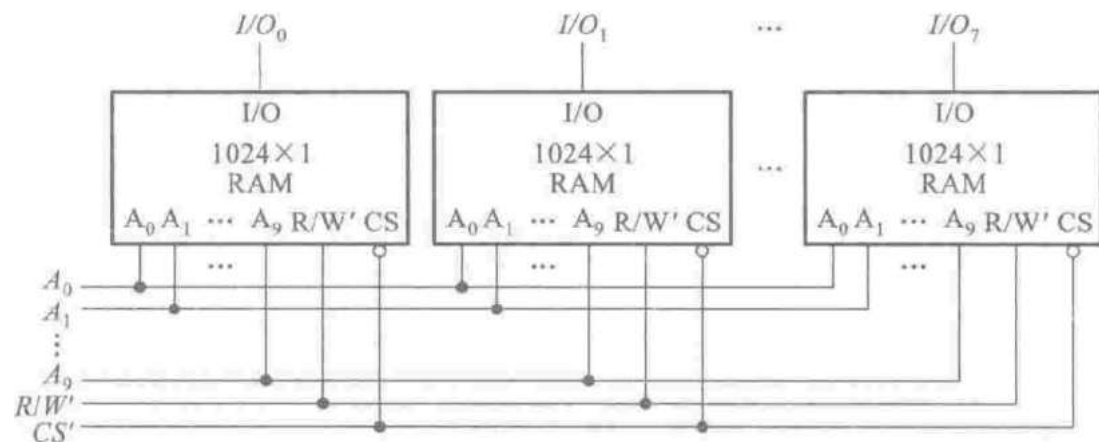
Q2: (2015·期末) 256K\*16位的RAM芯片, 其地址线和数据线各为几条?

Q3: 256K\*16位的RAM芯片需要用\_\_\_片4K\*4位的RAM芯片扩展得到?

(Hint: 先位扩展, 再字扩展)

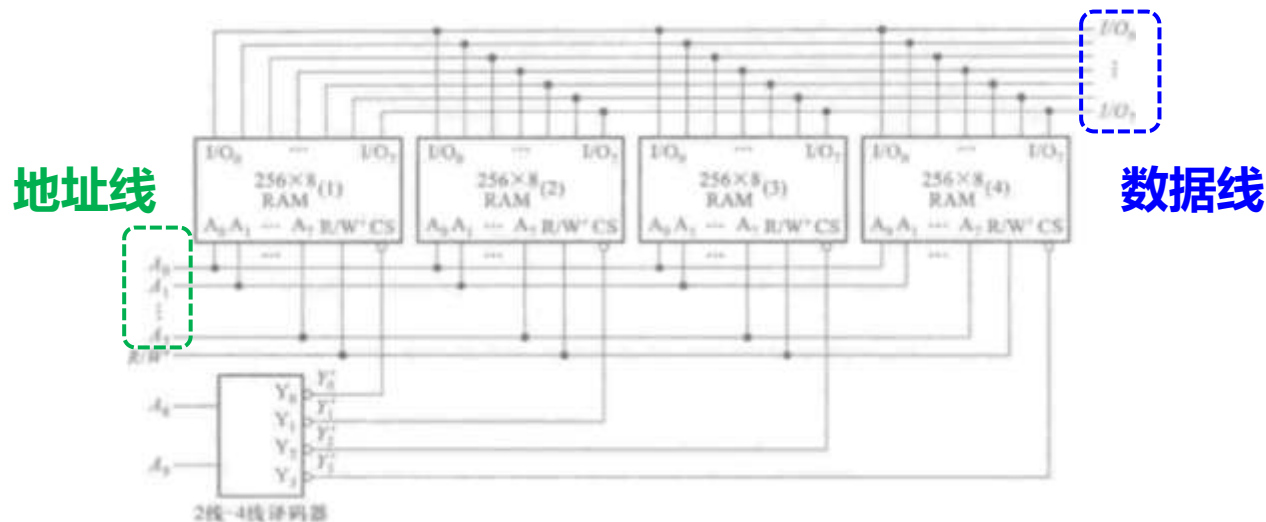


### ➤ 位扩展 (Word-length Expansion) :



将1K\*1位RAM位扩展为1K\*8位RAM

### ➤ 字扩展 (Word-Capacity Expansion) :

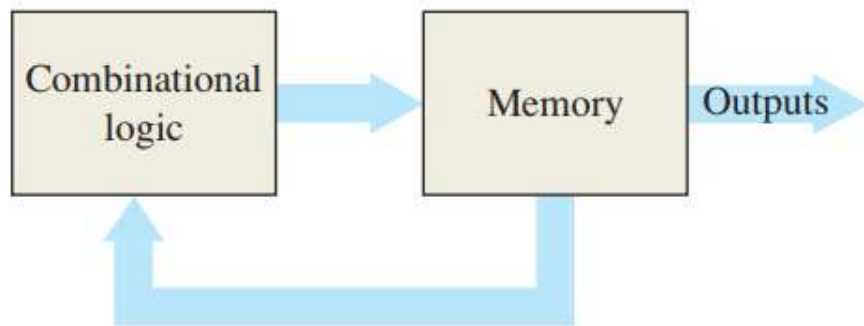


将256\*8位RAM字扩展为1K\*8位RAM

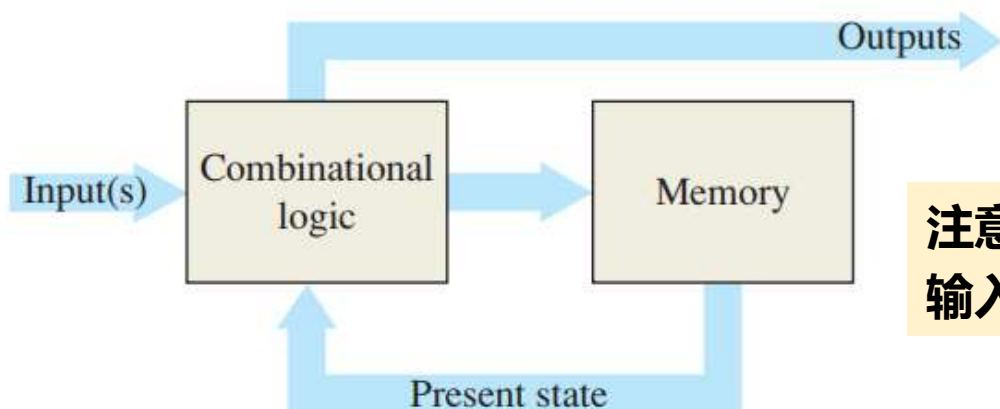


## 1. 时序逻辑电路（有限状态机）分类

➤ **Moore型**：输出信号**仅取决于存储电路状态**



➤ **Mealy型**：输出信号不仅取决于存储电路状态，**还取决于输入变量**



注意：CLK**不是**  
输入逻辑变量

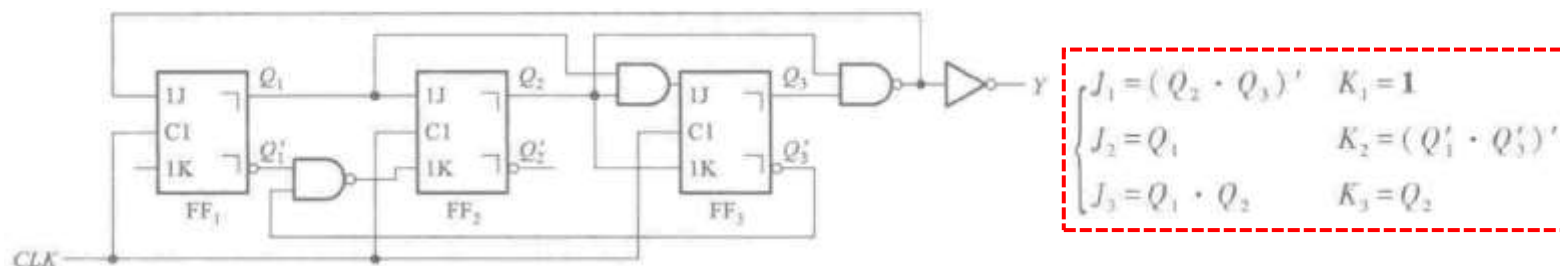
**Q1：实现同一功能的Mealy型同步时序电路和Moore型同步时序电路，（ ）型所需要的状态数更少，（ ）型电路的可靠性更强。**

- ① Moore; Moore
- ② Moore; Mealy
- ③ Mealy; Moore
- ④ Mealy; Mealy



## 2. 时序逻辑电路分析思路

### A. 写出每一个触发器的驱动方程



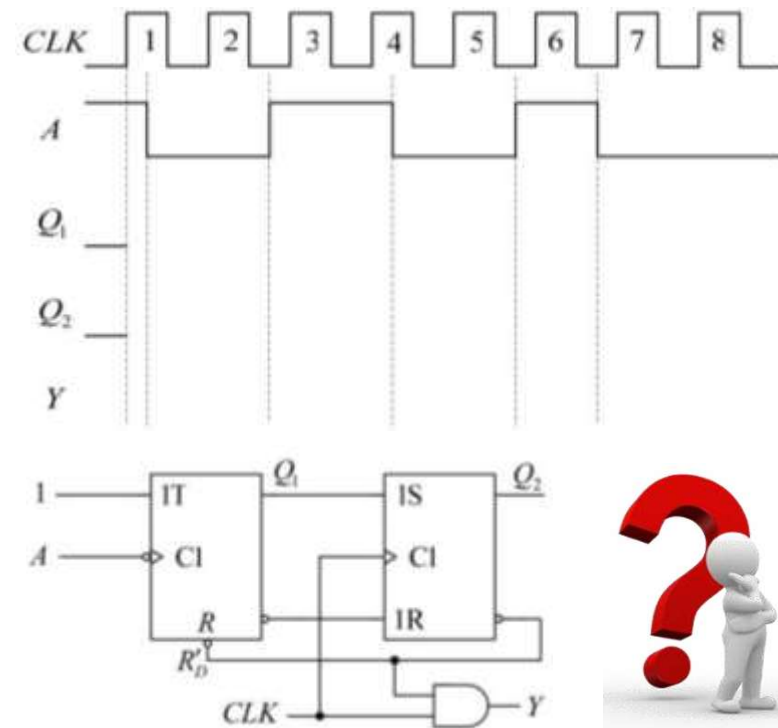
### B. 将得到的驱动方程带入触发器对应的特性方程

$$Q^* = JQ' + K'Q \rightarrow \begin{cases} Q_1^* = (Q_2 \cdot Q_3)' Q_1' \\ Q_2^* = Q_1 \cdot Q_2' + Q_1' \cdot Q_3' \cdot Q_2 \\ Q_3^* = Q_1 \cdot Q_2 \cdot Q_3' + Q_2' \cdot Q_3 \end{cases}$$

### C. 输出方程最后直接按逻辑图写出即可

$$Y = Q_2 \cdot Q_3$$

**Q2: (2017·期末) 根据CLK和A的波形, 画出Q<sub>1</sub>, Q<sub>2</sub>和输出Y的波形, 设触发器的初始状态均为0**





3. 描述时序逻辑电路的方式

A. 状态转换表

- 有如下两种形式：

$Q_2$	$Q_1$	$Q_0$	$Q_2'$	$Q_1'$	$Q_0'$	$Y$
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	1	0	1	0
1	0	1	1	1	0	0
1	1	0	0	0	0	1
1	1	1	0	0	0	1

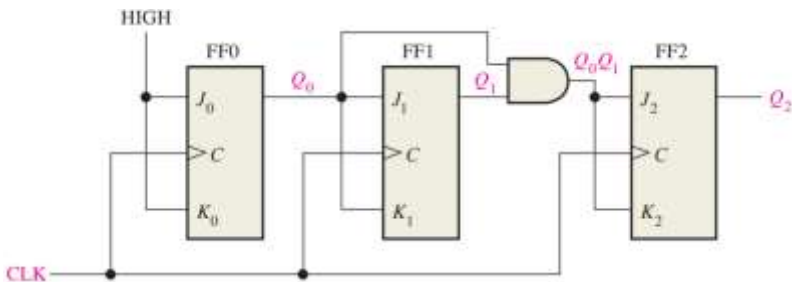
CLK 的顺序	$Q_2$	$Q_1$	$Q_0$	$Y$
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	0
4	1	0	0	0
5	1	0	1	0
6	1	1	0	1
7	0	0	0	0
0	1	1	1	1
1	0	0	0	0



给出在一系列时钟信号下电路状态转换的顺序，比较直观

- 表中**所有状态**均需出现
- 注意状态变量的**编号**和**顺序**（题目可能有要求）

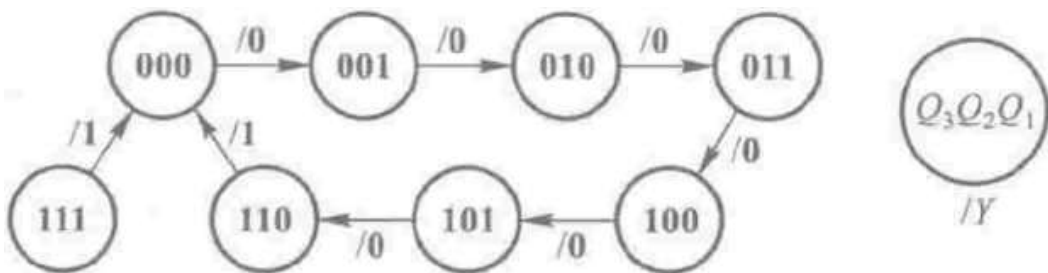
Q3：给出下图所示时序逻辑电路的状态转换表



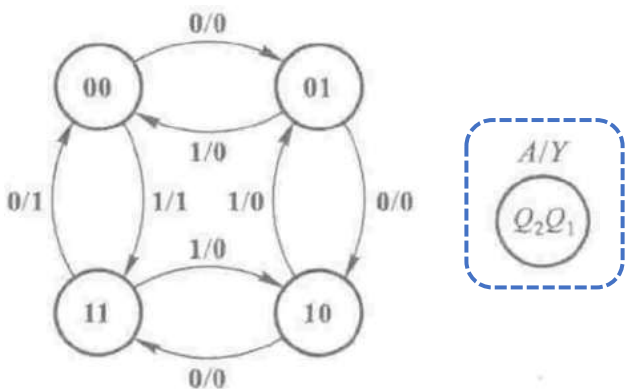
## 3. 描述时序逻辑电路的方式

### B. 状态转换图

- 由第二种状态转换表可以直接画出

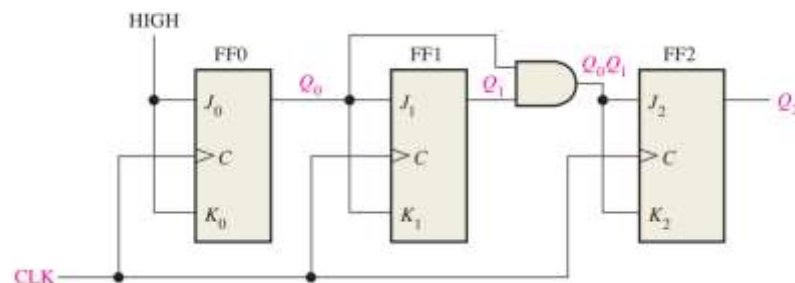


- 同样，图中**所有状态**均需出现
- 对于**Mealy**型电路，表示方式如下：



输入变量按这样的方式表示进去

Q4: 给出下图所示时序逻辑电路的状态转换图 (同Q3)



## 3. 描述时序逻辑电路的方式

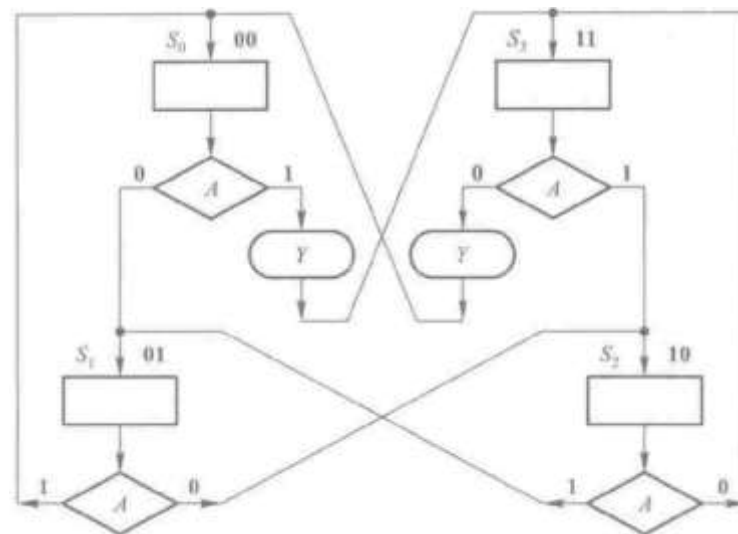
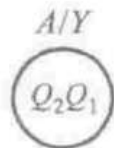
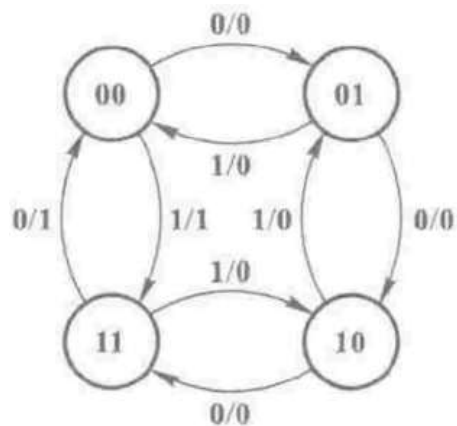
### C. 状态机流程图 (SM图)

- 状态转换图**按时钟信号顺序**展开

- 三个基本单元:



- 举例:

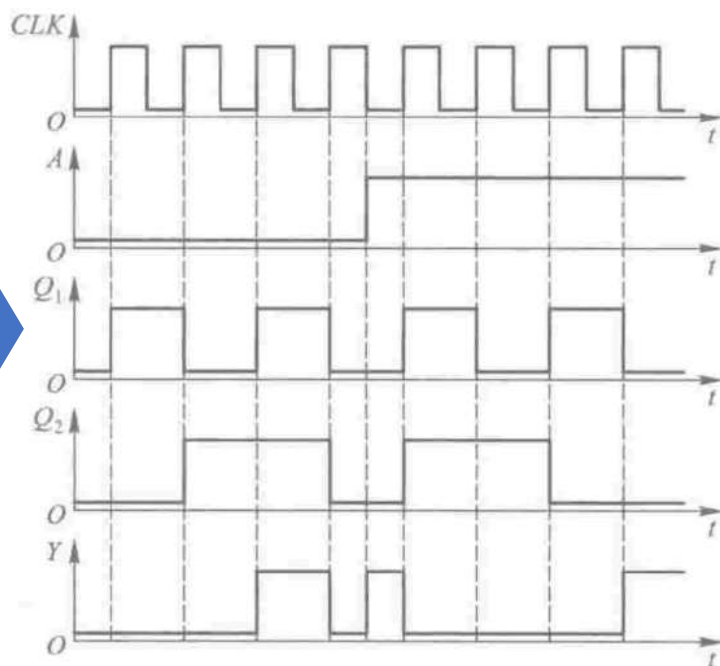


## 3. 描述时序逻辑电路的方式

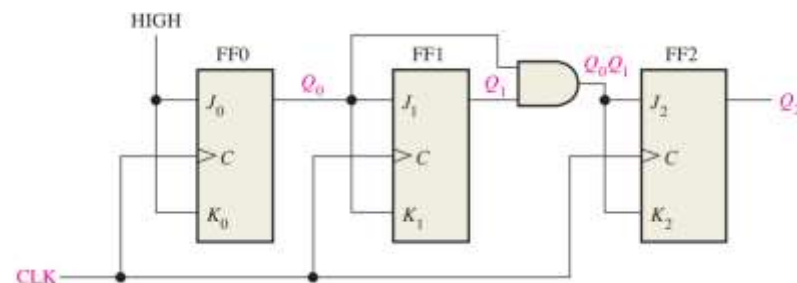
### D. 时序图

- 将状态转换表展开的内容画成**时间波形**的形式
- 和前三不同，时序图**只需要画有效循环**即可

$Q_2^+ Q_1^+ / Y$		$Q_2 Q_1$			
		00	01	11	10
$A$					
0		01/0	10/0	00/1	11/0
1		11/1	00/0	10/0	01/0



Q5: 给出下图所示时序逻辑电路的时序图 (同Q3)







4. 计数器

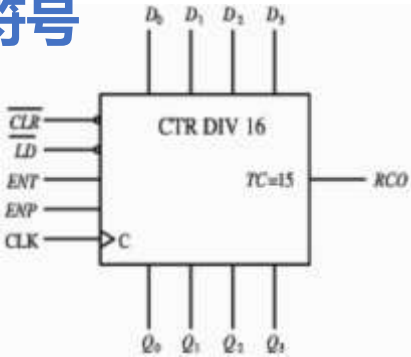
- 对时钟脉冲进行计数的逻辑电路
- 多用于计数/分频/定时/产生节拍脉冲/进行数字运算等

A. 4位同步二进制计数器（74161）

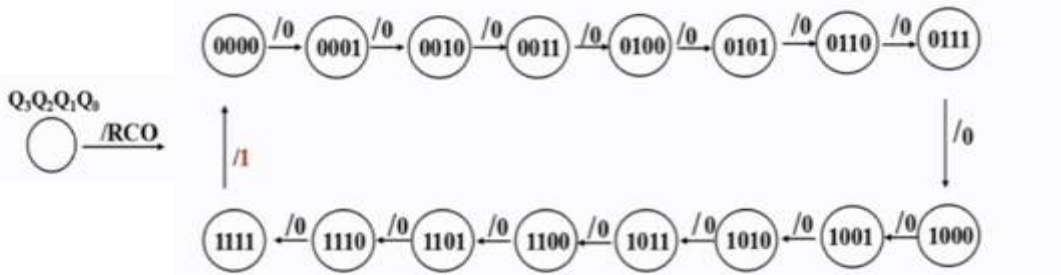
功能表

CLK	$\overline{\text{CLR}}$	$\overline{\text{LD}}$	ENT	ENT	功能
×	0	×	×	×	异步清零
↑	1	0	×	×	同步置数
×	1	1	0	1	保持(包括RCO的状态)
×	1	1	×	0	保持(RCO=0)
↑	1	1	1	1	同步计数

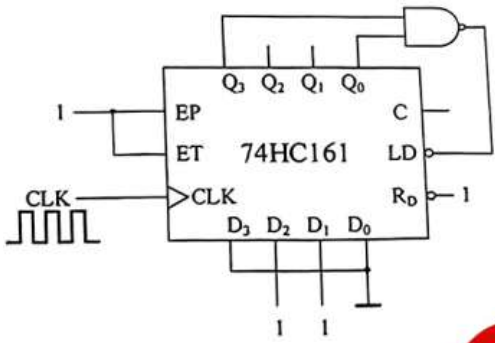
逻辑符号



状态转换图



Q6: （2024•期末）试描述  
下图所示电路对应的是\_\_进  
制计数器。已知当  $R'_D = 0$  时，  
电路实现异步清零。







## 4. 计数器

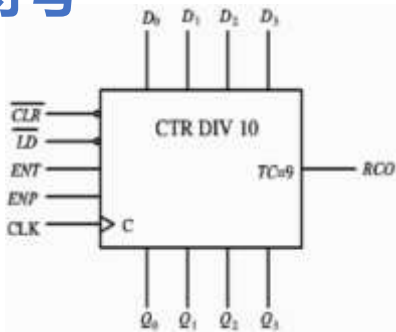
### B. 同步十进制计数器 (74160)

- 和74161工作模式一样，只是计数的状态转换图不同

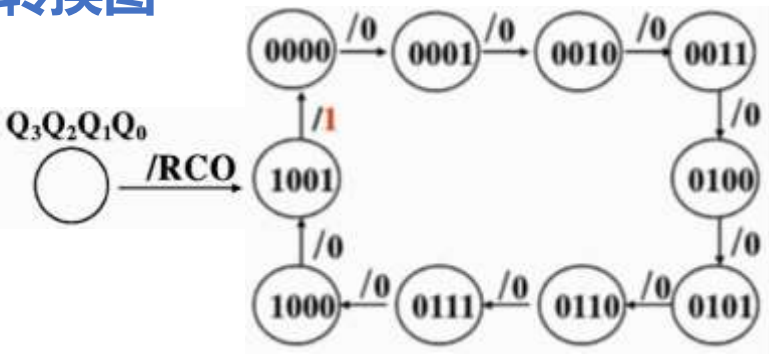
#### ➤ 功能表

CLK	$\overline{\text{CLR}}$	$\overline{\text{LD}}$	ENP	ENT	功能
×	0	×	×	×	异步清零
↑	1	0	×	×	同步置数
×	1	1	0	1	保持(包括RCO的状态)
×	1	1	×	0	保持(RCO=0)
↑	1	1	1	1	同步计数

#### ➤ 逻辑符号

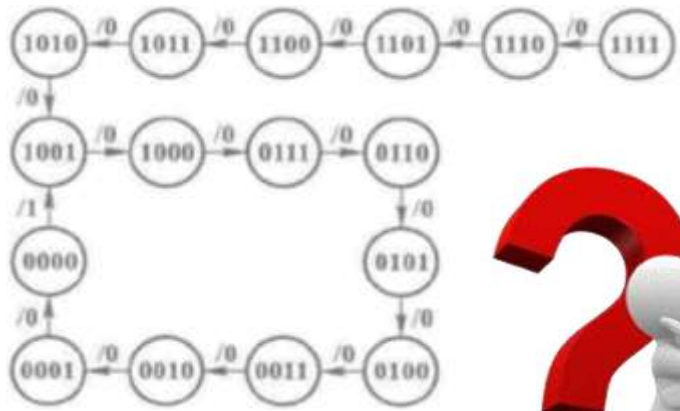


#### ➤ 状态转换图



此处仅画出了有效状态

Q7: 左图中仅给出了74160有效状态的状态转换图。请给出完整的74160状态转换图，并判断电路是否能自启动？





## 4. 计数器

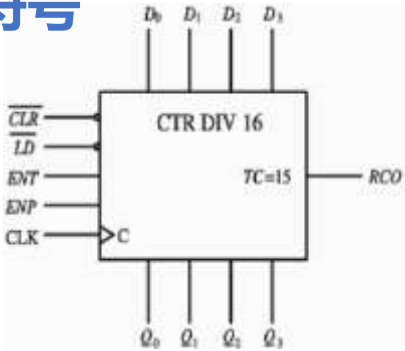
### C. 4位同步二进制计数器（74163）

- 和74161工作循环相同，但是采取了**同步清零**

➤ 功能表

CLK	$\overline{\text{CLR}}$	$\overline{\text{LD}}$	ENP	ENT	功能
↑	0	×	×	×	<b>同步</b> 清零
↑	1	0	×	×	同步置数
×	1	1	0	1	保持(包括RCO的状态)
×	1	1	×	0	保持(RCO=0)
↑	1	1	1	1	同步计数

➤ 逻辑符号



#### ◆ 异步清零和同步清零：

- 异步清零**：置0信号到来的**瞬间**，计数器立刻被置0
- 同步清零**：需要等到置0信号**保持到下一个时钟信号到来的时候**才将计数器置0

✓ 同步置数和异步置数之间的差异同理

Q8：判断题：当四位同步二进制计数器74163的清零端  $\text{CLR}' = 0$  时，需要等到时钟脉冲CLK上升沿到来后，计数器输出才会被清零（ ）。



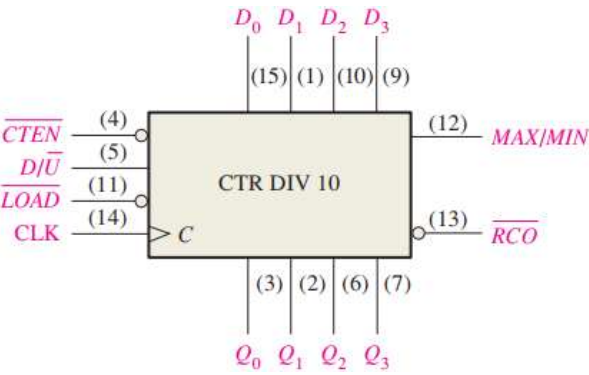


4. 计数器

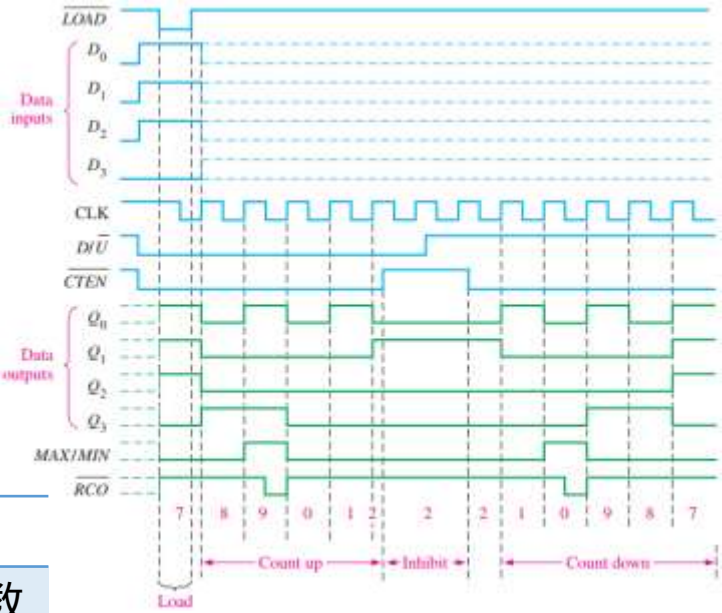
D. 单时钟同步十进制加/减计数器 (74HC190)

- 增加的输入端 **D/U'** 可以控制计数器**正/反向**工作

➤ 逻辑符号



➤ 时序图



➤ 功能表

LOAD'	CTEN'	CLK	D/U'	功能
0	x	x	x	异步置数
1	0	↑	1	减法计数
1	0	↑	0	加法计数
1	1	x	x	保持

◆ 计数器电路分析注意事项:

- 计数器种类很多，不限于以上提到的4种，分析前注意观察**功能表**
- 重点关注**同步/异步置零**，**同步/异步置数**的问题
- 可能还需关注**多个计数器**之间的连接方式

Q9: 观察74HC190的时序图，请问其中**MAX/MIN**信号的作用是什么？





## 1. 设计基本思路

➤ 流程较为固定，均按照以下6个步骤进行即可

A. 画出**状态转换图** (State Diagram)

- 在此之前可能需要**逻辑抽象**和**状态分配**

B. **状态转换表** (Next-State Table)

C. **触发器的转换表** (Flip-Flop Transition table)

- 对D触发器无需本步骤

D. 根据B和C的结果画出**卡诺图**

E. 根据D的结果写出触发器**驱动方程**

F. 根据E中驱动方程**连接电路图**

- 最后可能需要检查电路是否能**自启动**

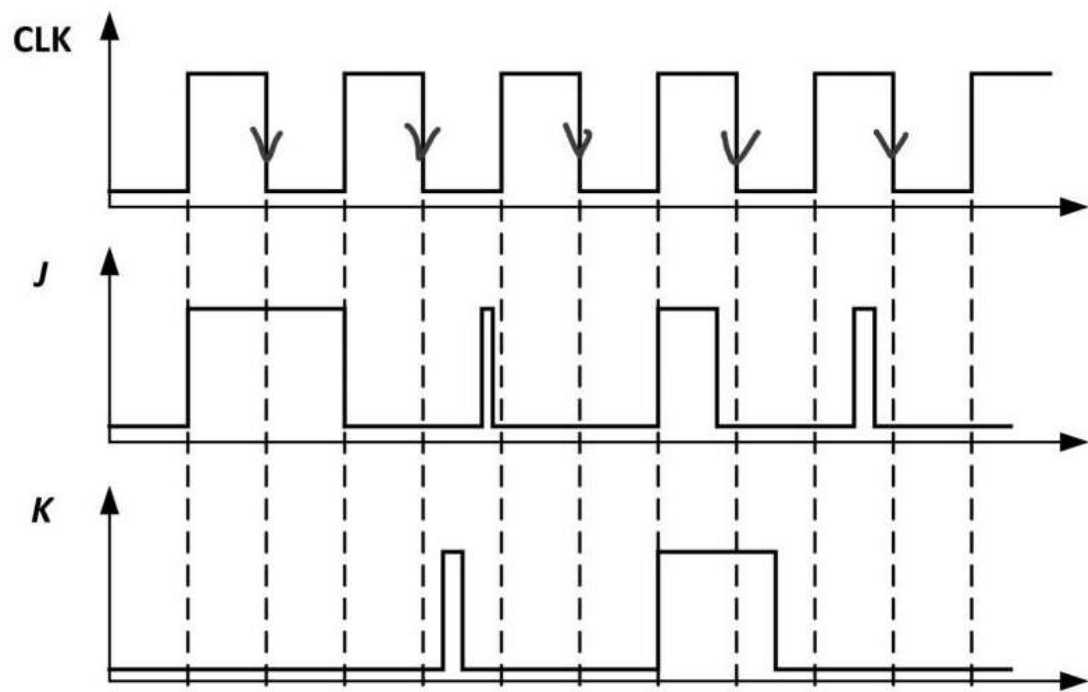
➤ 具体实施方案详见**习题讲解第4题**

◆ 知识点总结

◆ 习题讲解

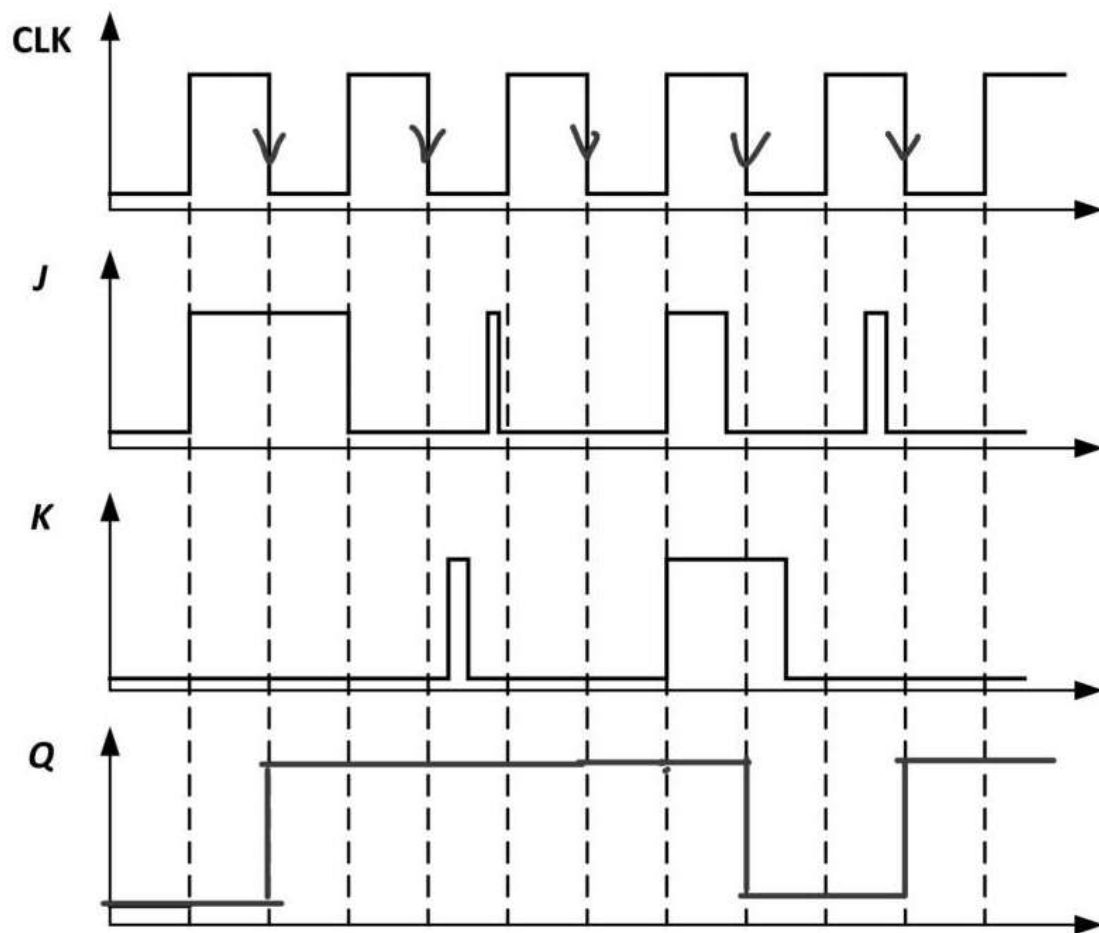
◆ 补充题

1. (2020·期末) 主从电路结构、正脉冲触发的JK触发器的J、K端输入波形如下图所示，试画出Q端对应的波形，设Q的初始状态为0





1. (2020·期末) 主从电路结构、**正脉冲触发**的JK触发器的J、K端输入波形如下图所示，试画出Q端对应的波形，设Q的初始状态为0

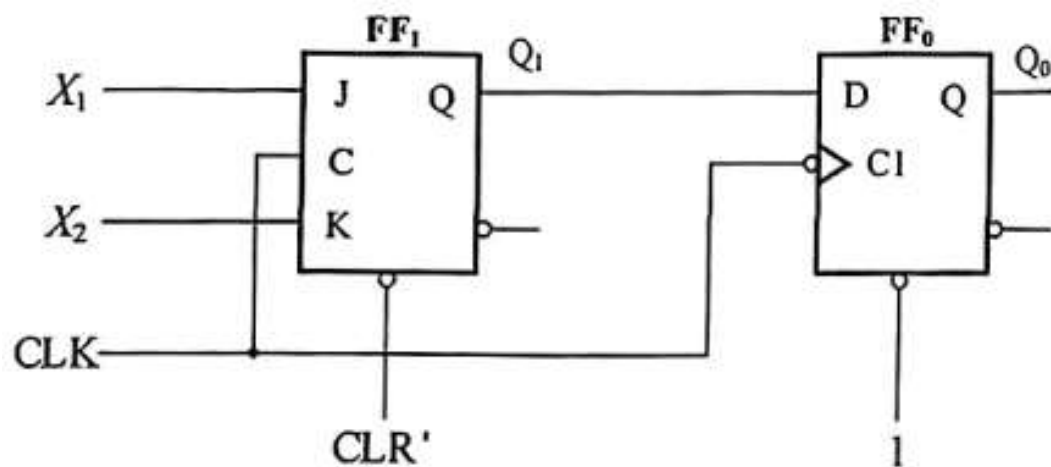


$$Q^* = JQ' + K'Q$$

关注CLK为**高电平**时电路的动作  
注意JK触发器存在“**一次翻转**”  
问题!!!

2. (2024·期末) 下图所示电路中包含一个**高电平**触发的JK触发器和**下降沿**触发的D触发器。

① 该电路是同步时序电路还是异步时序电路？是Mealy型还是Moore型？



两个触发器均由**同一时钟信号**控制



**同步时序逻辑电路**

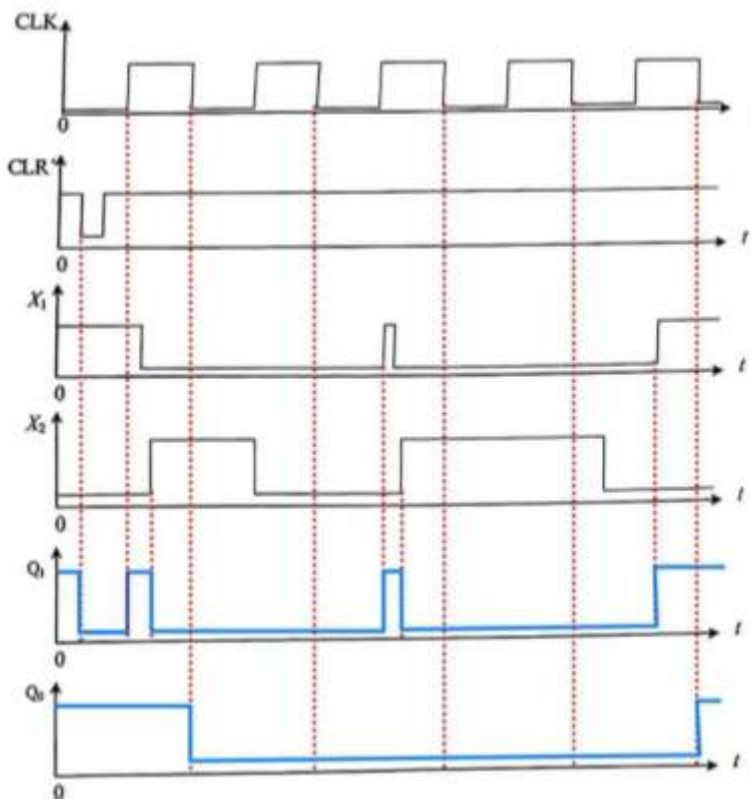
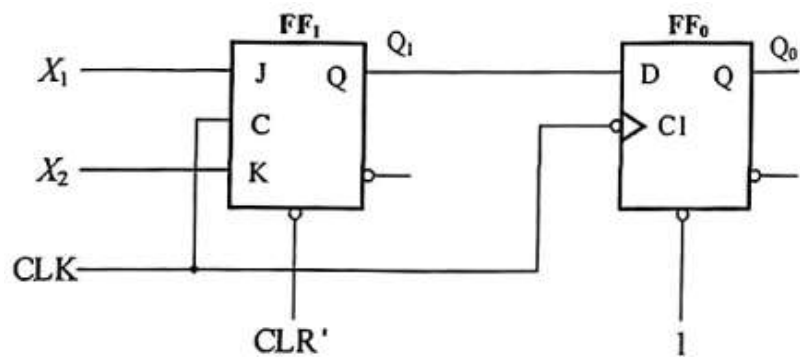
电路的**输出**  $Q_1$  与电路**输入**信号  $X_1$  和  $X_2$  **相关**



**Mealy型**

2. (2024·期末) 下图所示电路中包含一个**高电平**触发的JK触发器和**下降沿**触发的D触发器。

② 在图中画出 $Q_1$ 和 $Q_0$ 的波形图，初始状态 $Q_1Q_0=11$



➤ 写出驱动方程：

$$Q_1^* = JQ_1' + K'Q_1 = X_1Q_1' + X_2'Q_1$$

$$Q_0^* = D = Q_1$$

**注意本题中有异步置零信号 $CLR'$**

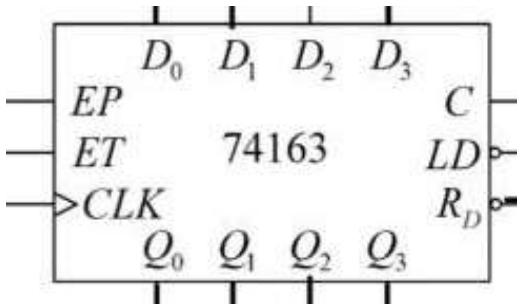
备注：本题易错！  
**电平触发的JK触发器不存在“一次翻转”的问题，因为它不属于主从结构！**



3. (2021·期末) 将同步十六进制计数器74163接成2421码十进制计数器，标出进位输出端。2421码的编码规则、74163的功能表和框图均已给出。

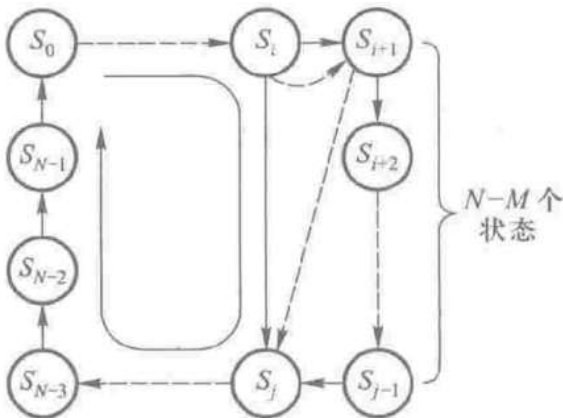
十进制数	0	1	2	3	4	5	6	7	8	9
2421 码	0000	0001	0010	0011	0100	1011	1100	1101	1110	1111

$CLK$	$R'_D$	$LD'$	$EP$	$ET$	工作状态
$\uparrow$	0	$\times$	$\times$	$\times$	置零
$\uparrow$	1	0	$\times$	$\times$	预置数
$\times$	1	1	0	1	保持
$\times$	1	1	$\times$	0	保持(但 $C = 0$ )
$\uparrow$	1	1	1	1	计数



本题为综合题，结合考察了第一章数码与数制的内容

- ✓ 观察2421码可以发现：其对应的常规二进制代码对应的十进制数为0~4和11~15
- ✓ 需要使用置数法：

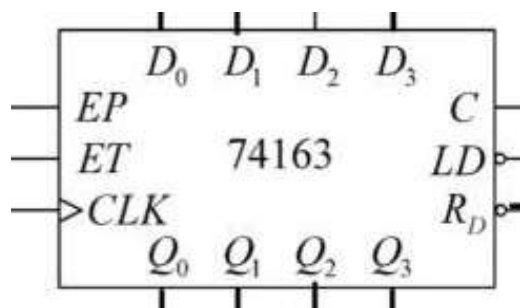


注意本题计数器为同步置数

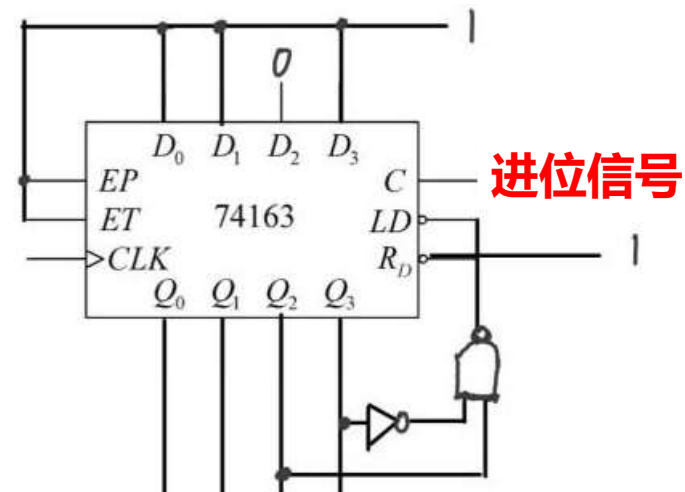
## 3. (2021·期末) 将同步十六进制计数器74163接成2421码十进制计数器，标出进位输出端。2421码的编码规则、74163的功能表和框图均已给出。

十进制数	0	1	2	3	4	5	6	7	8	9
2421 码	0000	0001	0010	0011	0100	1011	1100	1101	1110	1111

$CLK$	$R'_D$	$LD'$	$EP$	$ET$	工作状态
$\uparrow$	0	$\times$	$\times$	$\times$	置零
$\uparrow$	1	0	$\times$	$\times$	预置数
$\times$	1	1	0	1	保持
$\times$	1	1	$\times$	0	保持(但 $C = 0$ )
$\uparrow$	1	1	1	1	计数



- ✓ 当输出为**0100**的时候，我们需要去**激发置数信号 $LD'$** ，使计数器下一个状态为**1011**
- ✓ 然后直接按照功能表连电路图即可



✓ 电路图也可以适当简化

## 4. 使用JK触发器，设计一个3bit格雷码计数器。

➤ 下面给出**时序逻辑电路设计**的通法：

需要熟悉

### A. 画出电路的状态转换图

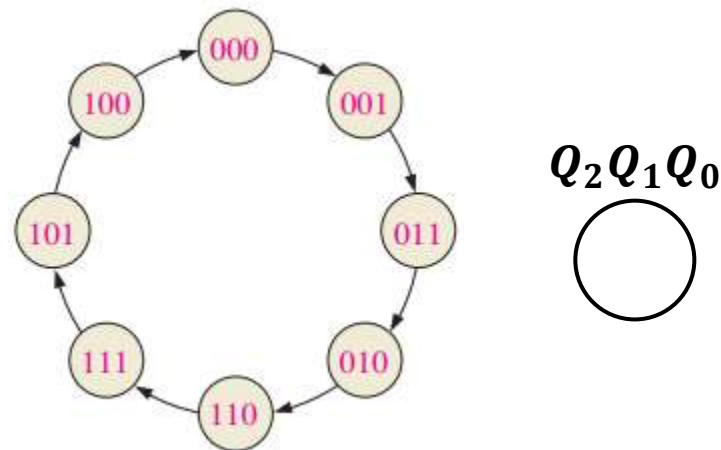
- 在一切工作开始之前，我们必须对电路进行**状态分配**
- 注意：对于实际应用问题，还需要进行**逻辑抽象**

➤ **状态分配：**

将3bit的格雷码用 $Q_2Q_1Q_0$ 表示

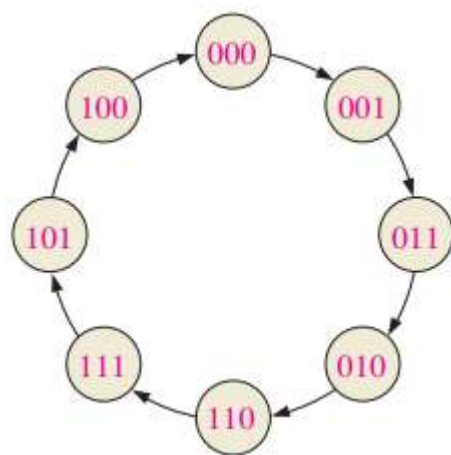
- ✓ 本题为**Moore**型电路，且**没有输出**
- ✓ 感兴趣的同学可以自行尝试对电路功能进行扩展

□ 根据**格雷码的编码方式**，我们很容易画出状态转换图：

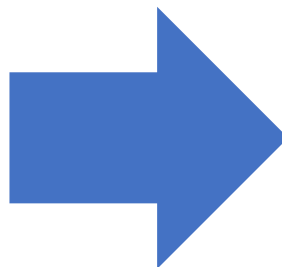
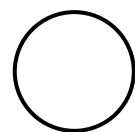


## 4. 使用JK触发器，设计一个3bit格雷码计数器。

B. 根据状态转换图，给出状态转换表



$Q_2 Q_1 Q_0$



Next-state table for 3-bit Gray code counter.

Present State			Next State		
$Q_2$	$Q_1$	$Q_0$	$Q_2$	$Q_1$	$Q_0$
0	0	0	0	0	1
0	0	1	0	1	1
0	1	1	0	1	0
0	1	0	1	1	0
1	1	0	1	1	1
1	1	1	1	0	1
1	0	1	1	0	0
1	0	0	0	0	0



## 4. 使用JK触发器，设计一个3bit格雷码计数器。

### C. 根据题目要求，给出状态转换表

- 题目要求使用的是JK触发器
- 根据JK触发器的特性方程我们很容易得到其状态转换表：

Transition table for a J-K flip-flop.

Output Transitions			Flip-Flop Inputs	
$Q_N$		$Q_{N+1}$	$J$	$K$
0	→	0	0	X
0	→	1	1	X
1	→	0	X	1
1	→	1	X	0

$Q_N$ : present state

$Q_{N+1}$ : next state

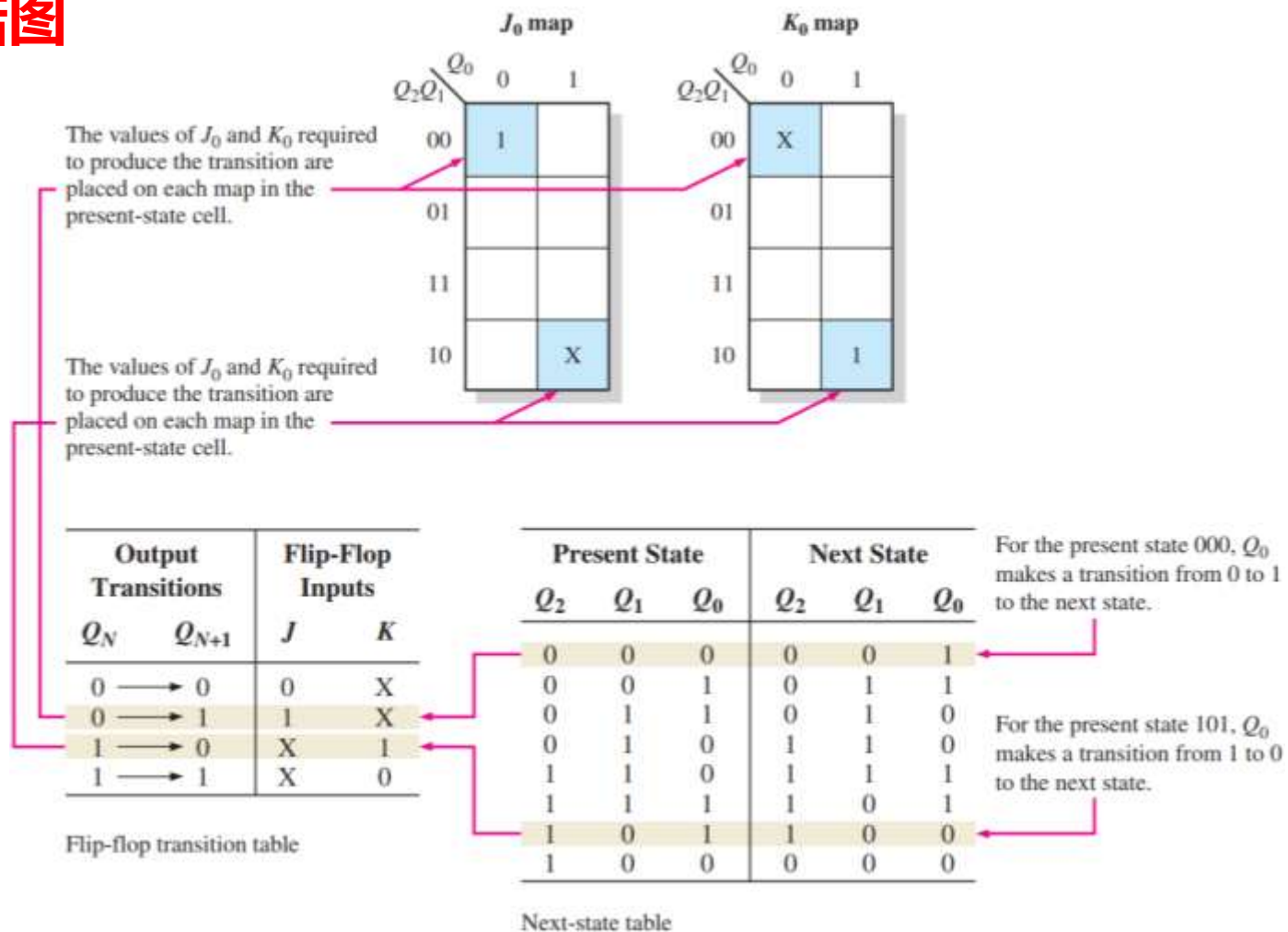
X: "don't care"

➤ 注：对于D触发器本步骤可以省略，因为其次态和其输入完全一致

## 4. 使用JK触发器，设计一个3bit格雷码计数器。

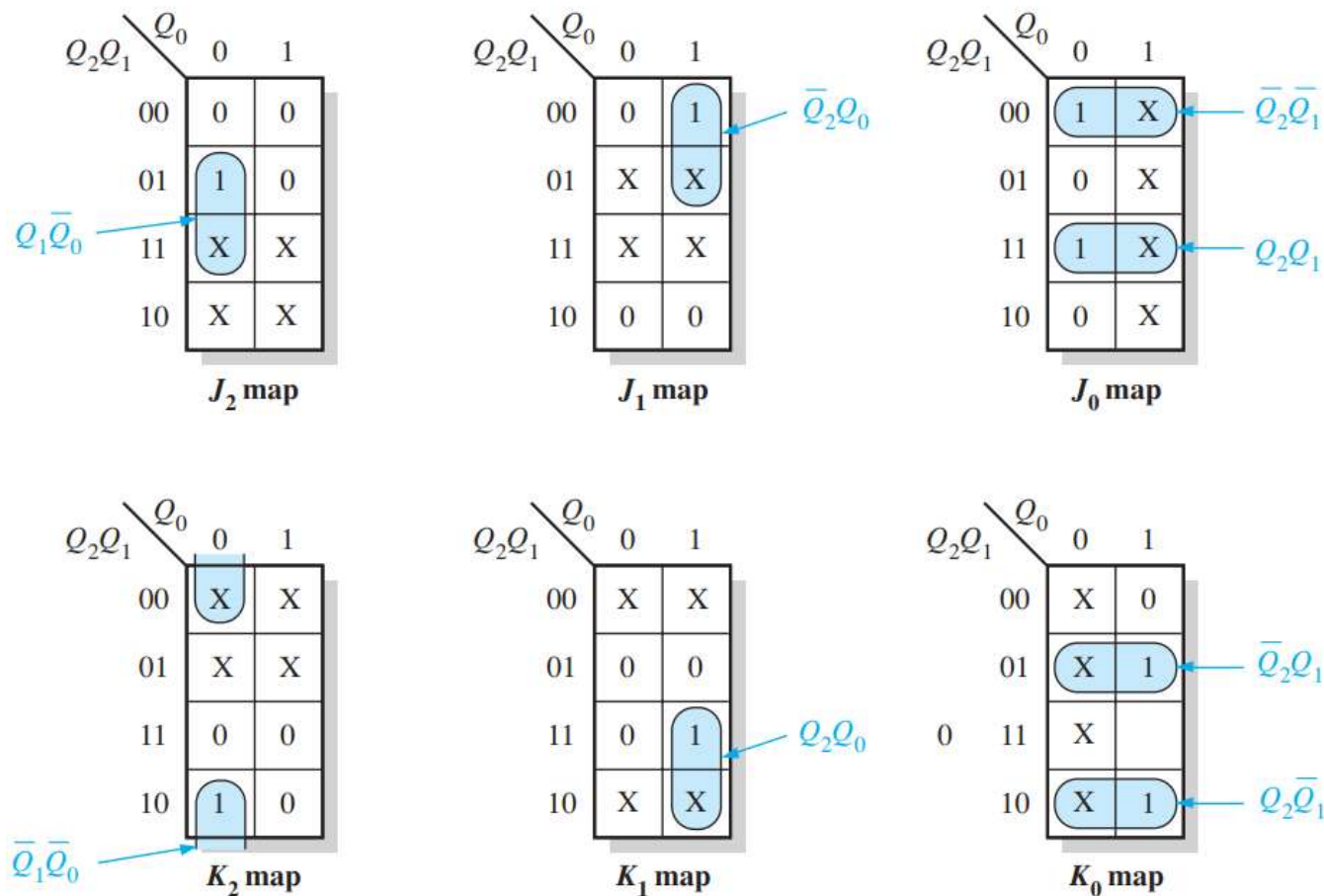
### D. 根据B和C的结果，画出卡诺图

- 最重要的一步
- 以  $J_0$  和  $K_0$  为例说明：
- 其他分析方法同理



## 4. 使用JK触发器，设计一个3bit格雷码计数器。

E. 根据D的结果，写出触发器的**驱动方程**



$$J_0 = Q_2Q_1 + Q_2'Q_1' = (Q_2 \oplus Q_1)'$$

$$K_0 = Q_2Q_1' + Q_2'Q_1 = Q_2 \oplus Q_1$$

$$J_1 = Q_2'Q_0$$

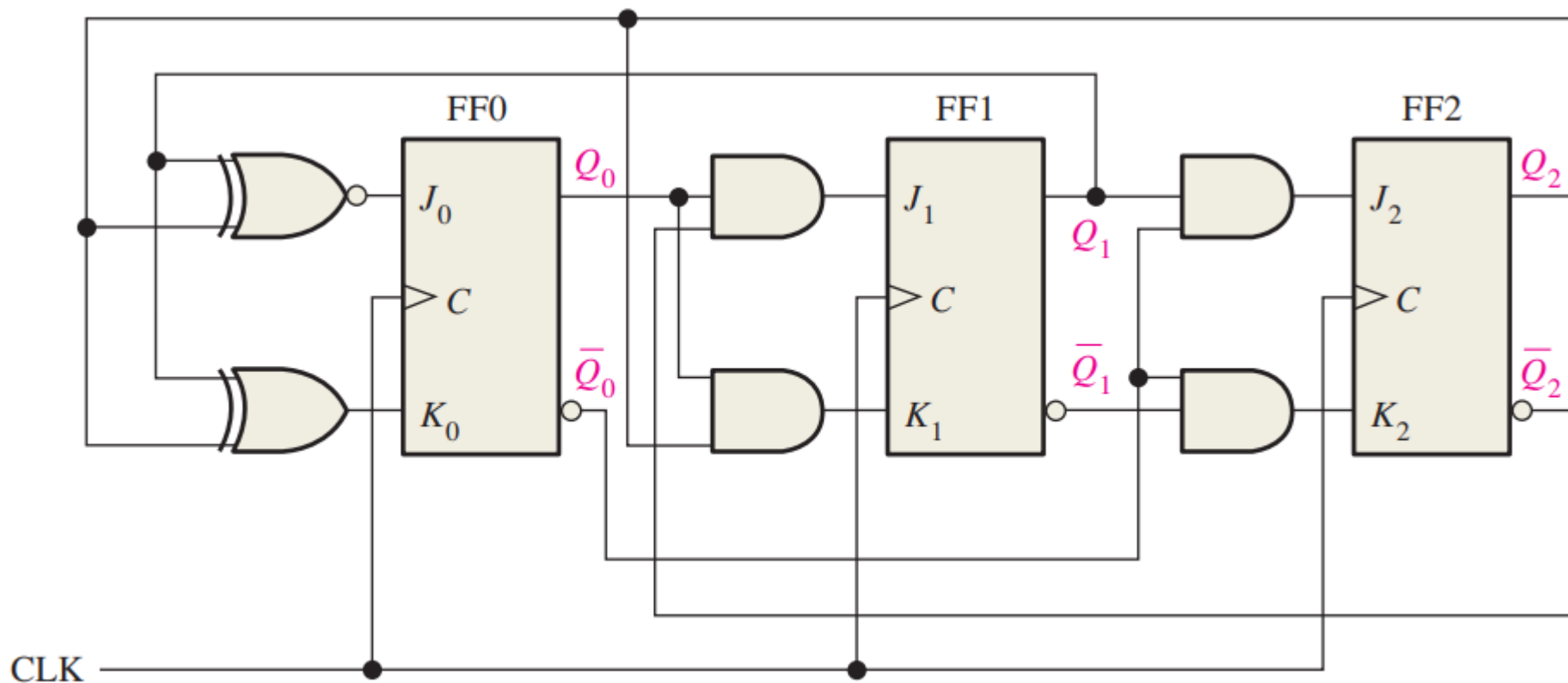
$$K_1 = Q_2Q_0$$

$$J_2 = Q_1Q_0'$$

$$K_2 = Q_1'Q_0'$$

## 4. 使用JK触发器，设计一个3bit格雷码计数器。

### F. 根据E中驱动方程，连接电路图



◆ 知识点总结

◆ 习题讲解

◆ 补充题

1. An active HIGH input S-R latch is formed by the cross-coupling of ()  
① two NOR gates    ② two NAND gates    ③ two OR gates    ④ two AND gates
2. A JK flip-flop with  $J=1$  and  $K=1$  has a 10 kHz clock input. The Q output is ()  
① constantly HIGH                      ② constantly LOW  
③ a 10 kHz square wave              ④ a 5 kHz square wave
3. The bit capacity of a memory that has 512 addresses and can store 8 bits at each address is ()  
① 512              ② 1024              ③ 2048              ④ 4096
4. A ROM is a ()  
① non-volatile memory                      ② volatile memory  
③ read/write memory                      ④ byte-organized memory

5. A byte-organized memory has ()

- ① 1 data output line                      ② 4 data output lines
- ③ 8 data output lines                      ④ 16 data output lines

6. The storage element of a DRAM is a ()

- ① resistor              ② transistor              ③ capacitor              ④ diode

7. In a computer, the BIOS (Basic Input/Output System) programs are stored in the ()

- ① ROM              ② RAM              ③ SRAM              ④ DRAM

8. The output of a Mealy machine depends on its ()

- ① inputs              ② next state              ③ present state              ④ both ① and ③



9. A 5-bit binary counter has a maximum modulus of ()

- ① 4      ② 8      ③ 16      ④ 32

10. A modulus-12 counter must have ()

- ① 12 flip-flops      ② 3 flip-flops      ③ 4 flip-flops      ④ synchronous clocking

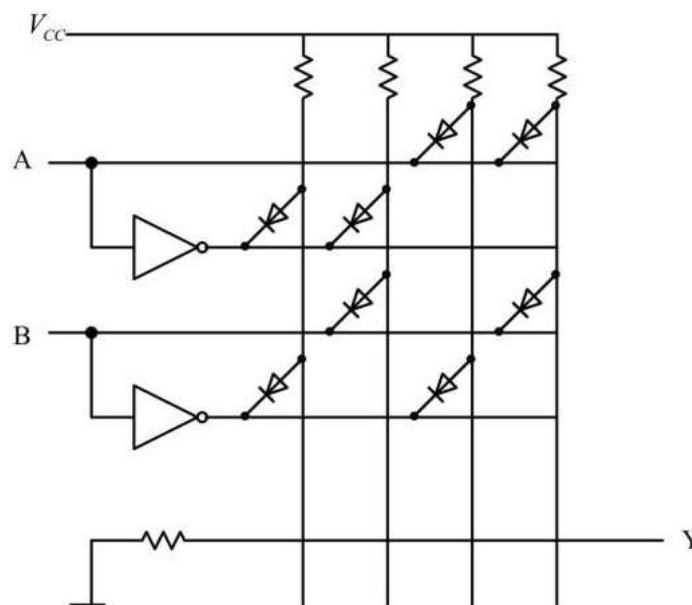
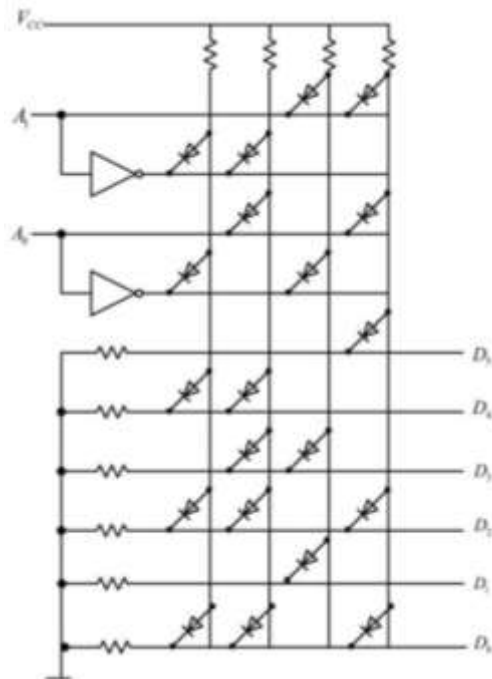
11. A BCD counter is an example of ()

- ① a full-modulus counter      ② a decade counter  
③ a truncated-modulus counter      ④ both ② and ③

12. A 10 MHz clock frequency is applied to a cascaded counter consisting of a modulus-5 counter, a modulus-8 counter, and two modulus-10 counters. The lowest output frequency possible is ()

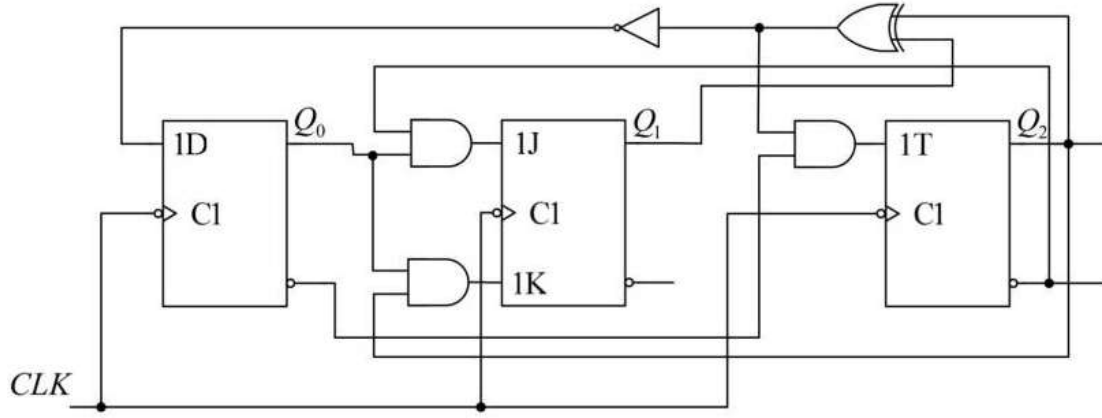
- ① 10 kHz      ② 2.5 kHz      ③ 5 kHz      ④ 25 kHz

1. (2024•期末) 请写出RAM和ROM的两点差别\_\_\_\_\_;  
请列出计算机中RAM和ROM的各一种代表\_\_\_\_\_。
2. (2016•期末) 二极管存储器电路结构如左图所示:
  - ① 给出该存储器的存储矩阵 (字代表行, 位代表列)
  - ② 当地址选择信号  $A_1A_0 = 10$  时, 数据输出端得到的  $D_5D_4D_3D_2D_1D_0 =$ \_\_\_\_\_
  - ③ 该存储器从存、取功能上划分属于哪种类型存储器? 并简述该类型存储器的两个特点。
  - ④ 在右图添加二极管实现逻辑函数  $Y = A + B$

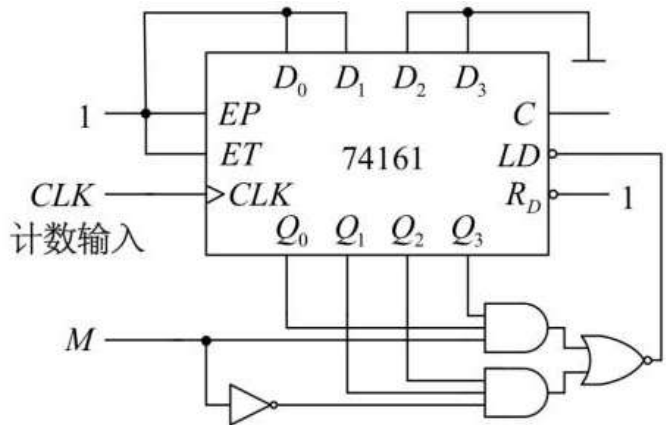




3. (2019·期末) 电路如下图所示，分析由DFF、JKFF和TFF组成的时序电路。求电路的驱动方程和状态方程，列出状态转换表，画出时序图，说明电路的功能。



4. (2019·期末) 分析左图所示电路在M=0和M=1时各为几进制计数器，画出电路完整的状态转换图。4位同步二进制计数器74161的功能表如右表所示。

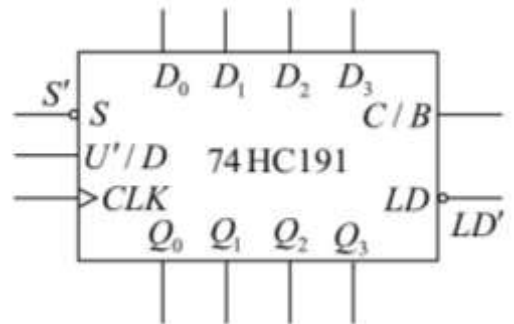


CLK	R' <sub>D</sub>	LD'	EP	ET	工作状态
×	0	×	×	×	置零
↑	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持(但 C = 0)
↑	1	1	1	1	计数

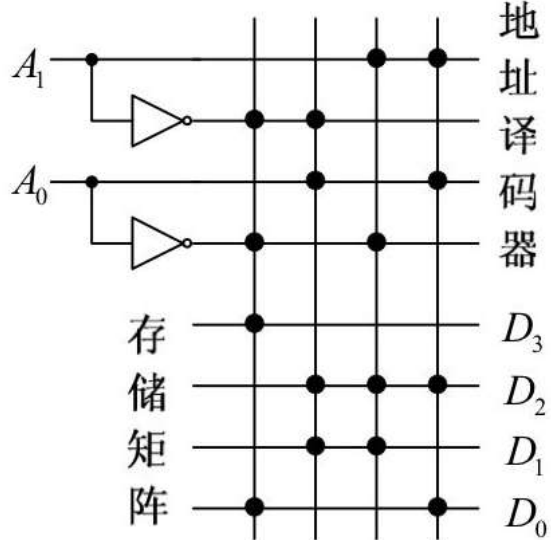


5. (2017·期末) 74HC191是同步16进制加/减计数器，将74HC191设计成12进制剑法计数器，标出借位输出端。74HC191的功能表和框图如下图所示。

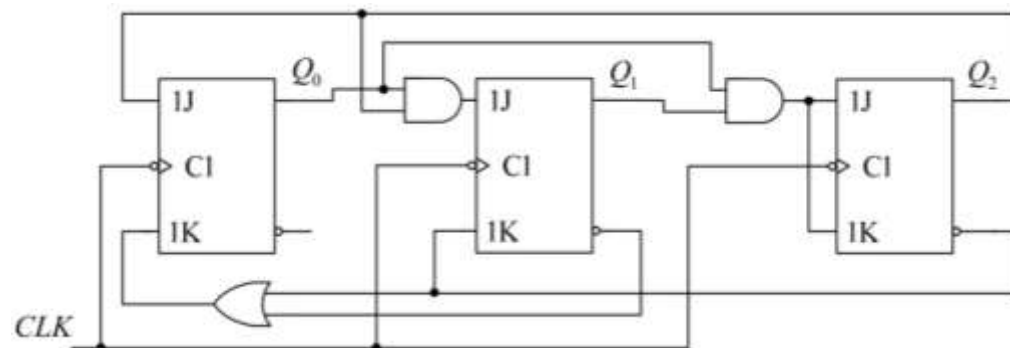
$CLK$	$S'$	$LD'$	$U'/D$	工作状态
$\times$	1	1	$\times$	保持
$\times$	$\times$	0	$\times$	预置数（异步）
$\uparrow$	0	1	0	加法计数
$\uparrow$	0	1	1	减法计数



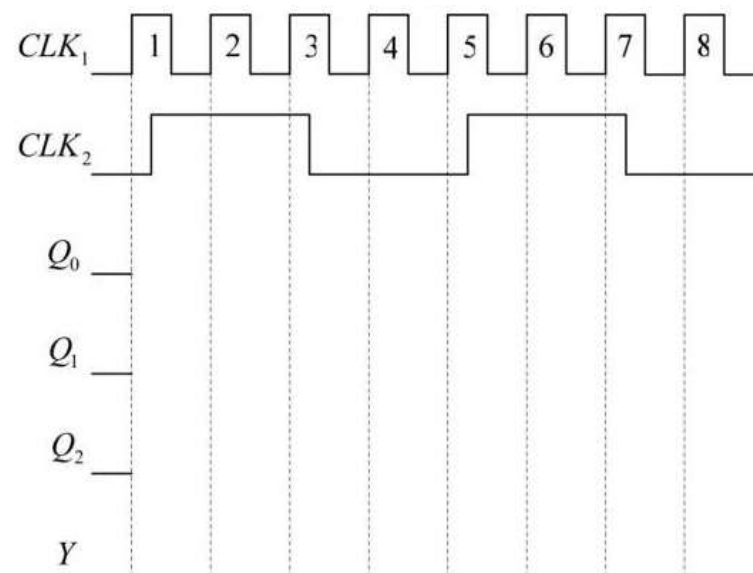
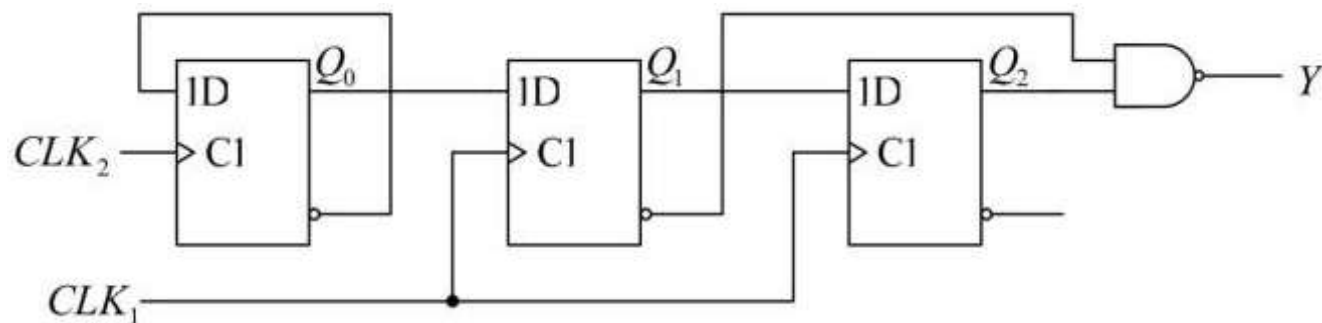
6. (2017·期末) 下图为某PROM电路编程后的点阵图。① 列出数据表；② 若把地址 $A_1A_0$ 看作输入，数据 $D_3D_2D_1D_0$ 作为输出，分别写出 $D_3, D_2, D_1, D_0$ 的表达式。



7. (2017·期末) 分析下图所示时序逻辑电路，① 写出电路的驱动方程和状态方程；② 列出状态转换表；③ 画出状态转换图；④ 检查电路能否自启动；⑤ 说明电路的功能。



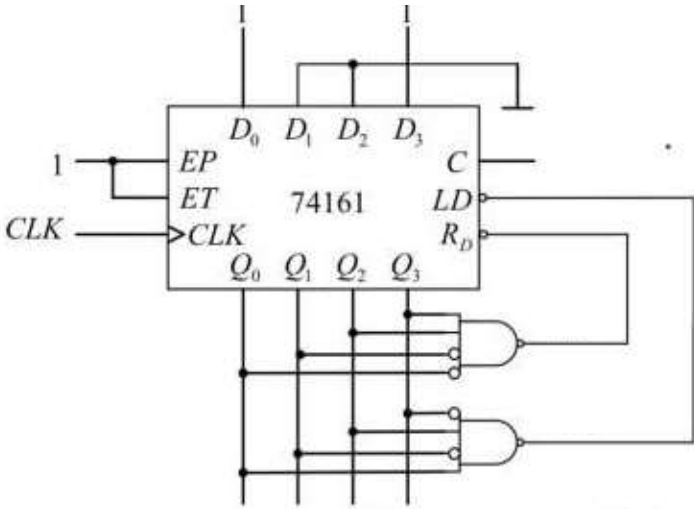
8. (2019·期末) 电路如下图所示，试对应图中所示时钟信号 $CLK_1$ 和 $CLK_2$ 的波形，画出输出 $Q_0$ 、 $Q_1$ 、 $Q_2$ 和 $Y$ 的波形，设触发器的初始状态均为0。



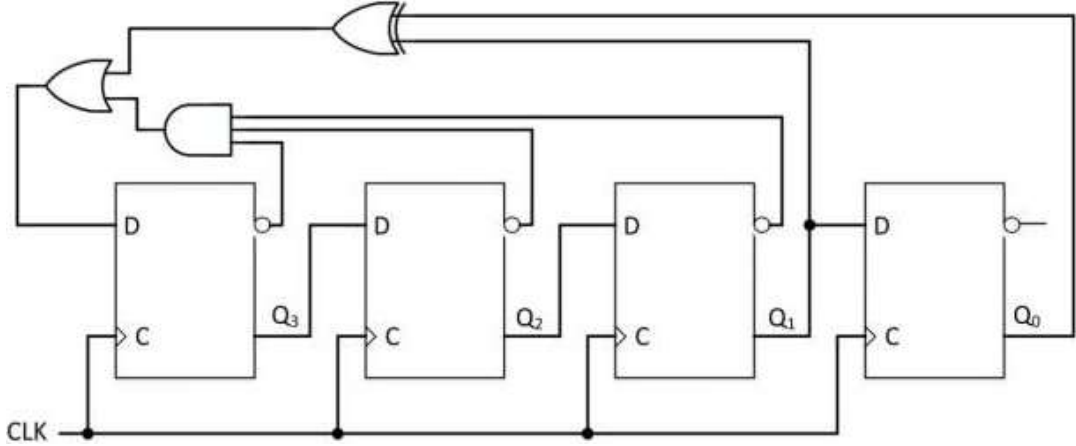


9. (2020·期末) 二进制计数器74161的功能表如下所示，试给出下图电路的状态转换图，并说明该电路实现的具体功能。

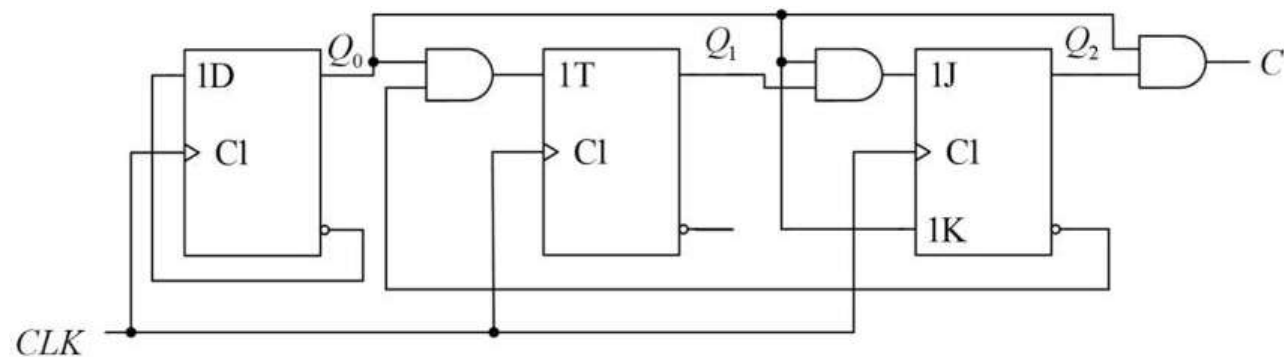
$CLK$	$R_D'$	$LD'$	$EP$	$ET$	工作状态
$\times$	0	$\times$	$\times$	$\times$	置零
$\uparrow$	1	0	$\times$	$\times$	预置数
$\times$	1	1	0	1	保持
$\times$	1	1	$\times$	0	保持, $C = 0$
$\uparrow$	1	1	1	1	计数



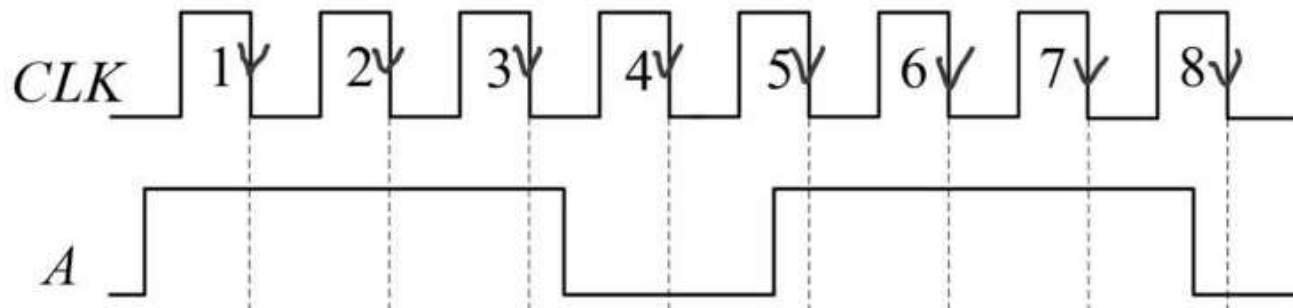
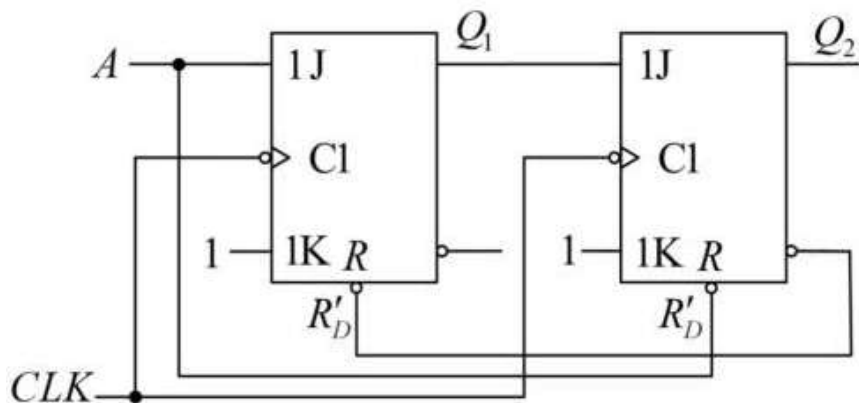
10. (2020·期末) 下图为一移位反馈寄存器型计数器电路，试写出该电路的驱动方程和状态方程，画出状态转换图，分析该电路的循环长度是多少，并说明电路能否自启动。



11. (2021·期末) 时序逻辑电路如图所示，写出电路的驱动方程、状态方程和输出方程，列出状态转换表，画出状态转换图，检查电路能否自启动



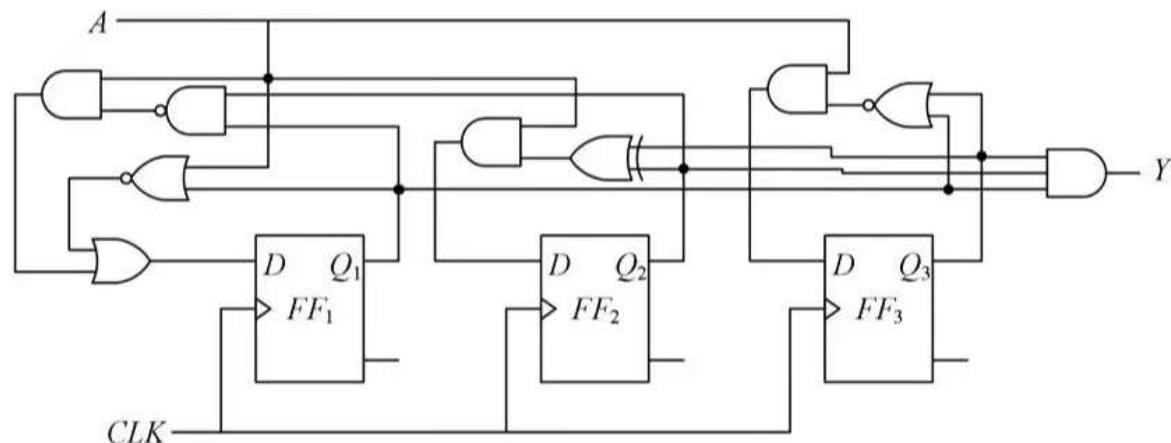
12. (2021·期末) 电路如下图所示。试对应波形图中的时钟信号CLK和输入A的波形，画出输出 $Q_1$ 和 $Q_2$ 的波形，设触发器的初始状态均为0。





13. (2023·清华) ① 如图，写出驱动方程、状态方程、输出方程，画出状态转换图；

② 当 $A=1$ 时，电路功能是？



14. (2025·复旦) 用SR触发器构成1位二进制计数器，则 $R=$ \_\_\_\_， $S=$ \_\_\_\_。

15. (2025·复旦) 3个D触发器构成扭环型计数器，有\_\_\_\_个有效工作状态。

16. (2024·华科) 74161的框图见第29页。用74161和非门芯片设计一个10进制计数器。

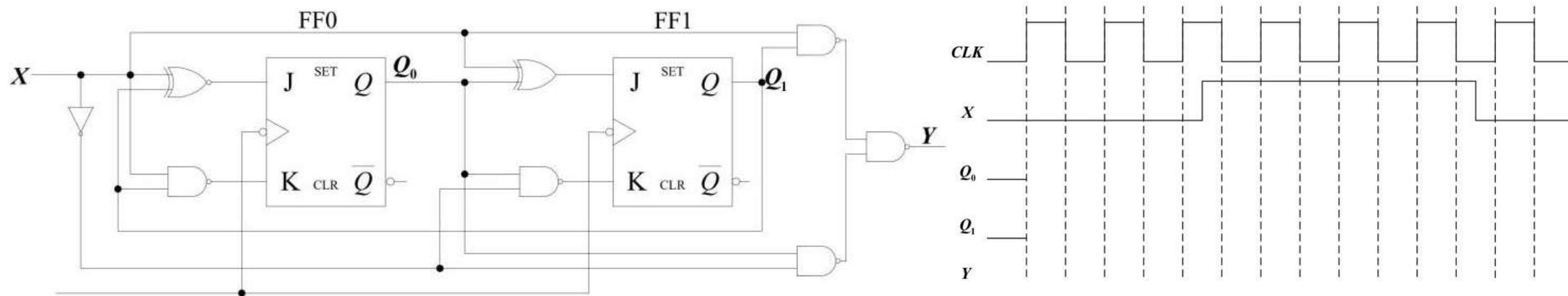
① 采用同步预置法，已知 $D_3D_2D_1D_0 = 0001$ ，绘制电路图，简述设计思路。

② 采用异步清零法，已知 $D_3D_2D_1D_0 = 0000$ ，绘制电路图，简述设计思路。

## 17. (2016•期末) 时序逻辑电路分析:

① 时序电路的三组方程分别是? 写出该电路对应的三组方程

② 若图中的CLK、X的波形如图所示, 设起始状态 $Q_0Q_1=00$ , 画出 $Q_0$ 、 $Q_1$ 和Y对应的波形图。

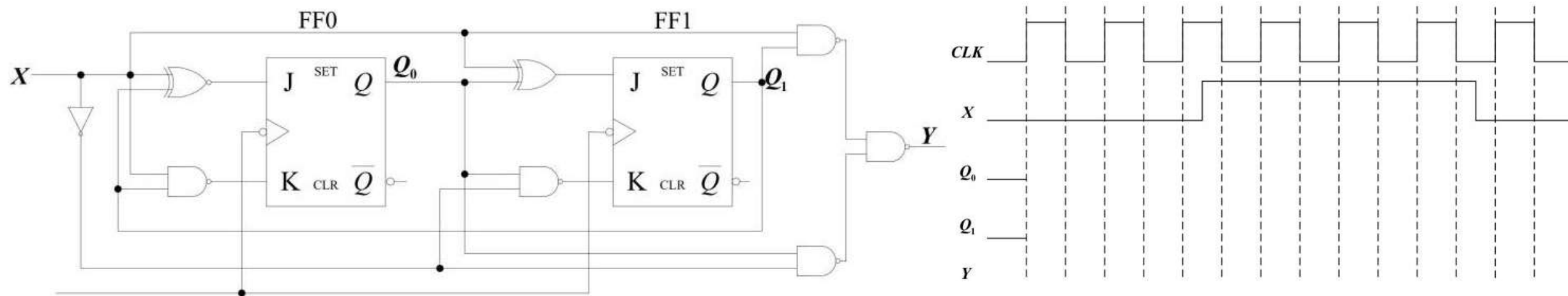


18. (2016•期末) 设时钟信号频率为 $f$ , 试用下降沿触发的边沿触发器设计电路产生频率为 $f/6$ 的六分频信号。要求: 输出信号为半占空比周期脉冲, 即脉冲宽度占信号周期的一半, 设计过程应包含状态装换图、卡诺图化简、三组方程、电路逻辑框图。触发器状态编号统一用 $Q_2Q_1Q_0$ 表征。

## 17. (2016•期末) 时序逻辑电路分析:

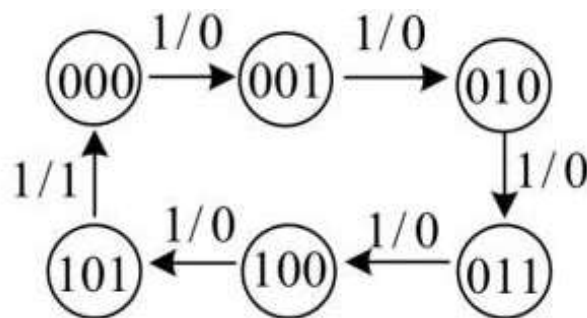
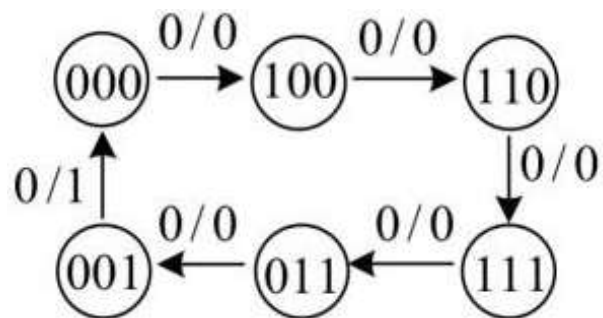
① 时序电路的三组方程分别是？写出该电路对应的三组方程

② 若图中的CLK、X的波形如图所示，设起始状态 $Q_0Q_1=00$ ，画出 $Q_0$ 、 $Q_1$ 和Y对应的波形图。

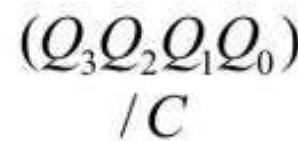
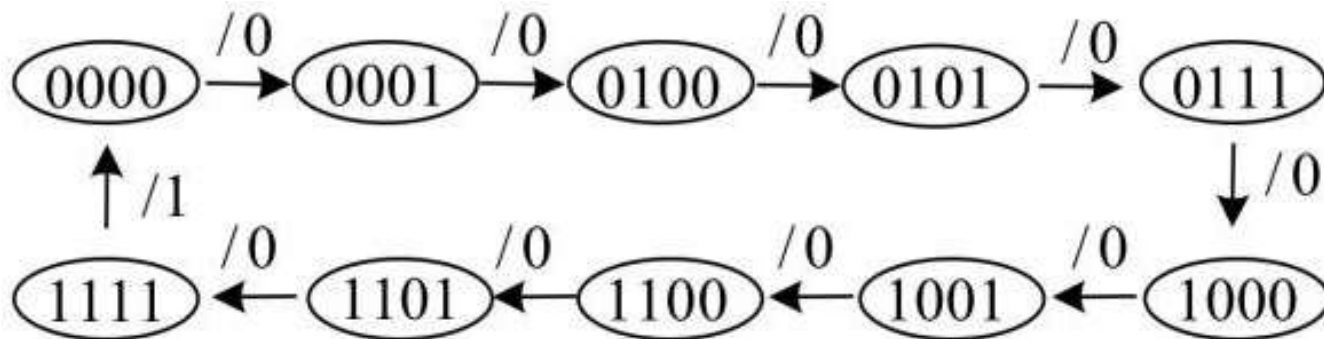


18. (2016•期末) 设时钟信号频率为 $f$ ，试用下降沿触发的边沿触发器设计电路产生频率为 $f/6$ 的六分频信号。要求：输出信号为半占空比周期脉冲，即脉冲宽度占信号周期的一半，设计过程应包含状态装换图、卡诺图化简、三组方程、电路逻辑框图。触发器状态编号统一用 $Q_2Q_1Q_0$ 表征。

19. (2017·期末) 用上升沿触发的D触发器和门电路设计一个可控计数器，A是控制端，Y是输出端。当A=0时状态转换图如左图所示，当A=1时状态转换图如右图所示。① 求电路的状态方程、输出方程和驱动方程；② 画出逻辑图。



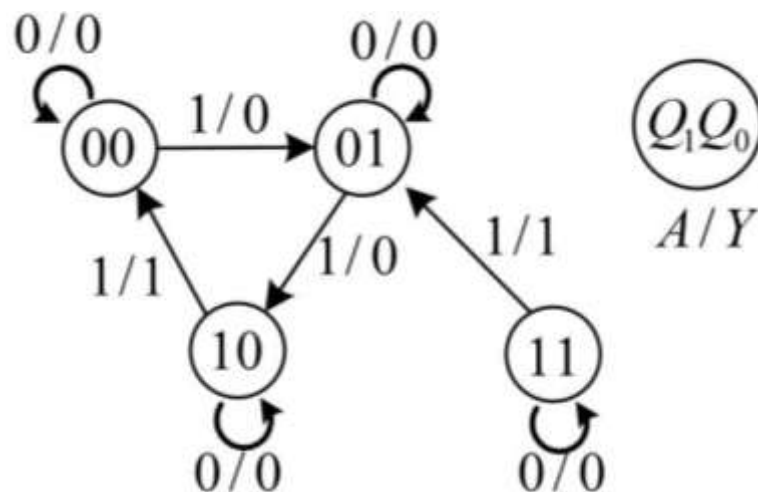
20. (2019·期末) 用JK触发器和门电路设计一个带有进位输出端的5211BCD码计数器，它的状态转换图如下图所示。① 求电路的状态方程、输出方程和驱动方程；② 画出逻辑图。



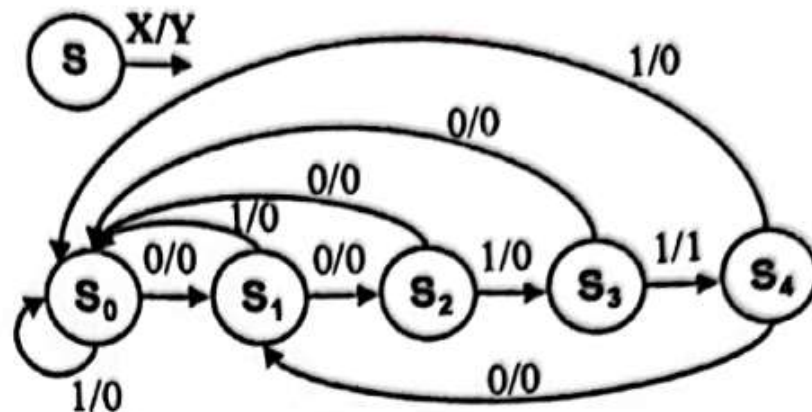
21. (2020·期末) 试使用上升沿触发的T触发器设计一同步时序逻辑电路，要求：该电路可实现带进位输出的10进制计数器功能，状态编码采用4位格雷码（限定选取从0000起始的连续的10个代码），4位码统一用 $Q_3Q_2Q_1Q_0$ 表示，其中 $Q_3$ 为最高位。

- ① 列出状态转换表；
- ② 写出满足自启动要求的驱动方程、状态方程和输出方程；
- ③ 画出完整电路图。

22. (2021·期末) 用下降沿触发的D触发器和逻辑门设计一个同步时序逻辑电路，该电路的状态转换图如下图所示。① 列出状态转换表；② 求电路的状态方程、输出方程和驱动方程；③ 画出逻辑图。



23. (2021·期中) 已知状态图如下, 请使用顺序编码、D触发器和尽量少的门, 设计电路。要求写出设计步骤 (状态如能化简需化简、写出状态方程和输出方程等)。



24. (2023·清华) 设计序列信号发生器10010

- ① 画出状态转换图;
- ② 画出电路图;
- ③ 该电路是否会产生毛刺? 若有该如何解决。

**感谢各位聆听!**



**A组:**

**1441**

**3314**

**4342**