



中国科学技术大学
University of Science and Technology of China

《数字电路》习题课

二、门电路

黄慎宜

2025年09月20日

School of Microelectronics, University of Science and Technology of China

◆ 考点总结

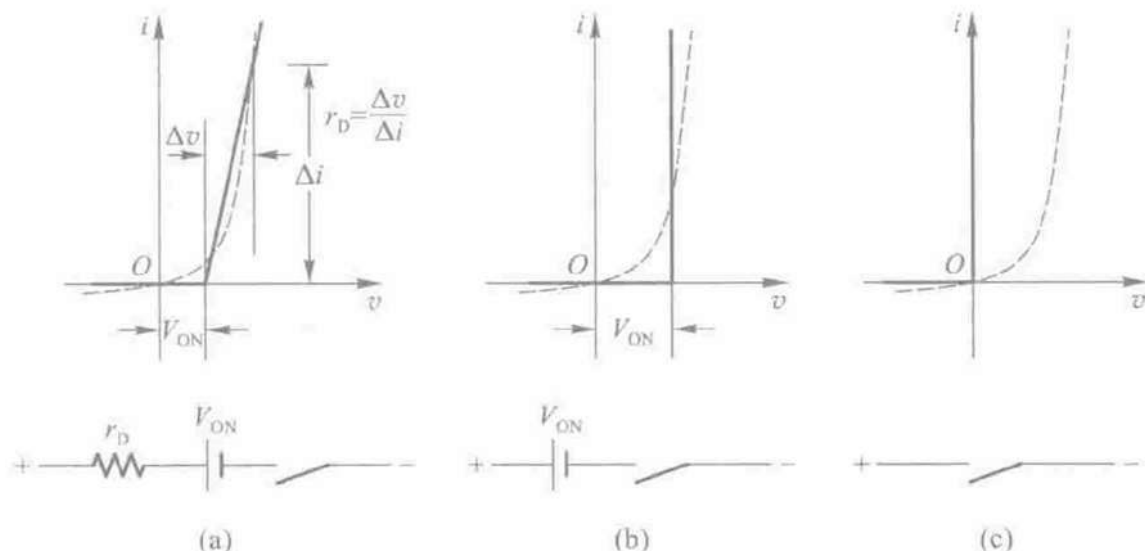
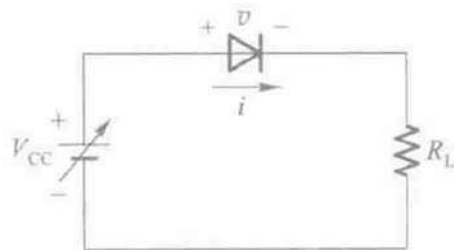
◆ 习题讲解

◆ 补充题

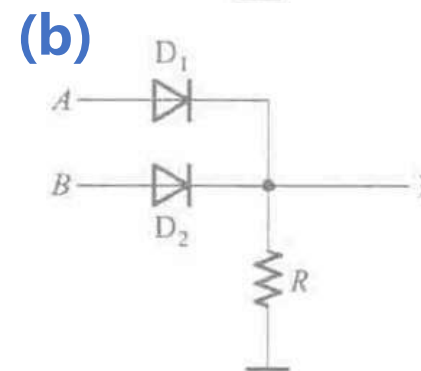
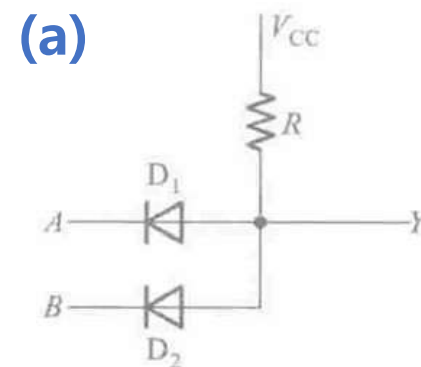
1. 二极管的伏安特性

$$i = I_S(e^{\frac{v}{V_T}} - 1) \quad \text{Shockley方程}$$

2. 二极管的开关等效电路

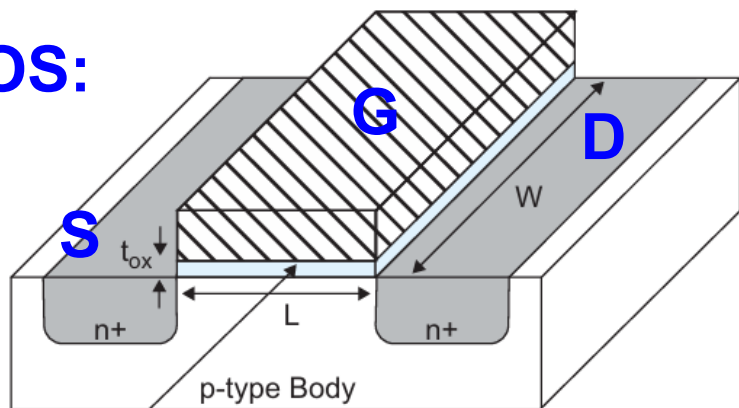


Q1: 分析下列二极管电路实现的逻辑功能

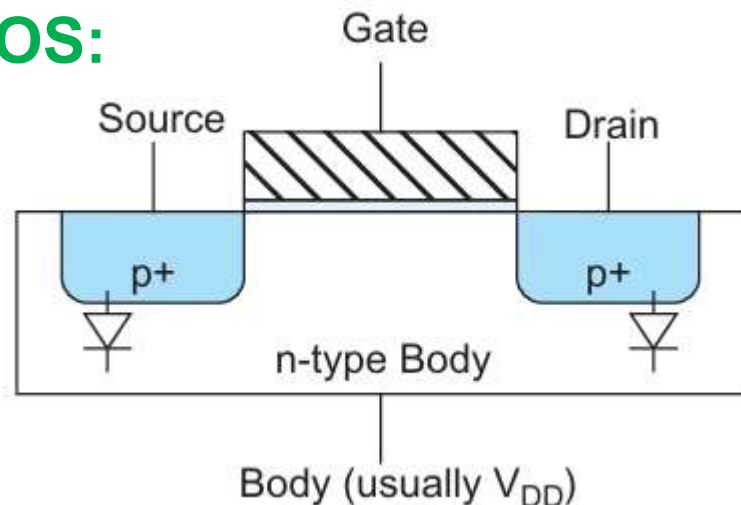


1. MOS (Metal-Oxide-Semiconductor) 晶体管结构

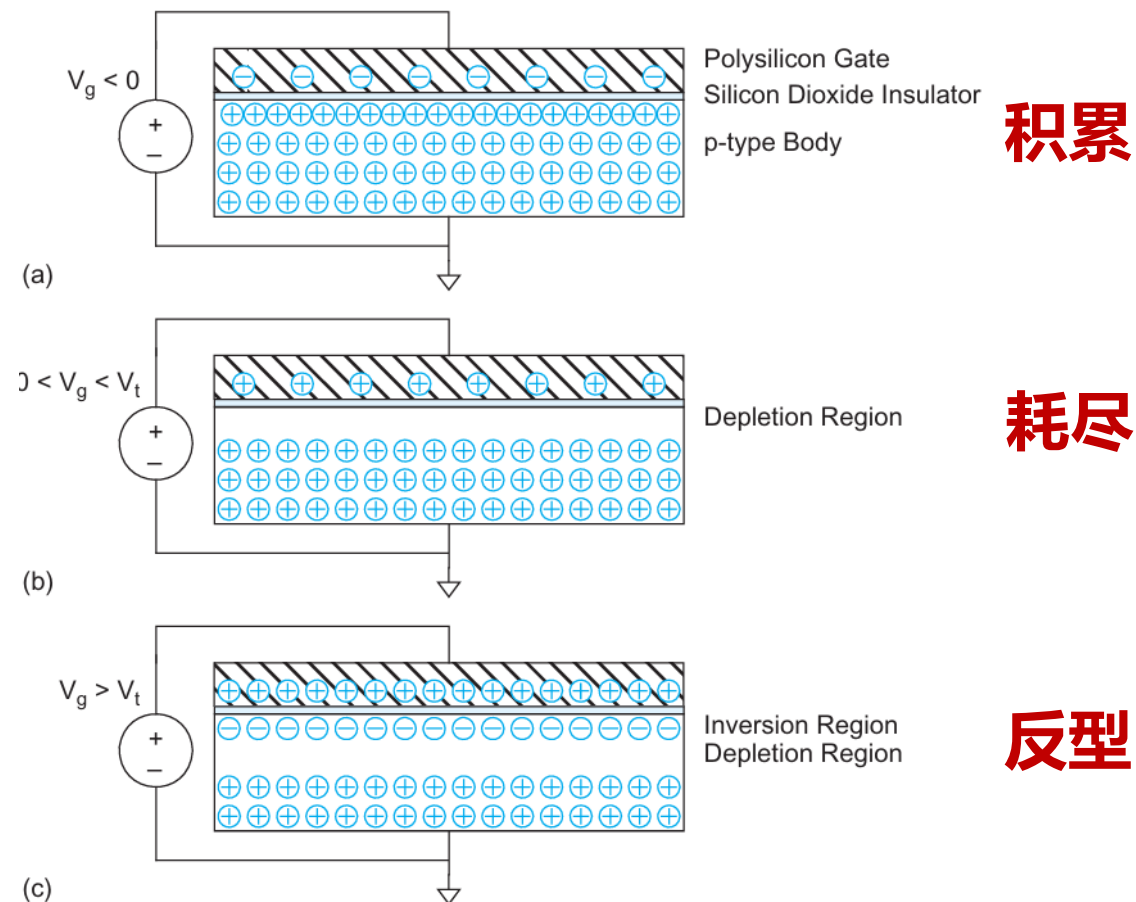
NMOS:



PMOS:



MOS结构的三种状态 (以NMOS为例) :



积累

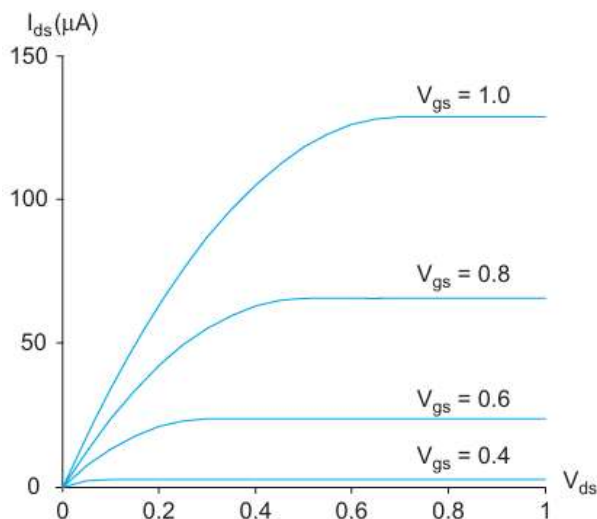
耗尽

反型

2. MOS管的输入、输出特性

➤ NMOS:

$$\begin{cases} I_{ds} = \beta \left(V_{GS} - V_T - \frac{1}{2} V_{DS} \right) V_{DS} \\ I_{ds} = \frac{\beta}{2} (V_{GS} - V_T)^2 \end{cases}$$



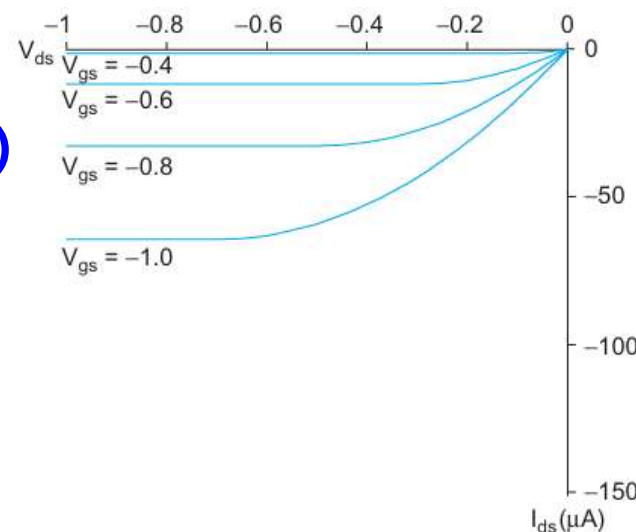
饱和区 ($V_{DS} > V_{DS(sat)}$)

$$\beta = \mu C_{ox} \frac{W}{L} \quad (\text{与晶体管工艺参数有关!})$$

线性区 ($V_{DS} \ll V_{DS(sat)} = V_{GS} - V_T$)

➤ PMOS:

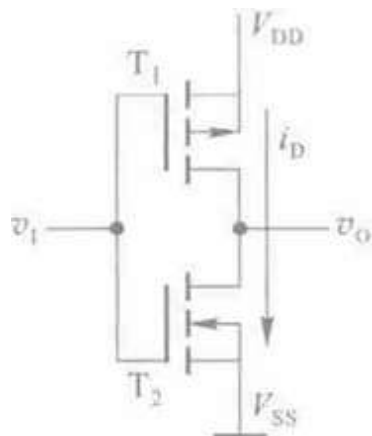
$$\begin{cases} I_{ds} = \beta \left(V_{SG} + V_T - \frac{1}{2} V_{SD} \right) V_{SD} \\ I_{ds} = \frac{\beta}{2} (V_{SG} + V_T)^2 \end{cases}$$



$$V_{SD(sat)} = V_{SG} + V_T$$

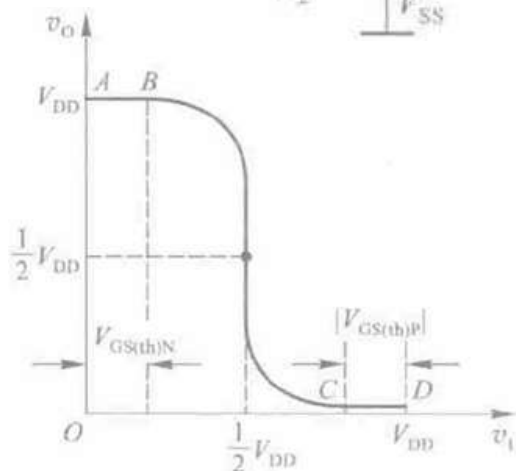
3. CMOS反相器

➤ 由一个NMOS和一个PMOS构成

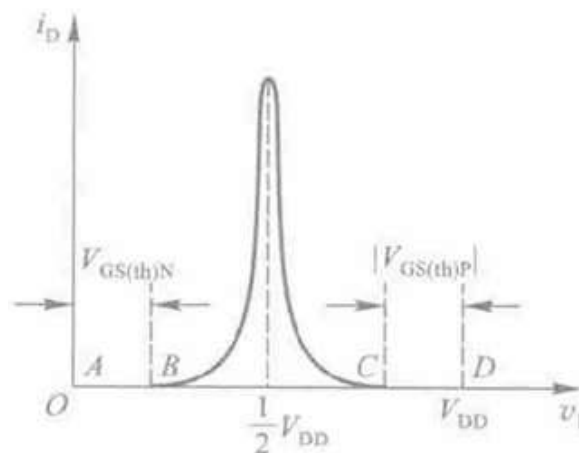


➤ 作用：实现逻辑“非”

v_I	v_O
1	0
0	1



电压传输特性



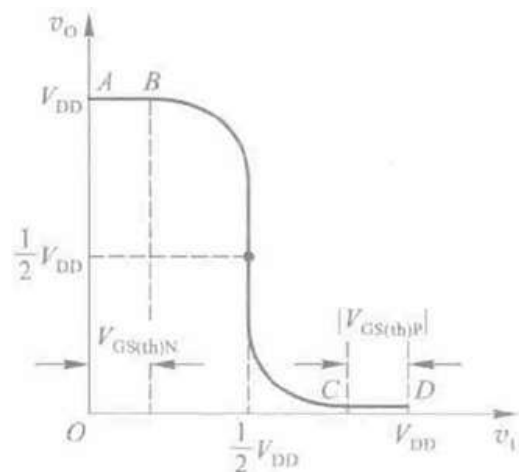
电流传输特性

Q2: MOS管构成的反相器电流 (i_D) 最大时, 输出电压为

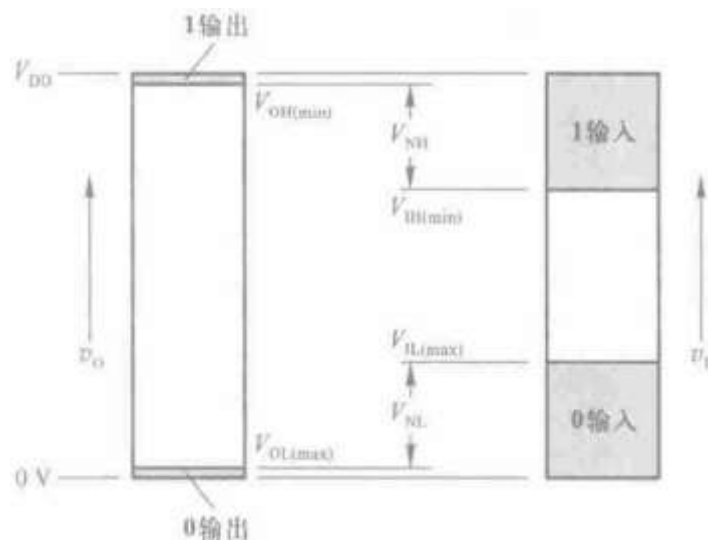
Q3: 利用NMOS和PMOS的输入输出特性方程 (见上页), 试推导CMOS反相器的电压、电流传输特性曲线的方程



4. 输入端噪声容限



- 在保证输出高、低电平基本不变的情况下，**允许输入高、低电平有一个波动范围**



$$V_{NH} = V_{OH(min)} - V_{IH(min)}$$

$$V_{NL} = V_{IL(max)} - V_{OL(max)}$$

5. 扇出 (fanout)

- 定义：一个电路的输出端能够驱动**同类型负载**电路输入端的**数目**

随着开关**工作频率的升高**
扇出数将随之**下降**

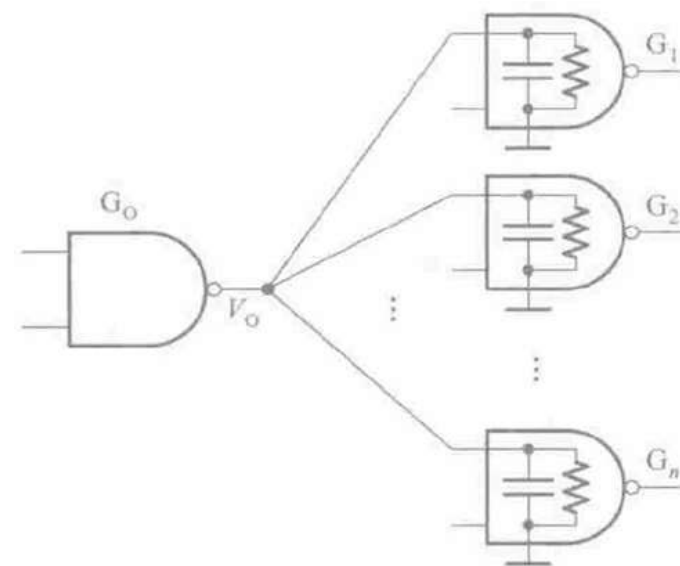
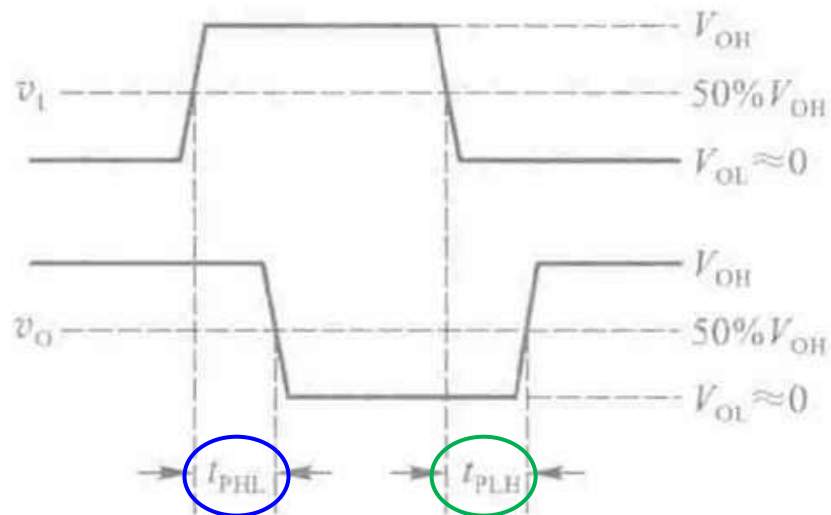


图 3.3.27 CMOS 电路的扇出连接

6. 延时

- 传播延迟时间：输出电压变化落后于输入电压变化的时间



7. 功耗

- 动态功耗
- 静态功耗

负载电容充放电功耗 P_C
瞬时导通功耗 P_T

Q4: 计算CMOS反相器的总功耗。
已知电源电压 $V_{DD} = 5V$, 静态电源电流 $I_{DD} = 1\mu A$, 负载电容 $C_L = 100pF$, 功耗电容 $C_{PD} = 20pF$, 信号重复频率 $f = 100Hz$ 。

【解答】

$$P_C = C_L f V_{DD}^2$$
$$P_T = C_{PD} f V_{DD}^2$$

总的动态功耗:

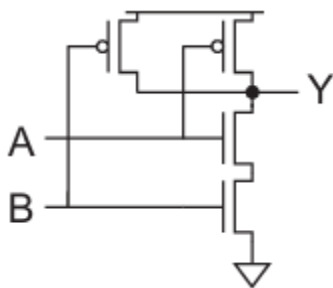
$$P_D = P_T + P_C = (C_L + C_{PD}) f V_{DD}^2$$

静态功耗:

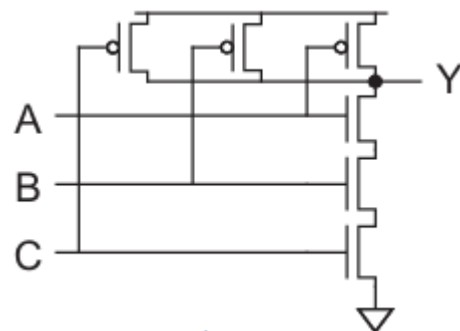
$$P_S = V_{DD} I_{DD}$$

可以忽略

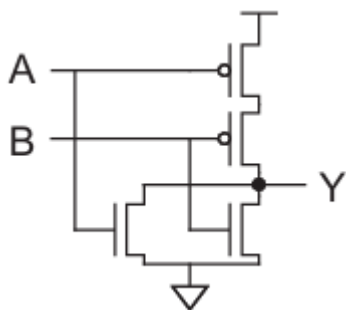
8. 各种逻辑功能的CMOS门电路



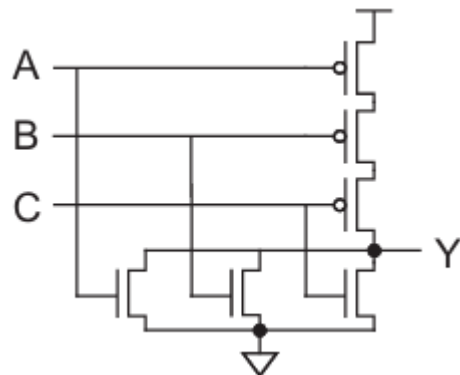
2-input
NAND gate



3-input
NAND gate



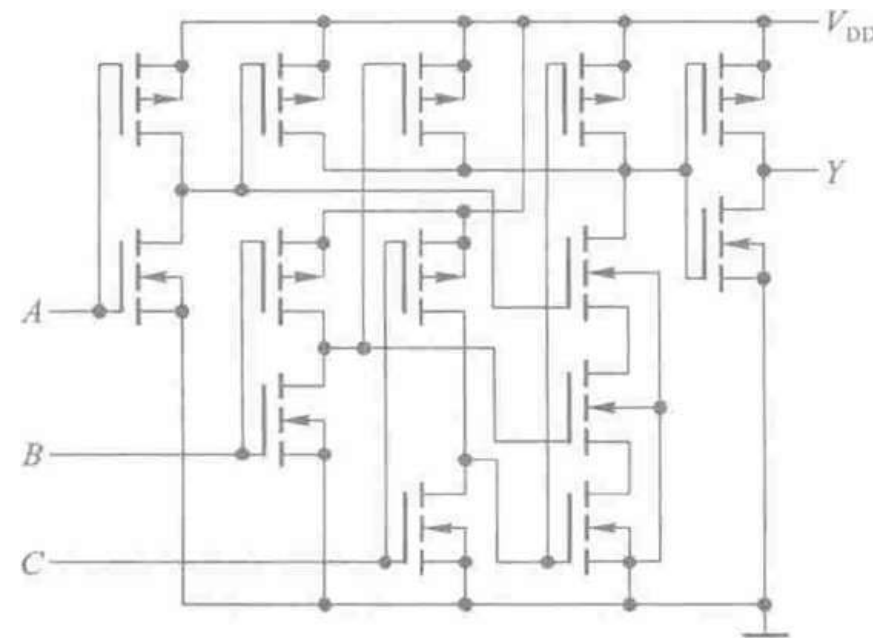
2-input
NOR gate



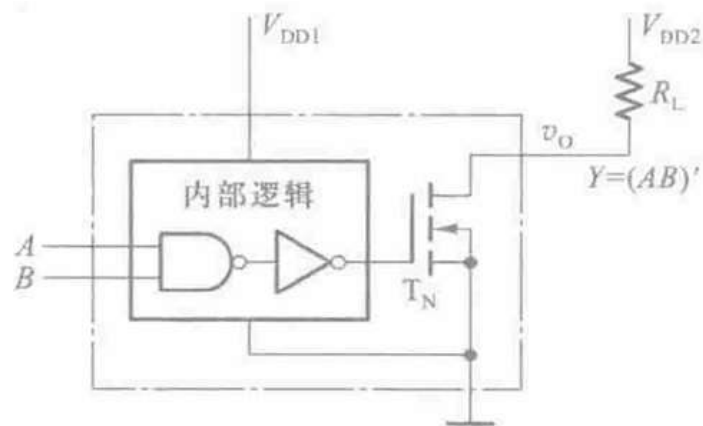
3-input
NOR gate

Q5: (2007·北大) 试用NMOS和PMOS设计3-input AND gate和3-input OR gate

Q6: 试分析下图中电路的逻辑功能, 写出输出的逻辑函数式



9. OD门（漏极开路输出电路）

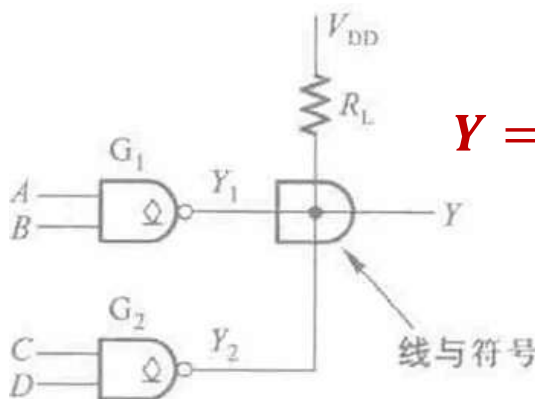


电路结构



逻辑符号

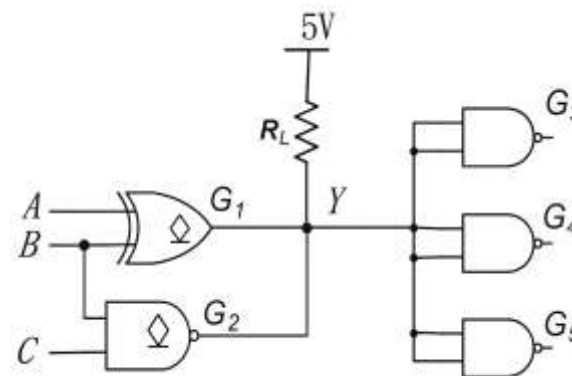
➤ 作用：可以实现 **“线与”** 逻辑



$$Y = Y_1 \cdot Y_2$$

多个OD门的输出
可以直接相连

Q7: (22·期末) 电路如下图所示, 已知OD门 G_1 、 G_2 输出高电平时的漏电流最大值 $I_{OH(max)} = 5 \mu A$, 输出低电平 $V_{OL(max)} = 0.33 V$ 时允许的最大负载电流为 $I_{OL(max)} = 4 mA$. 负载CMOS门 G_3 、 G_4 、 G_5 的高电平输入电流最大值 $I_{IH(max)}$ 和低电平输入电流最大值 $I_{IL(max)}$ 均为 $1 \mu A$. 要求 $V_{OH} \geq 4.4 V$, $V_{OL} \leq 0.33 V$.



- ① 写出输出Y的最简与或式
- ② 计算 R_L 的取值范围
- ③ 定性分析 R_L 的大小对电路特性的影响

9. OD门（漏极开路输出电路）

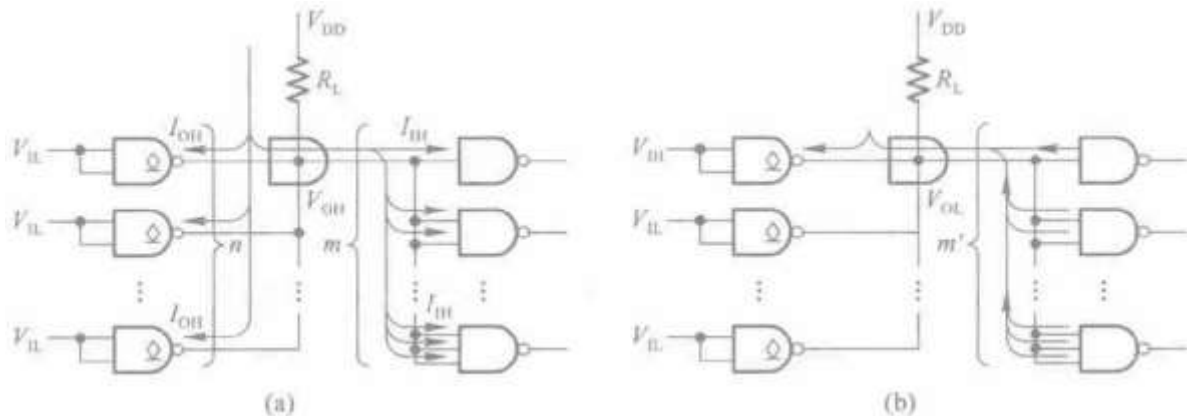
□ 上拉电阻取值范围分析

➤ OD门输出为高电平时

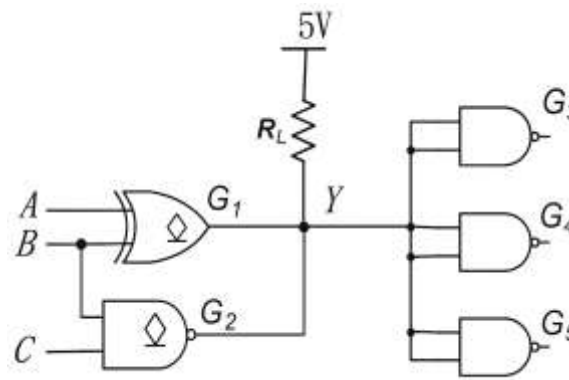
$$R_{L(max)} = \frac{V_{DD} - V_{OH}}{nI_{OH(max)} + mI_{IH(max)}}$$

➤ OD门输出为低电平时

$$R_{L(min)} = \frac{V_{DD} - V_{OL}}{I_{OL(max)} - m'|I_{IL(max)}|}$$

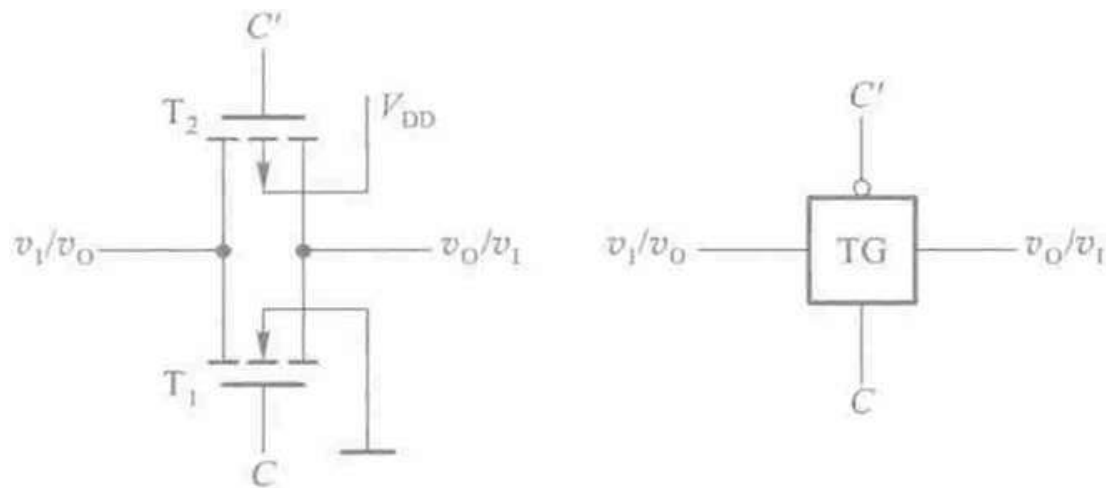


Q7: (2022·期末) 电路如下图所示, 已知OD门 G_1 、 G_2 输出高电平时的漏电流最大值 $I_{OH(max)} = 5 \mu A$, 输出低电平 $V_{OL(max)} = 0.33 V$ 时允许的最大负载电流为 $I_{OL(max)} = 4 mA$. 负载CMOS门 G_3 、 G_4 、 G_5 的高电平输入电流最大值 $I_{IH(max)}$ 和低电平输入电流最大值 $I_{IL(max)}$ 均为 $1 \mu A$. 要求 $V_{OH} \geq 4.4 V$, $V_{OL} \leq 0.33 V$.



- ① 写出输出Y的最简与或式
- ② 计算 R_L 的取值范围
- ③ 定性分析 R_L 的大小对电路特性的影响

10. CMOS传输门

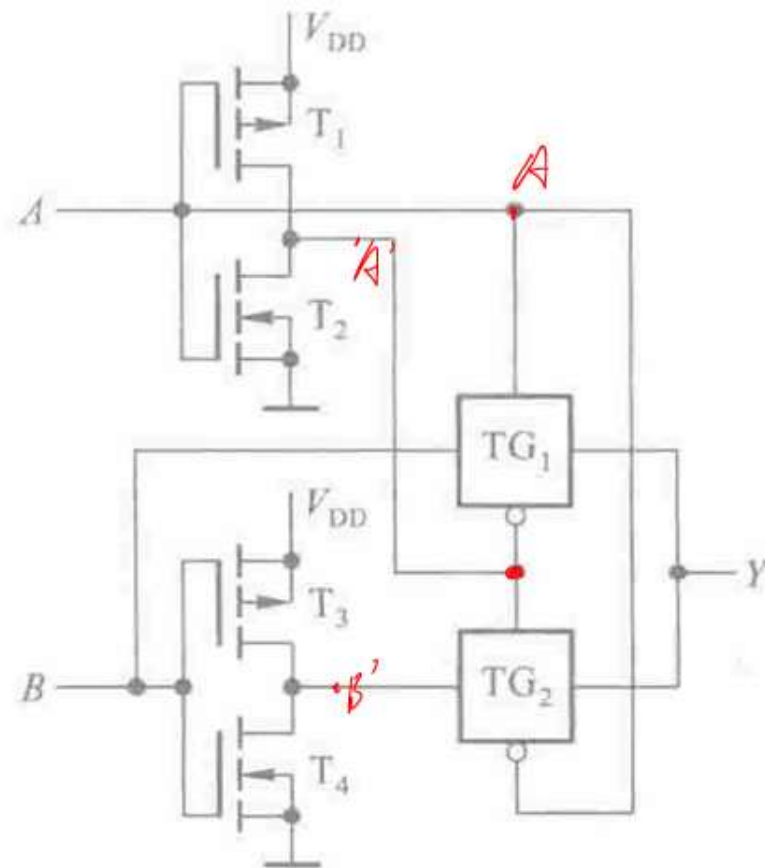


C	C'	传输门	v_o
0	1	截止	Z (高阻态)
1	0	导通	v_I

**高阻态：输入与输出之间的电阻极高，
可以理解为此时输出不受输入控制。**

➡ 在波形图上用 x 表示

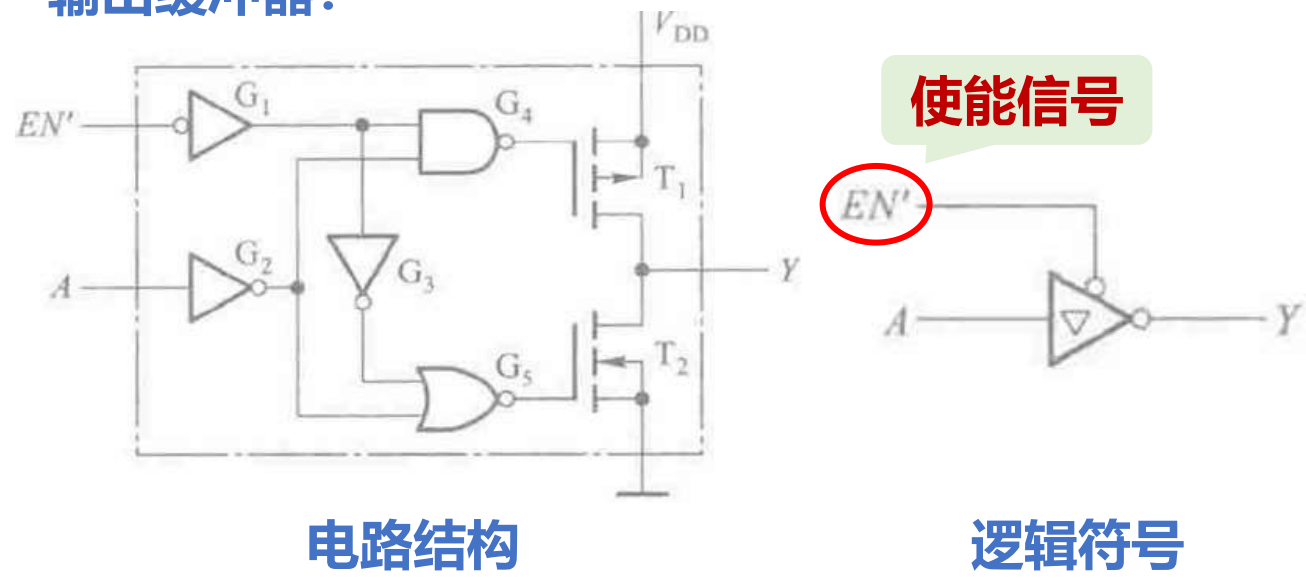
**Q8：试分析下图中电路的逻辑功能，
并写出输出的逻辑函数式**





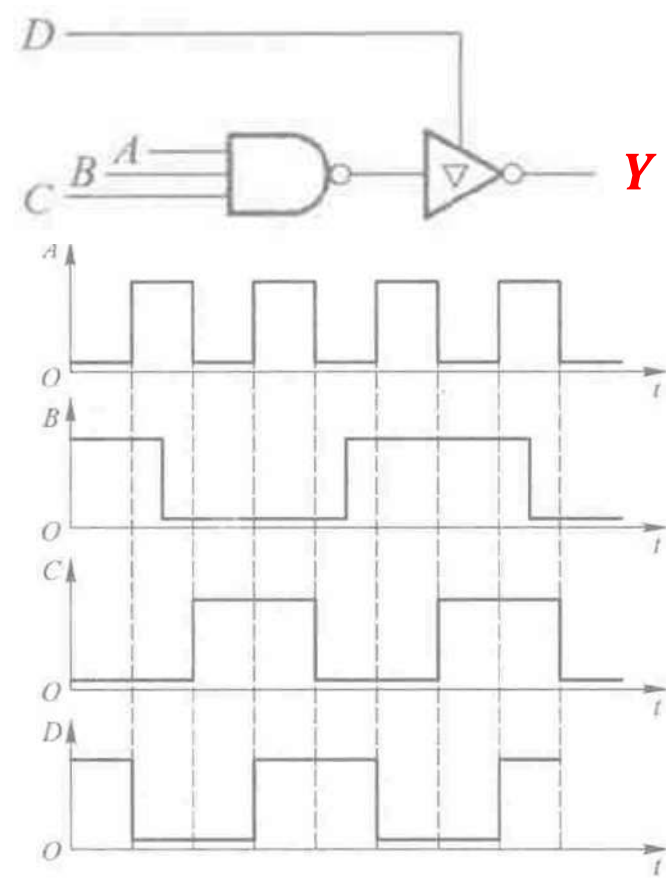
11. 三态输出的CMOS门电路

输出缓冲器：



EN	EN'	电路状态	Y
0	1	高阻态	Z
1	0	正常工作	A'

Q9：试画出如图所示电路输出电压波形，输入电压波形已给出



1. 输入端：一定不能开路

- 唯一特例：TTL电路中，输入悬空等效为高电平

2. 任何CMOS门电路输出不能接固定的电平

- 除了OD门和三态门，门电路输出端不可并联

3. CMOS门电路（本课程主要学习）和TTL门电路（几乎不会考察）对比

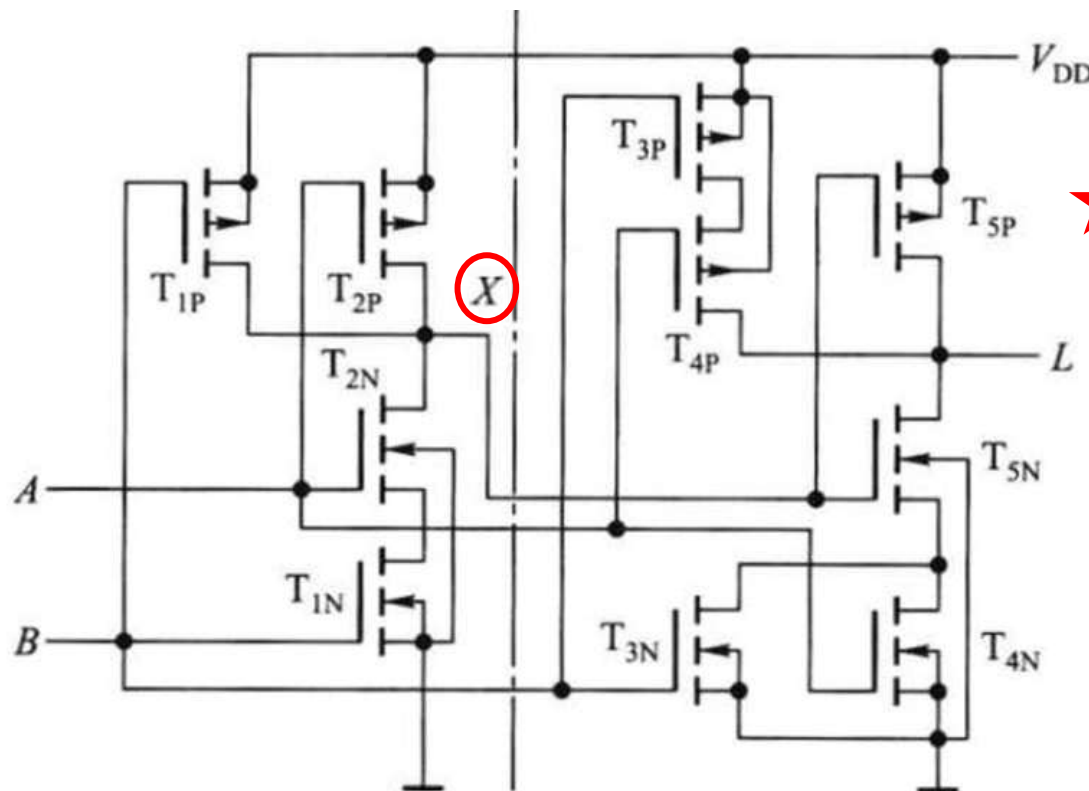
特性	CMOS门电路	TTL门电路
基本器件	MOSFET	BJT
常见芯片型号	74HC, 54HC等	74LS, 74F等
工作电源电压	范围较宽；常用5 V, 3.3 V	通常为5 V
功耗	低	高
速度	快	慢
噪声容限	较高	较低
集成度	极高（适合VLSI）	有限

◆ 知识点总结

◆ 习题讲解

◆ 补充题

1. 写出下图CMOS电路的输出表达式



CMOS电路**横向分级**



分析方法：

可以对电路横向分级之后，对每个基本模块分别进行分析

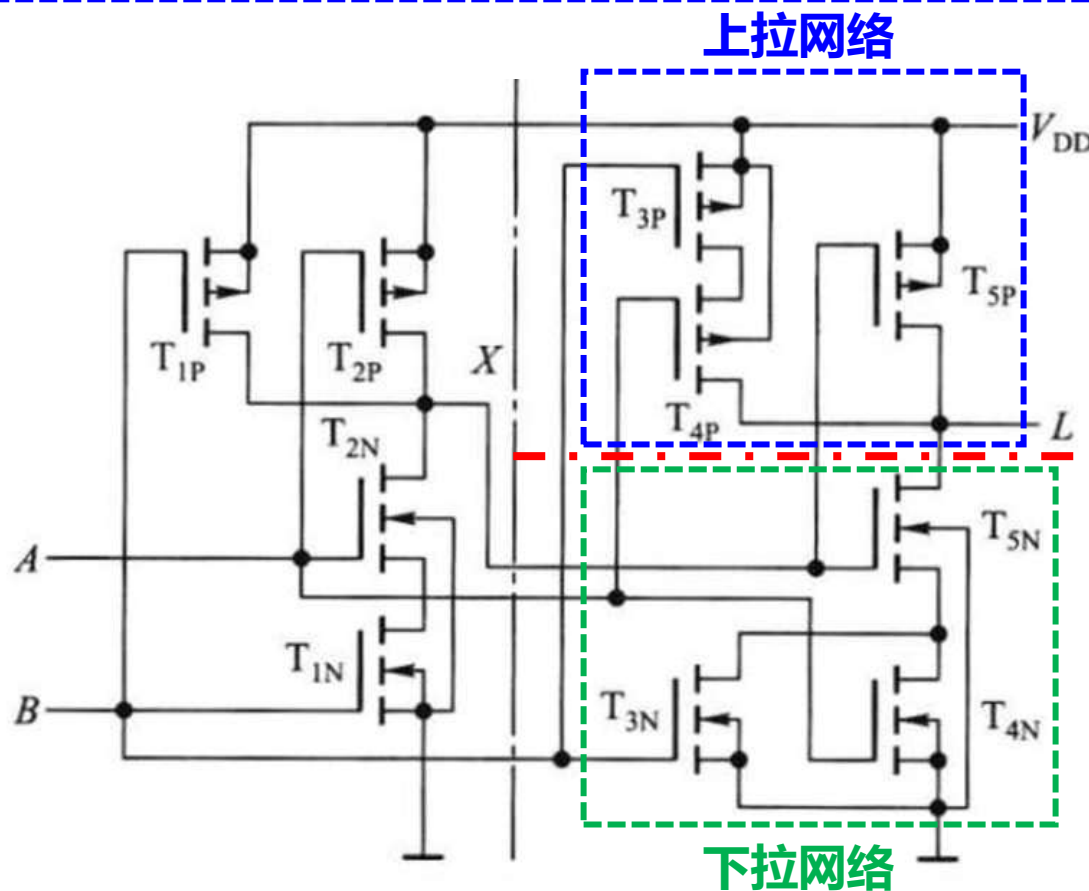
很明显，本电路可以沿虚线**左右分为两级**

左侧电路很好分析：

根据所学知识，它是一个**二输入与非门**，故：

$$X = (AB)'$$

1. 写出下图CMOS电路的输出表达式



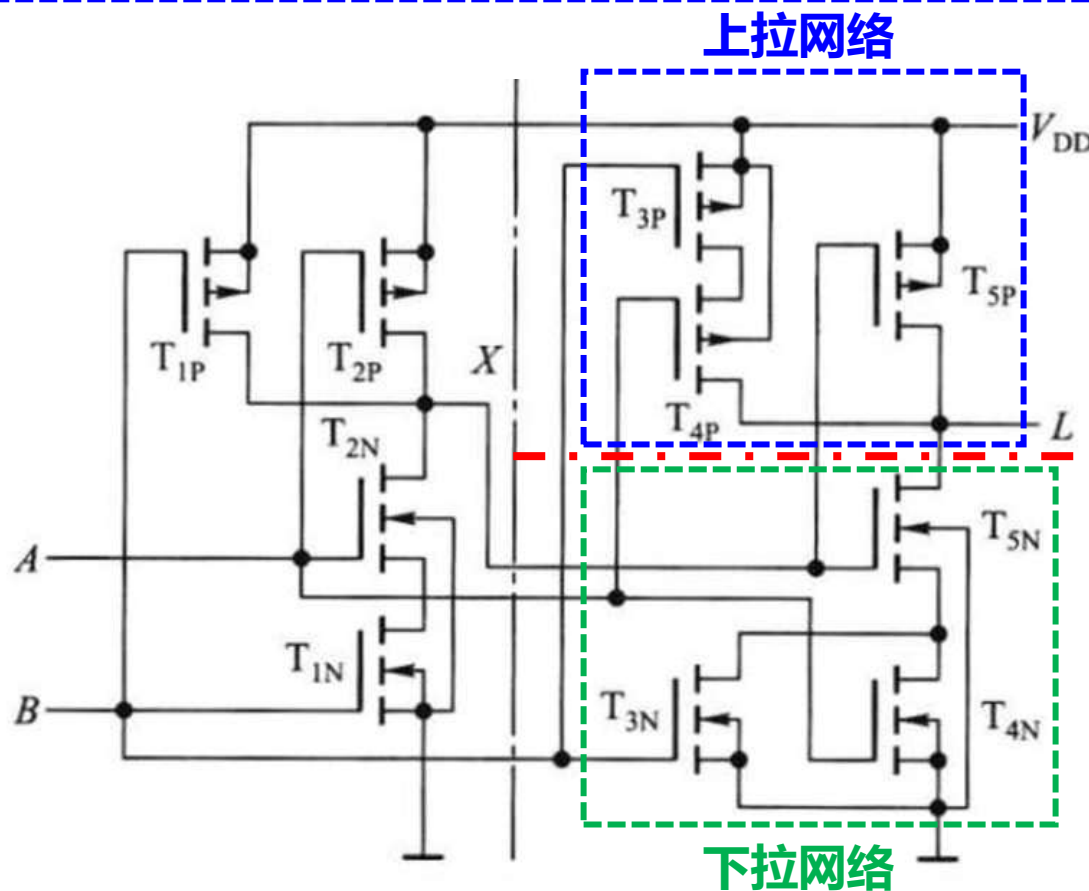
右侧的分析难度较大，但是在分析之前，先介绍一个非常有用的性质：

静态CMOS电路纵向互补

具体来说：

- ① 电路沿红色虚线可以分为上下两个部分，分别由PMOS和NMOS构成
- ② 这两个部分的结构是互补的：例如，图中 T_{3N} 和 T_{4N} 是并联的，对应的上半部分 T_{3P} 和 T_{4P} 就一定是串联的
- ③ 根据以上性质，我们分析电路时只用分析一部分即可，一般习惯分析下拉网络

1. 写出下图CMOS电路的输出表达式



有了以上性质，右侧的电路就很好分析了：

观察下拉网络：

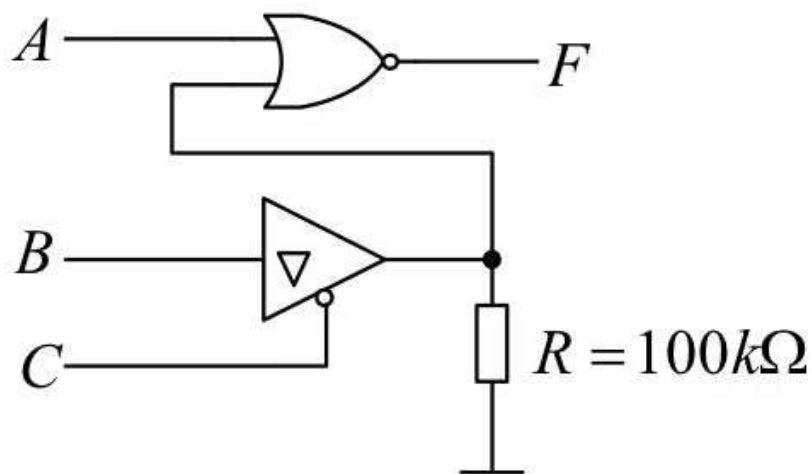
A, B, X分别连接在 T_{4N} 、 T_{3N} 和 T_{5N} 上； T_{4N} 和 T_{3N} 并联之后，再与 T_{5N} 串联，故逻辑表达式为：

$$L = ((A + B) \cdot X)'$$

代入之前计算得到的X的表达式，我们可以得到最终结果：

$$\begin{aligned} L &= ((A + B)(AB)')' \\ &= AB + A'B' = A \odot B \end{aligned}$$

2. (2019·期末) ① 求输出F的逻辑函数式； ② 用与非门实现该电路



先补充背景知识：

如何处理这种接有电阻的逻辑门电路？



分两种情况讨论：

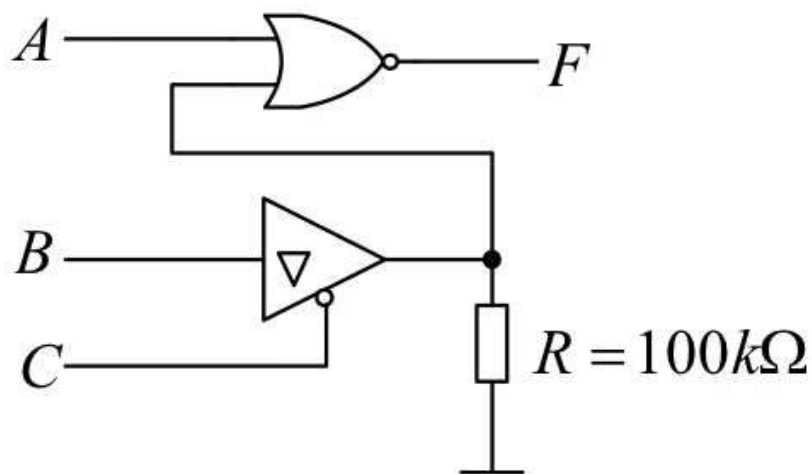
① 输入端接有电阻

- 由于CMOS门电路的输入电阻很大（为什么？），可以直接将该电阻视为导线

② 输出端接有电阻

- 由于CMOS门电路的输出电阻比较小（ $10^1 \sim 10^2 \Omega$ 级别），所以需要根据所接电阻具体情况具体分析

2. (2019·期末) ① 求输出F的逻辑函数式； ② 用与非门实现该电路



a) 当 $C = 1$ 时

- 缓冲器为高阻态，节点处为低电平
- $F = (A + 0)' = A'$

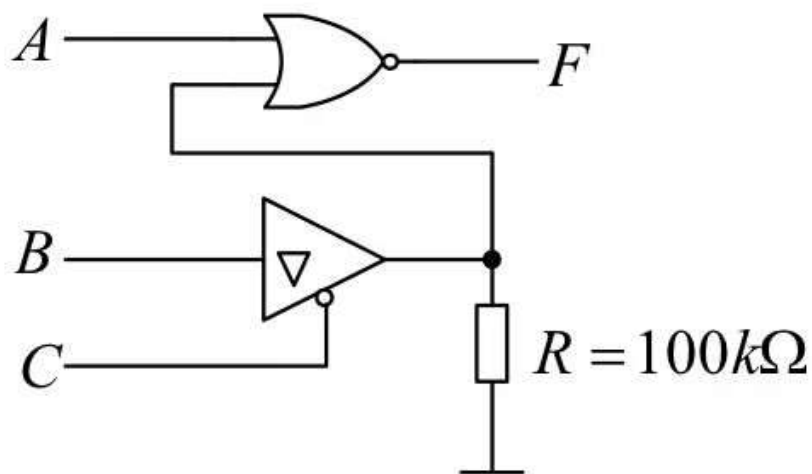
b) 当 $C = 0$ 时

- 缓冲器正常工作，节点处为 B
- $F = (A + B)' = A'B'$

综上所述：

$$F = A'C + A'B'C'$$

2. (2019·期末) ① 求输出F的逻辑函数式; ② 用与非门实现该电路



$$F = A'C + A'B'C'$$

$$F' = (A'C + A'B'C')'$$

$$= (A'C)'(A'B'C')'$$

$$F = (F')' = ((A'C)'(A'B'C')')'$$

与非-与非形式

◆ 知识点总结

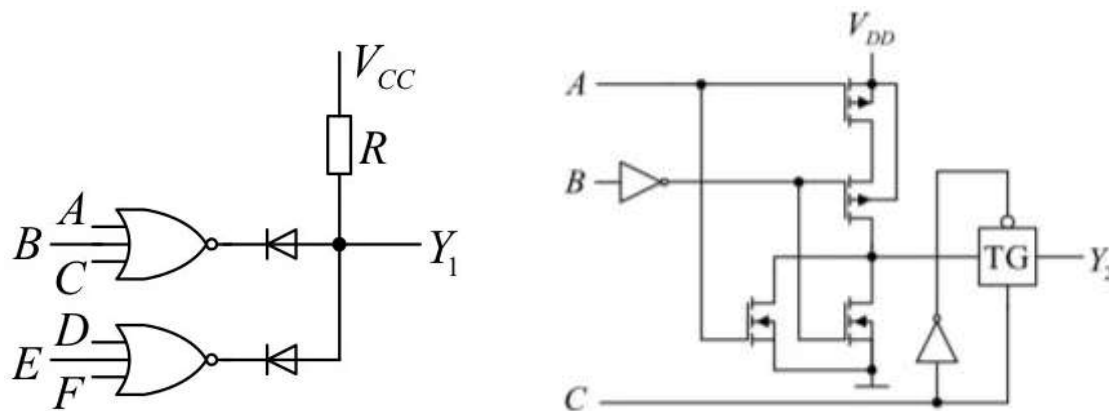
◆ 习题讲解

◆ 补充题

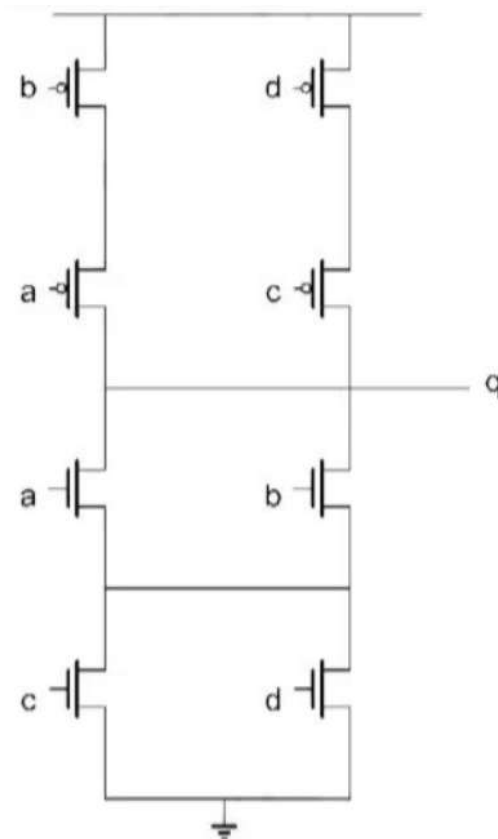
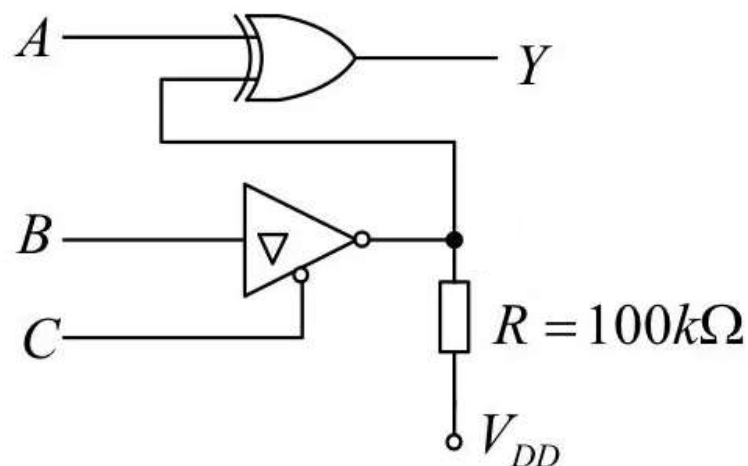
1. (2021·复旦) 与非门、三态门、集电极开路门中什么可以实现“线与”功能_____。三态门有哪三种组态：_____、_____、_____。
2. (2020·复旦) TTL与非门的多余输入端悬空时，相当于接入_____电平。
3. (2025·复旦) 下列哪位华人科学家提出了mos的输出特性曲线，并发明了CMOS?
① 萨支唐 ② 施敏 ③ 胡正明 ④ 林本坚
4. (2025·复旦) 下列技术按照已经量产或预计量产的顺序排序正确的是?
① CFET→FinFET→GAA→Planar CMOS
② FinFET→GAA→Planar CMOS→CFET
③ GAA→Planar CMOS→CFET→FinFET
④ Planar CMOS→FinFET→GAA→CFET

5. (2021·清华) 根据电路图写出输出 q 的表达式。

6. (2017·期末) 写出输出 Y_1 和 Y_2 的表达式。

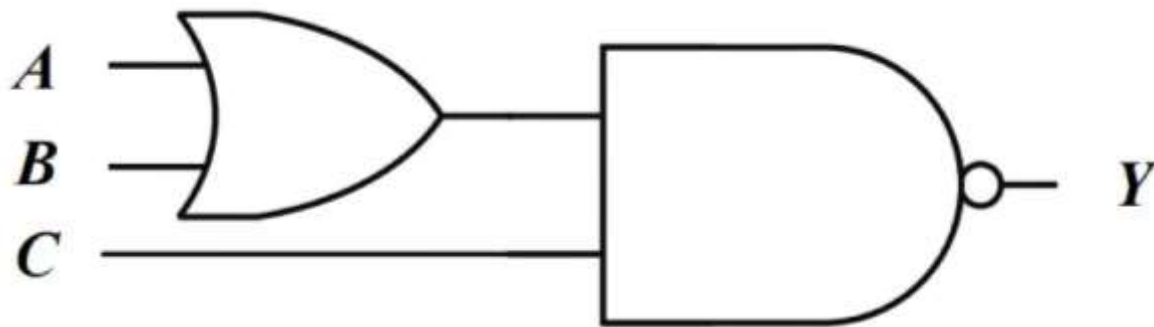


7. (2020·期末) 试给出下图所示电路的真值表和最简与或式。



题5 图

8. (2024•期末) 两个门电路的输出端可以并接的条件是什么？如果将不能并接的两个门电路的输出端并接，会发生什么现象？
9. (2024•期末) 用一个逻辑0和一个高阻相与结果是什么？一个逻辑1和一个高阻相或结果是什么？并说明为什么。
10. 用最少的晶体管画出下述CMOS逻辑门的晶体管级电路（不要求加输入输出端的缓冲器）



感谢各位聆听!