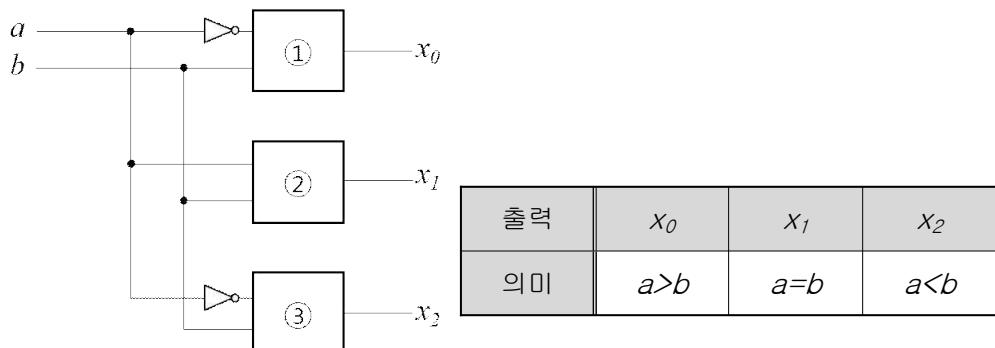


학과		학번		반		이름	
----	--	----	--	---	--	----	--

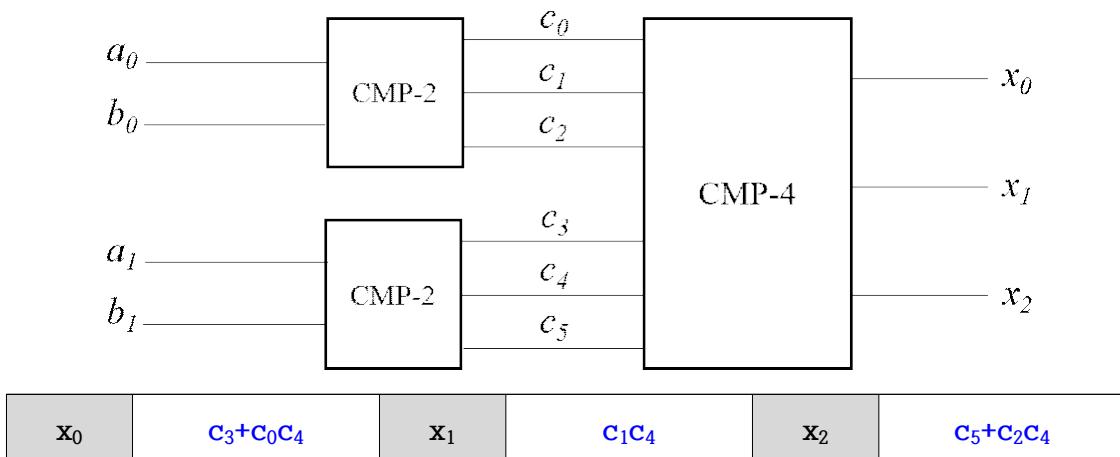
1. 2개의 input( $a, b$ )에 대하여 다음과 같은 세 개의 output( $x_0, x_1, x_2$ )를 출력하는 combinational circuit CMP-2를 설계하였을 때, 아래 물음에 답하시오.



(1) ①, ②, ③에 들어갈 gate명을 쓰시오. [각2점]

①	NOR	②	XNOR	③	AND
---	-----	---	------	---	-----

(2) (1)번에서 설계된 두 개의 CMP-2를 이용하여, 2-bit 크기의 두 수  $A(a_1, a_0)$ ,  $B(b_1, b_0)$ 를 비교한 뒤  $x_0(A > B)$ ,  $x_1(A = B)$ ,  $x_2(A < B)$ 를 출력하는 CMP-4를 아래 그림과 같이 설계하였을 때,  $x_0, x_1, x_2$ 를  $c_0 \sim c_5$ 로 표현하시오. [각2점]



(3) 위 회로와 같은 방식으로, 32-bit 크기의 두 수  $A(a_{31} \dots a_0)$ ,  $B(b_{31} \dots b_0)$ 를 비교한 뒤 세 개의 output  $x_0(A > B)$ ,  $x_1(A = B)$ ,  $x_2(A < B)$ 를 출력하는 회로를 설계하였을 때, 필요한 CMP-2와 CMP-4의 개수를 써라. [각2점]

CMP-2	32	CMP-4	31
-------	----	-------	----

2. 아래 물음에 답하시오. [각2점]

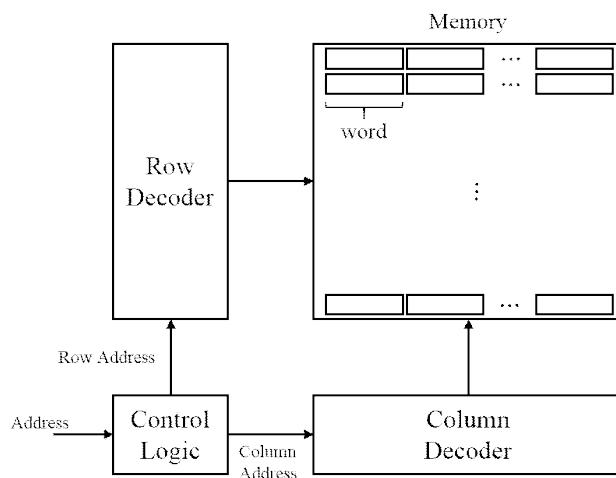
(1) 64K-word RAM(65536x16)을 위한 주소는 최소 몇 비트가 필요한가?

16-bit

(2) 위 RAM에 access하기 위한 회로를  $4 \times 16$  decoder만으로 만들기 위해서는 총 몇 개의  $4 \times 16$  decoder가 필요한가?

$$2^0 + 2^4 + 2^8 + 2^{12} = 4369$$

(3) 아래 그림과 같이 특정 word의 주소가  $(x,y)$ 의 형태를 지니는 2차원 addressing 구조로 위 RAM을 설계하고자 한다. Row Decoder와 Column Decoder를  $4 \times 16$  decoder만으로 구성할 경우, 총 몇 개의 decoder가 필요한가?



$$2^0 + 2^4 + 2^0 + 2^4 = 34$$

3. 현대의 컴퓨터에서 정수를 표현하는 방법에는 Ⓐ:Signed Magnitude Ⓑ:1의 보수 (1's Complement) Ⓒ:2의 보수 (2's Complement)와 같이 세 가지 방법이 있다.

(1)  $n$ 개 비트로 이루어진 정수를 위 세 가지 방법으로 표현하였을 때, 각 방법으로 표현할 수 있는 수의 범위를 써라. [각1점]

Ⓐ	$-(2^{n-1}-1) \sim 2^{n-1}-1$	Ⓑ	$-(2^{n-1}-1) \sim 2^{n-1}-1$	Ⓒ	$-2^{n-1} \sim 2^{n-1}-1$
---	-------------------------------	---	-------------------------------	---	---------------------------

(2)  $n$ 을 4로 가정하여, 7 빼기 2의 연산과정을 각 방법으로 보여라 [각2점]

Ⓐ	$0111 - 0010 = 0101$	Ⓑ	$0111 - 0010$ $= 0111 + 1101$ $= 0100 + 0001$ (carry를 다시 더함) $= 0101$	Ⓒ	$0111 - 0010$ $= 0111 + 1110$ $= 0101$ (carry 버림)
---	----------------------	---	-----------------------------------------------------------------------------------	---	---------------------------------------------------------

(3) ②의 방법이 ① ③ 방법보다 더 좋은 점을 세 가지 기술하라. [각1점]

0의 표현이 단 하나만 존재 (+0, -0이 없음)

표현되는 수의 범위가 1 더 넓음

덧셈 회로와 보수를 취하는 회로만으로 빼셈 가능

(그 외, Carry가 발생하더라도 추가적인 덧셈 연산이 필요하지 않음)

4. 부동소수점(Floating point) 표현법은 사인부(Sign field), 지수부(Exponent Field), 유효숫자부(Mantissa Field) 세 개의 부분으로 이루어진다.

(1) 사인부의 값을  $s$ , 지수부의 값을  $e$ , 유효숫자부의 값을  $M$ 으로 가정하였을 때의 부동소수점 수를 위 세 변수( $s, e, M$ )로 표현하라. 단 지수부의 베이스는 2로 한다. [2점]

$$(-1)^s \times M \times 2^e$$

(2) 각 부분이 크기가 늘어나는 경우, 발생되는 효과를 기술하라. [각2점]

지수부 | 더 넓은 범위의 수를 나타낼 수 있음

유효숫자부 | 실수 표현의 정확도가 높아짐

(3) 지수부(Exponent Field)의 크기를 3 비트, 유효숫자부 (Mantissa Field)의 크기를 4비트로 가정하고, 지수부의 베이스를 2로 하였을 때, 0(Zero)은 어떻게 정의하는가? (지수부는 2의 보수 표현을 사용하며, 유효숫자부는 반드시 정규화(normalization)된 상태이어야 함) [2점]

$$e=111, M=1000$$

(4) (3)번의 경우로 가정하고, 0.75 더하기 0.55의 연산을 이진수로 수행하는 것을 보여라. [3점]

$$0.75 + 0.55$$

$$\approx 0.1100_{(2)} \times 2^0 + 0.1000_{(2)} \times 2^0$$

$$= 1.0100_{(2)} \times 2^0$$

$$= 0.1010_{(2)} \times 2^1 \text{ (normalization)}$$

$$\Rightarrow 0\ 001\ 1010$$

5. 현대의 컴퓨터에서 명령어를 정의할 때, Mode, OPCODE, Operand 세 가지 부분이 명령어로 구성된다.

(1) 각 부분의 크기를 차례로 1, 3, 12 비트라고 가정하였을 때, 다음의 경우 Address Space를 표현하라. [각2점]

Direct Addressing	$2^{12}$
Indirect Addressing	$2^{16}$

(2) Vertical Instruction type으로 OPCODE부분을 정의하는 경우 수용할 수 있는 명령의 가짓수는 얼마인가? [1점]

8가지

6. 불 대수(Boolean algebra)를 이용하여 아래 물음에 답하시오. [각2점]

(1) 아래 표현식을 간소화(simplify)하시오.

① $A'B'C + AC$
$A'B'C + AC = C(A'B + A) = C(A' + A)(B + A) = (A + B)C$
② $(AB' + A'B + A'C)(A'B' + AB' + AC)$
$(AB' + A'B + A'C)(A'B' + AB' + AC) = AB' + AB'C + A'B'C = AB'(1+C) + A'B'C$ $= AB' + A'B'C = B'(A + A'C) = B'(A + C) = B(A + C)$

(2) 아래 표현식이 참임을 증명하시오.

① $A + A'B = A + B$	
$A + A'B = (A + A')(A + B) = 1 \cdot (A + B) = A + B$	
② If $A + B = A + C$ and $A' + B = A' + C$ , then $B = C$	
<p>임의의 불대수식 X,Y에 대하여,  <math>X=Y \Leftrightarrow X'Y + XY' = 0 \dots (a)</math></p> <p>이 성립한다.</p> <p>따라서 <math>A + B = A + C</math> and <math>A' + B = A' + C</math> 가 참이면,</p> $(A + B)(A + C)' + (A + B)'(A + C) = 0 \dots (b)$ $(A' + B)(A' + C)' + (A' + B)'(A' + C) = 0 \dots (c)$ <p>(b), (c) 두 식은 모두 참이다.</p> <p>(b), (c)를 전개하면 각각  <math>A'(B'C + BC') = 0</math>, <math>A(B'C + BC') = 0</math> 이 된다.</p>	<p>여기서, <math>B'C + BC' = X</math> 라고 두면, 위 식은  <math>A'X = 0</math> and <math>AX = 0</math> 이 된다.</p> <p>즉, 위 식이 참이라면, A가 0이든 1이든 관계없이 X는 반드시 0이어야만 한다.</p> <p><math>X = B'C + BC' = 0</math> 이므로, (a)에 의하여 <math>B = C</math> 가 성립한다.</p> <p><math>\therefore A + B = A + C</math> and <math>A' + B = A' + C \Rightarrow B = C</math></p>

7. 8421 이진수 형태로 인코딩된 D,C,B,A (MSB는 D) 네 개의 입력을 가지는 회로가 있다. 입력은 항상  $0000_{(2)} = 0$ 에서  $1011_{(2)} = 11$ 의 범위를 가지며, 12에서 15의 입력은 허용되지 않는다. 각 입력은 1월(0)부터 12월(11)까지의 열두 달을 나타낸다. 출력은  $S_1, S_0$ 이며  $00_{(2)}$ 은 봄(3~5월),  $01_{(2)}$ 은 여름(6~8월),  $10_{(2)}$ 은 가을(9~11월),  $11_{(2)}$ 은 겨울(12~2월)을 나타낸다. 이때 아래 물음에 답하시오.

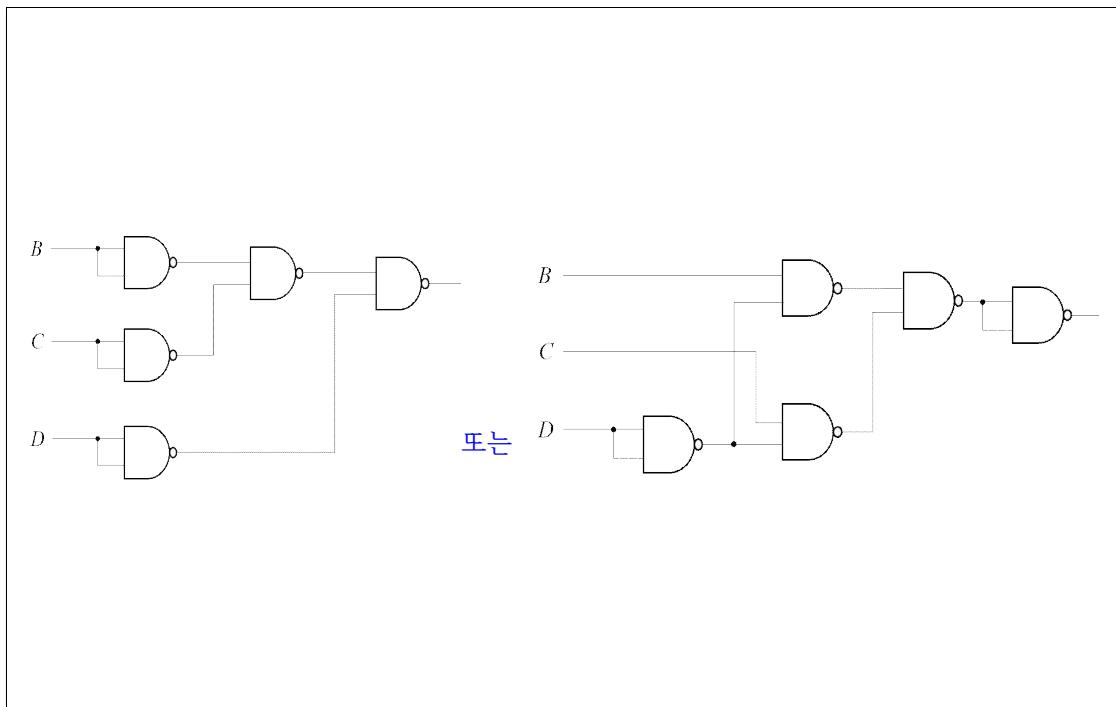
(1) 위 회로의 설계를 위한  $S_0$ 와  $S_1$ 의 K-map을 작성하시오. [각1점]

		$S_0$				$S_1$					
		DC \ BA	00	01	11	10	DC \ BA	00	01	11	10
DC	BA	00	1	1	0	0	00	1	1	0	0
00	00	01	0	1	1	1	01	0	0	0	0
01	01	11	X	X	X	X	11	X	X	X	X
11	10	10	0	0	1	0	10	1	1	1	1

(2) (1)에서 작성된 K-map을 이용하여  $S_0$ 와  $S_1$ 에 대한 간소화된 식을 쓰시오. [각2점]

$S_0$	$AC + BC + B'C'D' + ABD$	$S_1$	$B'C' + D$
-------	--------------------------	-------	------------

(3) NAND gate만을 사용하여 (2)의  $S_1$  회로를 그리시오. [3점]



8. 다음은 아래의 불 대수 식(드모르간의 법칙)이 참임을 증명하는 과정의 일부이다.

$$(a \cdot b)' = a' + b' \quad - (a)$$

임의의 두 boolean expression X, Y에 대하여 X=Y임을 증명하기 위해서는

① =0 and  ② =1 임을 보이면 된다.

$$\because X=Y \Leftrightarrow (X=0 \text{ and } Y=0) \text{ or } (X=1 \text{ and } Y=1)$$

따라서 식(a)가 참임을 증명하기 위해  ③ =0 and  ④ =1 임을 증명한다.

...

(1) ①,②는 X와 Y로, ③,④는 a와 b로 이루어진 식이다. 위 ①~④의 빈칸을 채우시오. [각1점]

①	X'Y	②	X'+Y
③	(ab)(a'+b')	④	(ab)+(a'+b')

(2) 위 증명의 나머지 부분을 완성하시오. [각2점]

<input type="checkbox"/> ③ =0임을 증명	<input type="checkbox"/> ④ =1임을 증명
$  \begin{aligned}  (a \cdot b)(a' + b') &= (a \cdot b) \cdot a' + (a \cdot b) \cdot b' \\  &= (a \cdot a') \cdot b + a \cdot (b \cdot b') \\  &= 0 \cdot b + a \cdot 0 \\  &= 0 + 0 \\  &= 0  \end{aligned}  $	$  \begin{aligned}  (a \cdot b) + (a' + b') &= (a + a') \cdot b + (b + a') \cdot b' \\  &= (1 + b')(1 + a') \\  &= 1 \cdot 1 \\  &= 1  \end{aligned}  $

(3) 수학적 귀납법(mathematical induction)을 이용하여 n개의 변수에 대한 드 모르간의 법칙을 증명하시오. [4점]

$$\Rightarrow P(n): (x_1 \cdot x_2 \cdot \dots \cdot x_n)' = x'_1 + x'_2 + \dots + x'_n \text{ for } n \geq 2$$

□Base Step: P(2)

$$P(2): (x_1 \cdot x_2)' = x'_1 + x'_2 \text{ by Problem (2)}$$

□Inductive Step: P(k)  $\rightarrow$  P(k+1)

Assume P(k) is true, then under this assumption show that P(k+1) must also be true.

$$P(k): (x_1 \cdot x_2 \cdot \dots \cdot x_k)' = x'_1 + x'_2 + \dots + x'_k$$

$$P(k+1): (x_1 \cdot x_2 \cdot \dots \cdot x_k \cdot x_{k+1})' = x'_1 + x'_2 + \dots + x'_k + x'_{k+1}$$

$$\begin{aligned}
 (x_1 \cdot x_2 \cdot \dots \cdot x_k \cdot x_{k+1})' &= ((x_1 \cdot x_2 \cdot \dots \cdot x_k) \cdot x_{k+1})' \\
 &= (x_1 \cdot x_2 \cdot \dots \cdot x_k)' + (x_{k+1})' \\
 &= (x'_1 + x'_2 + \dots + x'_k) + x'_{k+1}
 \end{aligned}$$

(under the assumption that P(k) is true)

$$(x_1 \cdot x_2 \cdot \dots \cdot x_k \cdot x_{k+1})' = x'_1 + x'_2 + \dots + x'_k + x'_{k+1}$$

9. 다수결 함수(majority function)  $M(x,y,z)$ 는 3개의 인자 중에서 둘 이상이 1 일 때 1을 출력한다. 즉,  $M(x,y,z) = xy + xz + yz = (x+y)(x+z)(y+z)$ 이다. 이때, 아래 물음에 답하시오.

(1)  $M[a,b,M(c,d,e)] = M[M(a,b,c),d,M(a,b,e)]$ 임을 증명하기 위한 아래 표의 빈 칸을 채우시오. [각1점]

a	b	$M[a,b,M(c,d,e)]$	$M[M(a,b,c),d,M(a,b,e)]$
0	0	0	$M[0,d,0] = 0$
0	1	$M[0,1,M(c,d,e)] = M(c,d,e)$	$M(c,d,e)$
1	0		
1	1	1	1

$$\therefore M[a,b,M(c,d,e)] = M[M(a,b,c),d,M(a,b,e)]$$

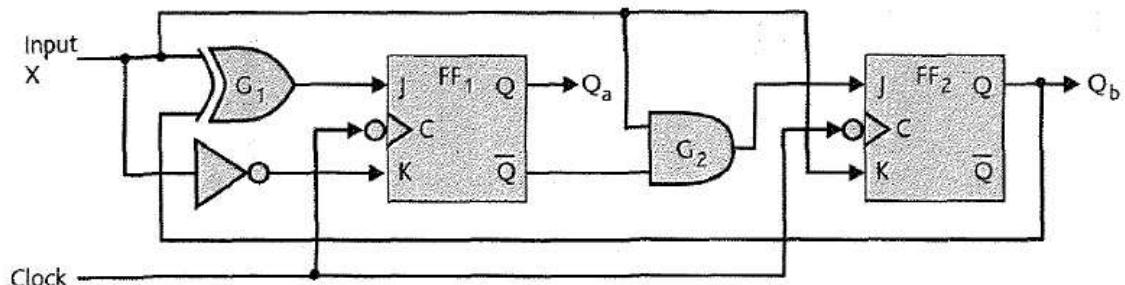
(2)  $M(x,y,z)$ 와 NOT 연산, 그리고 상수 0을 이용해 NAND 연산을 수행할 수 있음을 보이시오. [2점]

$$M(A,B,0)' = (AB)' = A \text{ NAND } B$$

(3) 위 NAND 연산이 함수적 완전성(functional completeness)을 지님을 보이시오. [3점]

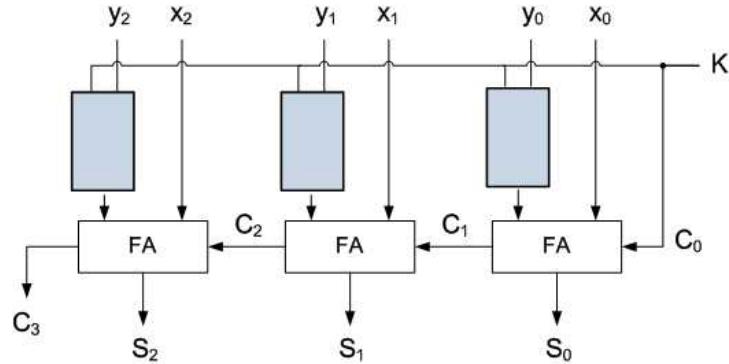
$$\begin{aligned} A' &= A \text{ NAND } A \\ A \cdot B &= (A \text{ NAND } B)' = (A \text{ NAND } B) \text{ NAND } (A \text{ NAND } B) \\ A + B &= (A \text{ NAND } A) \text{ NAND } (B \text{ NAND } B) \end{aligned}$$

10. 아래 회로의 동작을 조사하고자 한다. 회로의 input X에 차례대로 1,1,1,1이 입력될 때,  $G_1, G_2, Q_a, Q_b$ 의 값을 구하시오. (최초  $FF_1$ 과  $FF_2$ 는 0을 출력한다) [4점]



clock	1	2	3	4
X	1	1	1	1
$G_1$	1	0	1	1
$G_2$	1	0	0	0
$Q_a$	0	1	1	1
$Q_b$	0	1	0	0

11. 아래 회로는 3 비트 크기인 두 2의 보수( $x_2x_1x_0$ ,  $y_2y_1y_0$ )에 대한 덧셈과 뺄셈을 모두 가능하게 하는 회로이다.



(1) K 입력이 1이면 뺄셈, 0이면 덧셈이 되는 회로에서 빈칸에 들어갈 게이트의 종류는 무엇인가? [1점]

XOR

(2) D값을 줄이기 위하여, 왼쪽 비트들의 연산에 오른쪽 비트들의 연산에서 발생하는 carry 값을 사용하지 않아야한다. 세 번째 비트의 연산에 필요한 Carry( $C_2$ )를  $C_1$ 이 없는 식으로 표현하라. [3점]

C <sub>2</sub> =	$c_2 = x_1y_1 + c_1(x_1 + y_1) = x_1y_1 + (x_1 + y_1)(x_0y_0 + y_0c_0 + x_0c_0)$ or $c_2 = x_1y_1 + c_1(x_1 \oplus y_1) = x_1y_1 + (x_1 \oplus y_1)(x_0y_0 + y_0c_0 + x_0c_0)$
------------------	-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

12. 16-bit 레지스터 8개를 연결하는 버스 시스템을 구성하려고 한다. 각 레지스터는 16비트 정보를 버스로 출력하거나 버스로부터 입력받을 수 있다. 한 번에 버스에 값을 출력하는 레지스터는 하나이며, 버스로부터 값을 입력받는 레지스터 또한 하나이다. 입력 및 출력 레지스터를 선택하기 위해 Decoder를 이용하고, 선택된 출력 레지스터의 값을 버스로 전달하기 위해 MUX를 이용할 경우, 어떤 MUX가 몇 개 필요한지, 어떤 Decoder가 몇 개 필요한지 답하시오. [각1점]

	종류	개수
MUX	8×1 MUX	16
Decoder	3×8 decoder	2