

학과		학번		반		이름	
----	--	----	--	---	--	----	--

1. 아래의 문장들에 대하여 O/X로 답하라(각 2점). 단 틀리면 1점 감점이 있음.
- (1) XOR gate의 한쪽 입력 값을 1로 고정하면 출력은 항상 다른 쪽 입력 값의 Complement가 된다.
 - (2) 하나의 Truth table에 대응되는 Boolean expression은 무한하다.
 - (3) ROM(Read-Only Memory)는 메모리 내의 특정 word를 access하기 위한 Decoder를 포함하는 Combinational Circuit이다.
 - (4) RAM(Random Access Memory)는 이전에 참조한 워드의 주소에 따라 다음에 참조할 워드에 접근하는 걸리는 시간이 달라진다.
 - (5) Fixed-point 표현에서 0(zero)을 한가지만으로 표현할 수 있는 방법은 2의 보수인 경우가 유일하다.
 - (6) Floating point 표현의 경우 Mantissa field의 크기를 늘리면 두 정수 사이에 표현 할 수 있는 수의 가지 수가 늘어나게 된다.
 - (7) 2의 보수를 shift left 연산할 때 overflow는 sign extension이 가능한 경우에 발생한다.
 - (8) Arithmetic Shift right에서 serial input은 sign bit, serial output은 2로 나눈 나머지이다.
 - (9) Gray-code는 각 비트의 위치가 값을 지닌 weighted code이다
 - (10) Digital 표현을 하는 것이 Analog 표현 보다 많은 공간이 요구된다.
 - (11) Parallel Transmission은 Serial Transmission보다 많은 연결이 요구되므로 물리적으로 가까운 연결에는 Parallel Transmission을 하는 것이 유리하다.
 - (12) 12×4096 디코더를 4×16 의 디코더를 이용하여 설계하려면, 4×16 의 디코더는 최소한 256개 필요하다.
 - (13) Demultiplexer(DeMUX)를 따로 설계하지 않고 Decoder(DEC)의 Enable 단자를 입력으로 입력단자를 Select단자로 대치하면 된다.
 - (14) 버스를 3-state buffer gate를 이용하여 설계할 때, 레지스터의 입력과 출력 단에 3-state buffer gate를 달고, 2개의 Decoder 출력이 3-state buffer gate를 제어한다.
 - (15) 버스를 MUX와 DEC를 이용하여 설계할 때, MUX의 개수는 레지스터의 개수에 따라 달라진다.
 - (16) A 레지스터에 4, B 레지스터의 모든 비트들은 10이 저장된 상태에서 두 레지스터를 더한 결과는 30이 된다.
 - (17) PLA(Programmable Logic Array)를 이용하면 Combinational과 Sequential Circuit 모두를 설계할 수 있다.
 - (18) RTL(Register Transfer Language)로 작성된 프로그램을 수행한 결과는 하드웨어 회로도이다.

- (19) 전송 중 한 비트가 변환 확률을 (1/2)라고 할 때, Parity Bit를 포함하여 4비트를 전송하는 경우 에러를 검출하지 못할 확률은 $(1/2)^4 = 1/16$ 이다.
- (20) A 레지스터의 특정비트 값을 1로 만들려면, B 레지스터의 해당 위치에 1을 주고 나머지 비트들은 0을 저장한 후에 두 레지스터를 XOR한다.

1	2	3	4	5	6	7	8	9	10
0	0	0	X	0	0	X	0	X	X
11	12	13	14	15	16	17	18	19	20
0	X	0	0	X	0	X	0	X	X

2. 10진수 $X=47$ 와 $Y=56$ 가 있다. 컴퓨터를 이용하여 $X-Y$ 의 뺄셈 연산을 수행하려고 한다. 컴퓨터는 2의 보수 연산과 덧셈연산 밖에 수행할 수 없다. 다음에 답하라.

- (1) X와 Y의 값을 2진수로 변환하여라. (2점)

$X = 0101111$ (2)	$Y = 0111000$ (2)
-------------------	-------------------

- (2) 2의 보수와 덧셈을 이용하여 $X-Y$ 연산을 수행하고 그 결과 값을 나타내어라. (1점)

$X + (Y' + 1) = 0101111 + 1001000 = 1110111 = -9$

3. K-map을 이용하여 함수 F에 대한 간소화(simplify)된 식을 유도하라.

- (1) $F(A, B, C, D, E) = \sum(0, 2, 5, 7, 8, 10, 13, 15, 16, 18, 21, 23, 24, 26, 29, 31)$ (2점)

A=0				A=1				
BC \ DE	00	01	11	10	00	01	11	10
00	1			1	1			1
01		1	1			1	1	
11		1	1			1	1	
10	1			1	1			1

$C'E' + CE$

- (2) 위 (1)의 결과 값은 드모르간 법칙(DeMorgan's Theorem)을 이용하여 XNOR(Exclusive NOR)로 유도될 수 있다. 위의 $F(A,B,C,D,E)$ 결과 값을 XNOR로 유도하는 과정을 기술하라. (3점)

$\begin{aligned} CE + C'E' &= (C+E')' + (C+E)' \\ &= ((C+E')(C+E))' \\ &= (C'E + CE')' \\ &= (C \oplus E)' \end{aligned}$

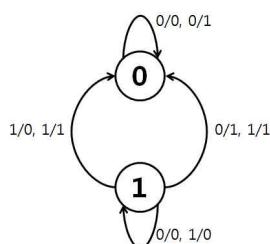
(3) 위 (1)의 F에서 다음 don't-care condition을 추가하였을 때 간소화된 식을 유도하라. $d(A, B, C, D, E) = \sum(4, 6, 20, 22)$ (2점)

		E=0				E=1				
		CD	00	01	11	10	00	01	11	10
AB	CD	00	1	1	x	x			1	1
		01	1	1					1	1
11		1	1					1	1	
10		1	1	x	x			1	1	

변화 없음
C'E' + CE

4. RS flip-flop을 이용하여 JK Flip-flop을 아래 과정을 통해 설계하라.

(1) JK Flip-flop을 위한 state diagram을 그려라. (3점)



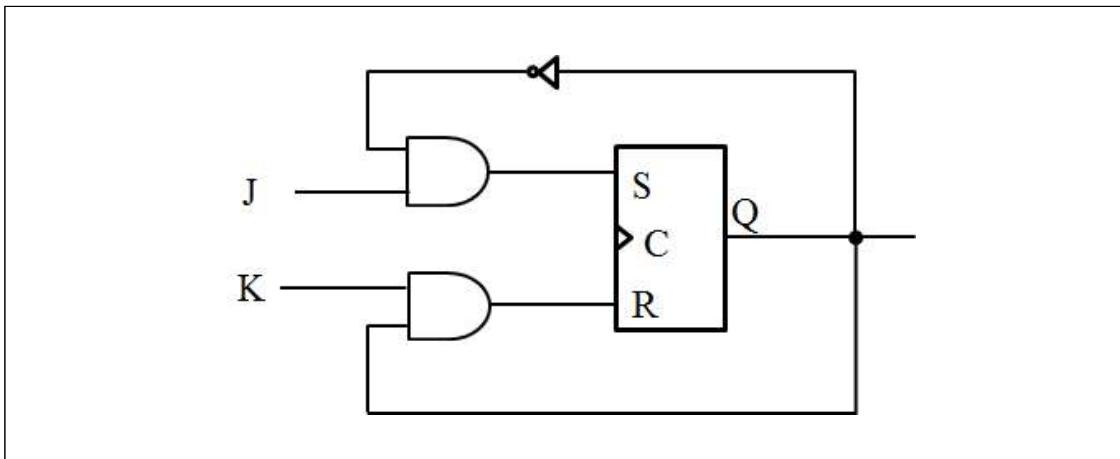
(2) State Transition table을 RS flip-flop의 Excitation table(여기표)를 이용하여 나타내라. (3점)

Present state	Input		Next state	Flip-flop inputs	
Q	J	K	Q(t+1)	S	R
0	0	0	0	0	X
0	0	1	0	0	X
0	1	0	1	1	0
0	1	1	1	1	0
1	0	0	1	X	0
1	0	1	0	0	1
1	1	0	1	X	0
1	1	1	0	0	1

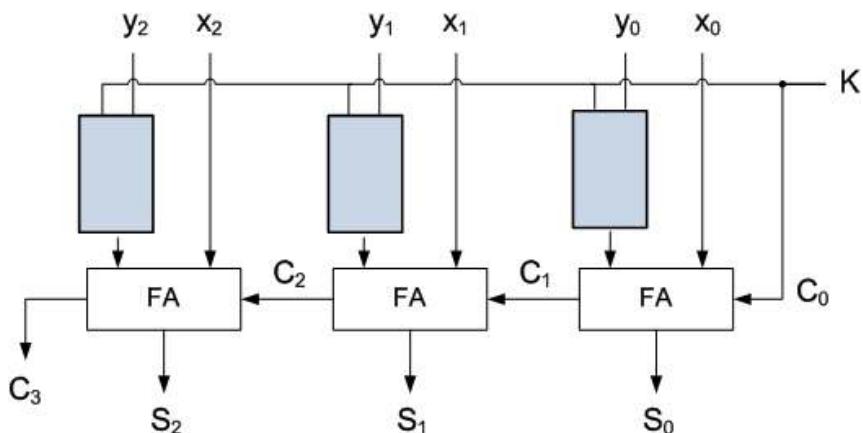
(3) JK flip-flop 설계를 위한 K-map을 그리고 식을 유도하여라. (각2점)

S					R				
Q \ JK	00	01	11	10	Q \ JK	00	01	11	10
0			1	1	0	x	x		
1	x			x	1		1	1	
$= Q'J$					$= QK$				

(4) 최종 설계를 diagram으로 표현하라. (2점)



5. 아래 회로는 3 비트 크기인 두 2의 보수($x_2x_1x_0$, $y_2y_1y_0$)에 대한 덧셈과 뺄셈을 모두 가능하게 하는 회로이다.



(1) K 입력이 1이면 뺄셈, 0이면 덧셈이 되는 회로에서 빙칸에 들어갈 게이트의 종류는 무엇인가? (3점)

XOR

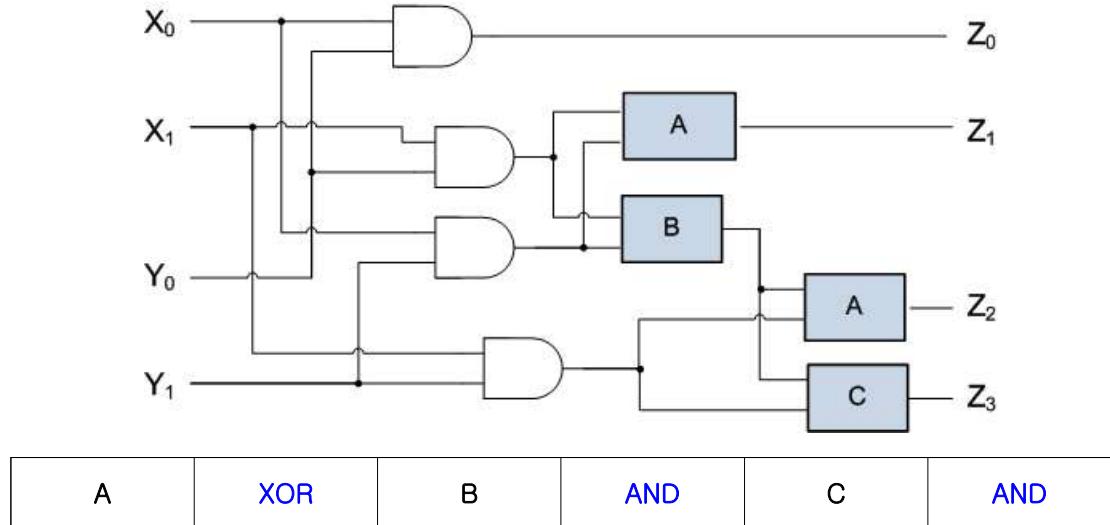
(2) 각 FA(Full Adder)의 Propagation delay를 δ 라고 가정할 때, 최종적인 Carry가 나올 때 까지를 가정한 이 회로의 Propagation delay(D)를 구하라.(3점)

D =	3δ or 2δ
-----	------------------------

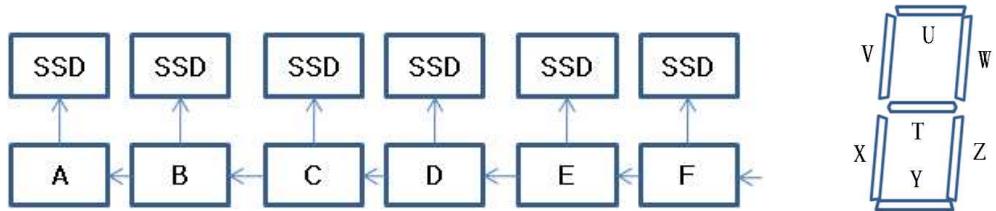
(3) D값을 줄이기 위하여, 왼쪽 비트들의 연산에 오른쪽 비트들의 연산에서 발생하는 carry 값을 사용하지 않아야한다. 세 번째 비트의 연산에 필요한 Carry(C_2)를 C_1 이 없는 식으로 표현하라.(4점)

$C_2 =$	$c_2 = x_1y_1 + c_1(x_1 + y_1) = x_1y_1 + (x_1 + y_1)(x_0y_0 + y_0c_0 + x_0c_0)$ or $c_2 = x_1y_1 + c_1(x_1 \oplus y_1) = x_1y_1 + (x_1 \oplus y_1)(x_0y_0 + y_0c_0 + x_0c_0)$
---------	---

6. 두 비트 크기의 이진수 $X(=x_1x_0)$ 와 $Y(=y_1y_0)$ 의 곱셈은 다음과 같이 이루어진다.
 이 연산 회로(Array Multiplier)의 빙간에 들어갈 회로와 게이트의 종류는 무엇인가?
 (3점)

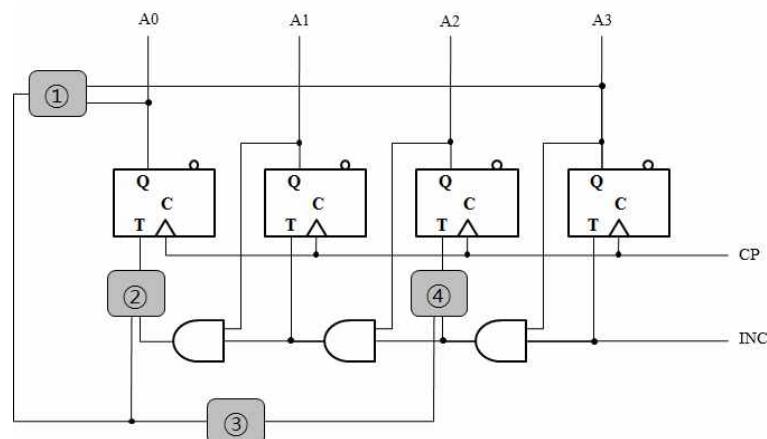


7. 디지털 시계를 설계할 때, 시각을 알리는 화면은 SSD(Seven-Segmented LED)
 00:00:00 6개로 표시된다. 처음 두 자리는 24시를 다음은 60분을 마지막은 60
 초를 의미한다. 전체 회로는 다음과 같고, F로 들어오는 입력은 1초 단위이다.



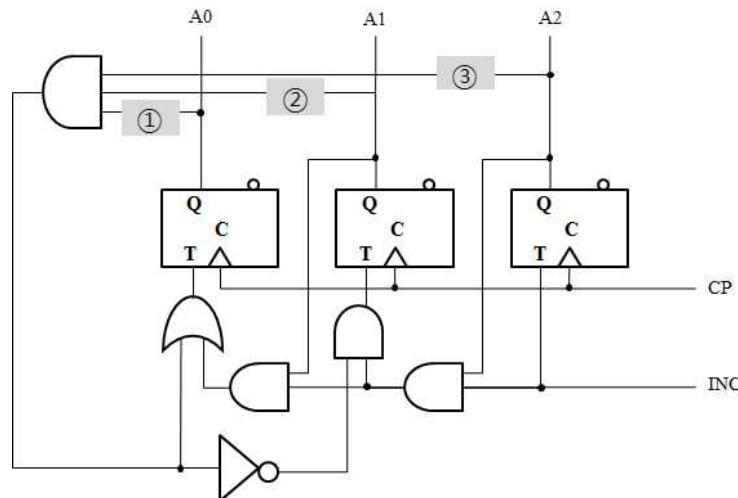
- (1) F를 위한 아래 Counter 회로의 빙간의 게이트 종류를 기입하라(4점).

①	AND	②	OR	③	NOT	④	AND
---	-----	---	----	---	-----	---	-----



(2) E를 위한 아래 Counter 회로에서 빈칸에 선이 연결되는 경우 O, 끊어져야하는 경우 X로 표시한다면 빈칸에 해당하는 O/X를 답하라(3점).

①	O	②	X	③	O
---	---	---	---	---	---



(3) C회로에 연결된 SSD에 들어갈 입력의 제일 왼쪽 값(최상위 비트)은 무엇인가? (BCD는 4개의 비트로 이루어져 있으며 $X_1X_2X_3X_4$ (BCD)일 때 최상위 비트는 X_1 이다.) (2점)

SSD는 BCD값을 입력으로 받는데 C회로는 MOD-6카운터이므로 제일 왼쪽 입력 값은 항상 0이 들어가야 한다.

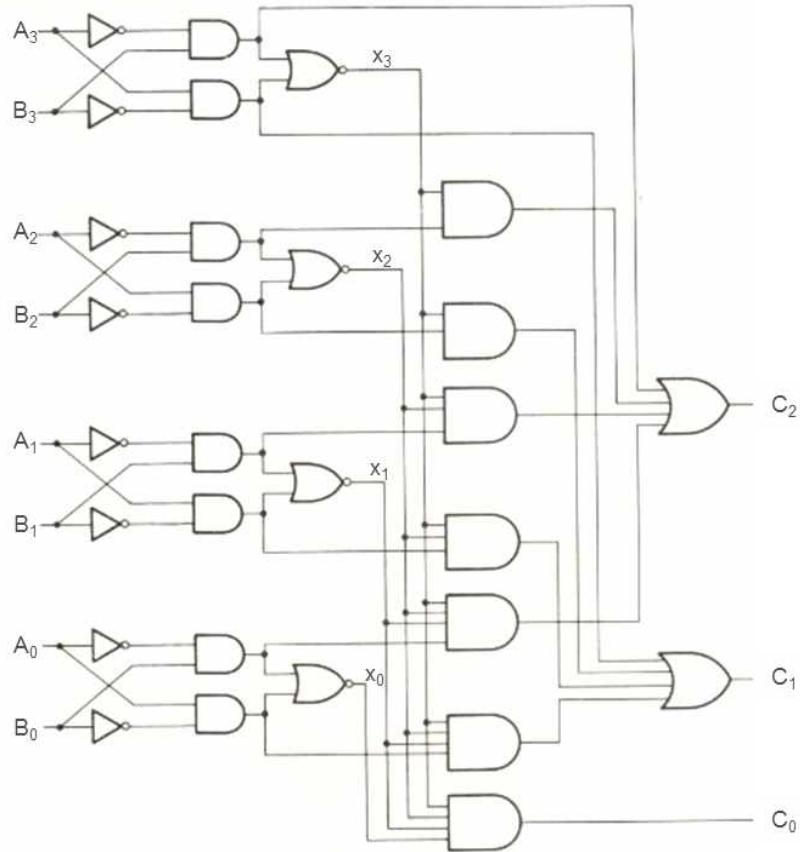
(4) B회로에는 A회로부터 오는 입력이 필요하다. 어떤 입력인가?(3점)

A회로의 결과 값이 0,1 일 때 B는 Mod 10카운터, A회로의 결과 값이 2일 때는 B가 Mod 4카운터를 운영할 수 있도록, B는 A의 결과 값이 2인지 아닌지를 판별할 수 있는 입력을 받아야 한다.

(5) A 회로의 입력과 출력의 크기를 답하라. (즉, 필요한 비트의 개수를 적어라. 예를 들어 $1111_{(2)}$ 의 출력이 필요하다면 필요한 비트의 크기는 4이다.) (3점)

입출력 단자	크기(비트)
B로 부터의 입력	1 비트 (A가 increment를 해야 할 때를 알려주는 비트 한 개: 즉 09시, 19시, 23시 일 때 increment enable)
B로 나가는 출력	1 비트 (B가 mod 10 counter해야 할지 mod 4 counter 해야 할지 알려주는 비트 한 개: 즉 A가 2인지 아닌지를 알려줌)
SSD로 나가는 출력(최소)	2 비트 (00, 01, 10의 출력이 필요하므로 2비트가 필요)

8. 아래 그림의 회로도는 4비트 크기의 두 레지스터 A와 B를 비교하는 회로이다.



다음 물음에 답하라.

(1) 중간 단계의 값인 X_i 를 A_i 와 B_i 로 표현하라.(각1점)

X_0	$(A_0'B_0 + A_0B_0')' = A_0B_0 + A_0'B_0'$
X_1	$A_1B_1 + A_1'B_1'$
X_2	$A_2B_2 + A_2'B_2'$
X_3	$A_3B_3 + A_3'B_3'$

(2) 최종 출력값에 대한 식을 X_i , A_i 와 B_i 로 표현하고 그 의미를 쓰라.(각2점)

출력값	수식	의미
C_0	$X_0X_1X_2X_3$	$A = B$
C_1	$X_3X_2X_1A_0B_0' + X_3X_2A_1B_1' + X_3A_2B_2' + A_3B_3'$	$A > B$
C_2	$X_3X_2X_1A_0'B_0 + X_3X_2A_1'B_1 + X_3A_2'B_2 + A_3'B_3$	$A < B$