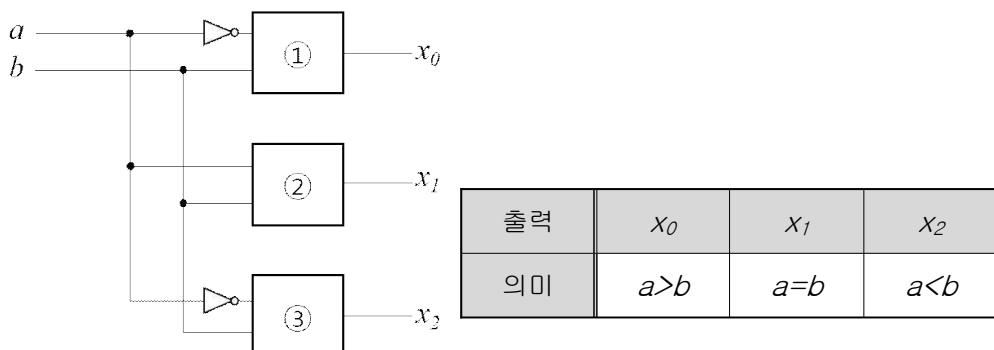


학과		학번		이름	
----	--	----	--	----	--

1. 아래의 문장들에 대하여 O/X로 답하라. [각 2점] (단, 틀리면 1점 감점이 있음)
- 1) NOR게이트만을 사용하여 임의의 불린수식(boolean expression)에 해당하는 회로를 만들 수 있다.
  - 2) XOR게이트만을 사용하여 임의의 불린수식(boolean expression)에 해당하는 회로를 만들 수 있다.
  - 3) ROM(Read-Only Memory)은 Sequential Circuit이다.
  - 4) RAM(Random Access Memory)은 메모리 내의 특정 word를 access하는데 소요되는 시간이 항상 일정한 메모리이다.
  - 5) Fixed-point 표현에서 2의 보수 표현법을 사용하는 경우 1의 보수 표현법보다 비교회로(Comparator)가 복잡해진다.
  - 6) Floating point 표현의 경우 Mantissa field의 크기를 늘리면 표현하는 수의 정확도(precision)가 높아진다.
  - 7) 2의 보수를 arithmetic shift left 연산할 때 overflow는 맨 왼쪽 두 비트의 XOR로 알아낼 수 있다.
  - 8) Arithmetic shift left에서 serial input은 0, serial output은 2로 나눈 나머지이다.
  - 9) 레지스터들을 버스(Bus)로 연결하면 여러 레지스터들이 동시에 데이터를 전송해야 하는 경우에 효율적이다.
  - 10) A 레지스터에 -4, B 레지스터의 모든 비트들은 1이 저장된 상태에서 두 레지스터를 더한 결과는 -3이 된다.

1	2	3	4	5	6	7	8	9	10
O	X	X	O	X	O	O	X	X	X

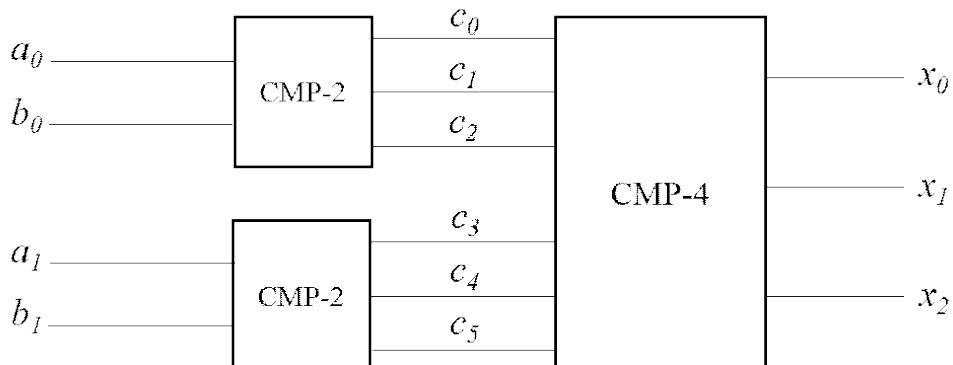
2. 2개의 input( $a, b$ )에 대하여 다음과 같은 세 개의 output( $x_0, x_1, x_2$ )를 출력하는 combinational circuit CMP-2를 설계하였을 때, 아래 물음에 답하시오. [총 16점]



1) ①, ②, ③에 들어갈 gate명을 쓰시오. [각 2점]

①	NOR	②	XNOR	③	AND
---	-----	---	------	---	-----

2) 1)번에서 설계된 두 개의 CMP-2를 이용하여, 2-bit 크기의 두 수  $A(a_1a_0)$ ,  $B(b_1b_0)$ 를 비교한 뒤  $x_0(A>B)$ ,  $x_1(A=B)$ ,  $x_2(A<B)$ 를 출력하는 CMP-4를 아래 그림과 같이 설계하였을 때,  $x_0$ ,  $x_1$ ,  $x_2$ 를  $c_0 \sim c_5$ 로 표현하시오. [각 2점]



$\mathbf{x}_0$	$c_3 + c_0c_4$	$\mathbf{x}_1$	$c_1c_4$	$\mathbf{x}_2$	$c_5 + c_2c_4$
----------------	----------------	----------------	----------	----------------	----------------

3) 위 회로와 같은 방식으로,  $n$ -bit 크기의 두 수  $A(a_{n-1} \dots a_0)$ ,  $B(b_{n-1} \dots b_0)$ 를 비교한 뒤 세 개의 output  $x_0(A>B)$ ,  $x_1(A=B)$ ,  $x_2(A<B)$ 를 출력하는 회로를 설계하였을 때, 필요한 CMP-2와 CMP-4의 개수를 써라. [각 2점]

CMP-2	$n$	CMP-4	$n-1$
-------	-----	-------	-------

3. 아래의 표는 4비트의 이진코드와 그레이코드와의 관계를 나타낸다. 다음 물음에 답하여라. [총 14점]

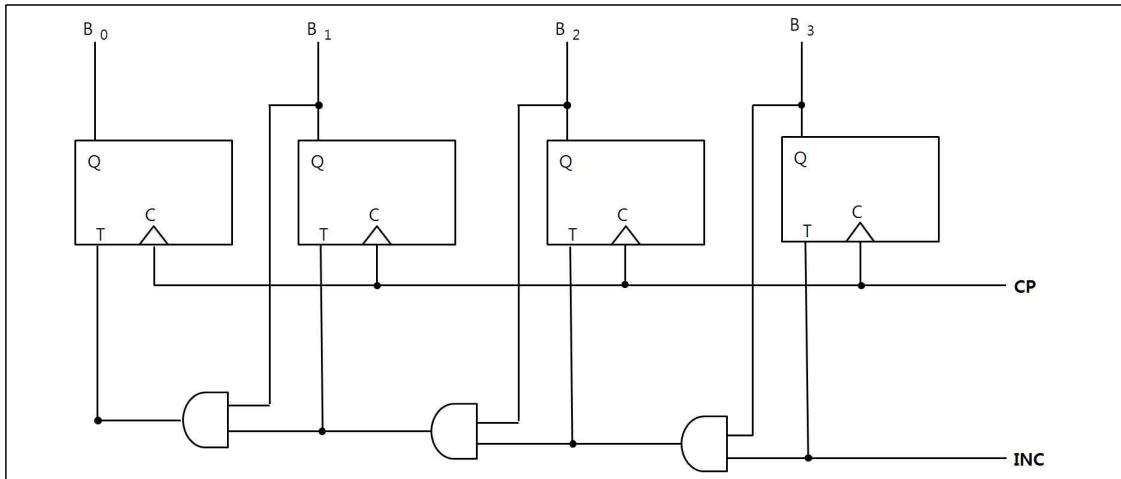
십진수	이진코드				그레이코드				십진수	이진코드				그레이코드			
	$b_0$	$b_1$	$b_2$	$b_3$	$g_0$	$g_1$	$g_2$	$g_3$		$b_0$	$b_1$	$b_2$	$b_3$	$g_0$	$g_1$	$g_2$	$g_3$
0	0	0	0	0	0	0	0	0	8	1	0	0	0	1	1	0	0
1	0	0	0	1	0	0	0	1	9	1	0	0	1	1	1	0	1
2	0	0	1	0	0	0	1	1	10	1	0	1	0	1	1	1	1
3	0	0	1	1	0	0	0	1	11	1	0	1	1	1	1	1	0
4	0	1	0	0	0	1	1	0	12	1	1	0	0	1	0	1	0
5	0	1	0	1	0	1	1	1	13	1	1	0	1	0	1	1	1
6	0	1	1	0	0	1	0	1	14	1	1	1	0	1	0	0	1
7	0	1	1	1	0	1	0	0	15	1	1	1	1	0	0	0	0

1) 주어진 이진 코드를 그레이코드로 바꿀 수 있는 수식을 작성하라. [각 3점]

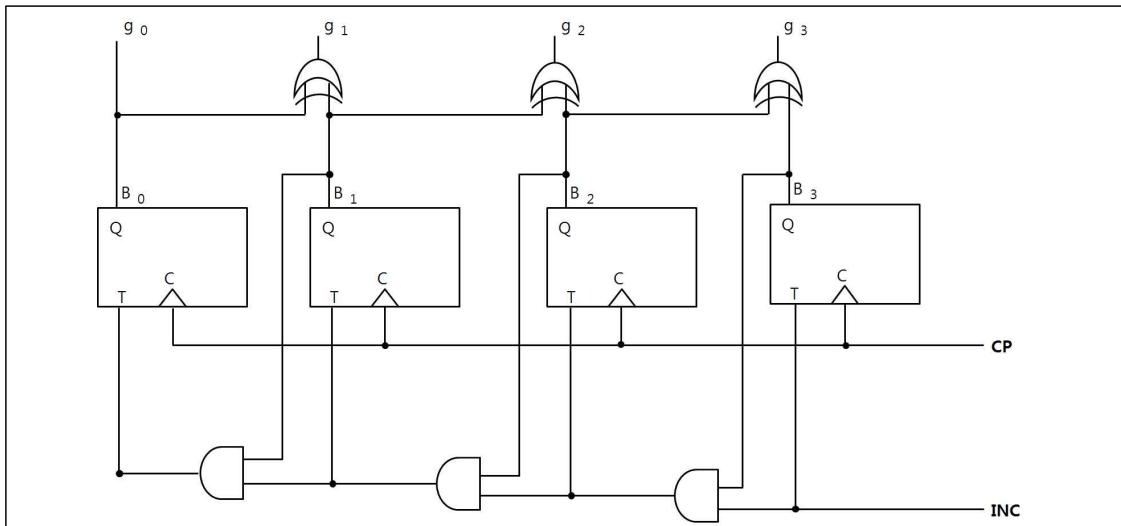
$g_0 =$	$b_0$
---------	-------

$g_i =$	$b_i \text{ (} i=0 \text{일 때)}$ $b_{i-1} \oplus b_i \text{ (} i=1 \sim 3 \text{일 때)}$
---------	------------------------------------------------------------------------------------------

- 2) 위 이진코드를 기초로 한 이진 Counter 레지스터를 T Flip-Flop을 이용하여 설계하라. 레지스터의 증가는 외부 입력 inc에 의해 이루어지며, inc값이 1일 때 Counter의 값이 증가하고, inc값이 0일 때는 Counter의 값이 유지된다. [3점]



- 3) 그레이코드 Counter를 2)와 같은 방법으로 설계하라. (HINT: 3-1번문제의 결과를 이용) [3점]



- 4) 이진 Counter에 비하여 그레이코드 Counter가 가지는 장점을 설명하라. [2점]

이진 Counter의 경우 값이 증가하는 과정에서 모든 FF들의 상태변화가 완벽하게 동기화되기 어렵기 때문에 내부적으로 중간 상태들이 존재할 수 있으나, 그레이코드 Counter의 경우 값이 증가함에 따라 오직 하나의 비트만 변하기 때문에 카운트 과정에서 모호함이 발생하지 않는다.

4. 부동소수점(Floating point) 표현법은 사인부(Sign Field), 지수부(Exponent Field), 유효숫자부(Mantissa Field) 세 개의 부분으로 이루어진다. [총 14점]

1) 사인부의 값을  $s$ , 지수부의 값을  $e$ , 유효숫자부의 값을  $M$ 으로 가정하였을 때의 부동소수점 수를 위 세 변수( $s, e, M$ )로 표현하라. 단 지수부의 베이스는 2로 한다. [3점]

$$(-1)^s \times M \times 2^e$$

2) 각 부분의 크기가 늘어나는 경우, 발생되는 효과를 기술하라. [각 2점]

지수부	더 넓은 범위의 수를 나타낼 수 있음
유효숫자부	실수 표현의 정확도가 높아짐

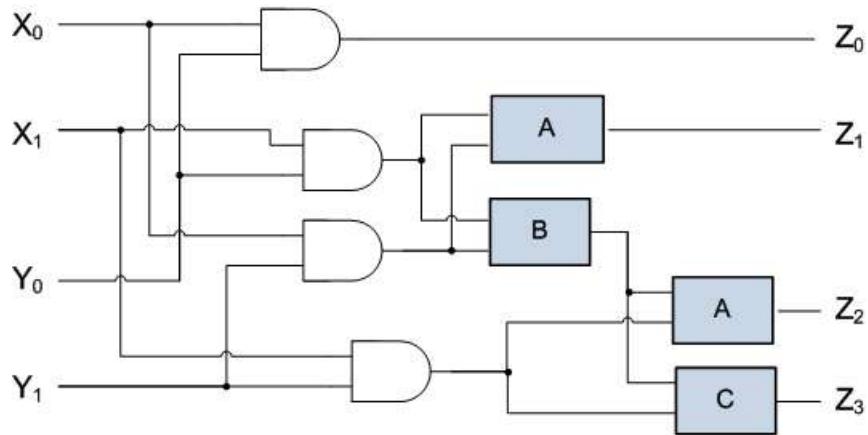
3) 0.75와 0.55를 부동소수점으로 표현하라. [각 2점]

0.75	$0.1100_{(2)} \times 2^0$
0.55	$0.1000_{(2)} \times 2^0$

4) 3)에서 표현한 두 부동소수점 수를 덧셈하는 과정을 보여라. (유효숫자부는 반드시 정규화(normalization)된 상태이어야 함) [3점]

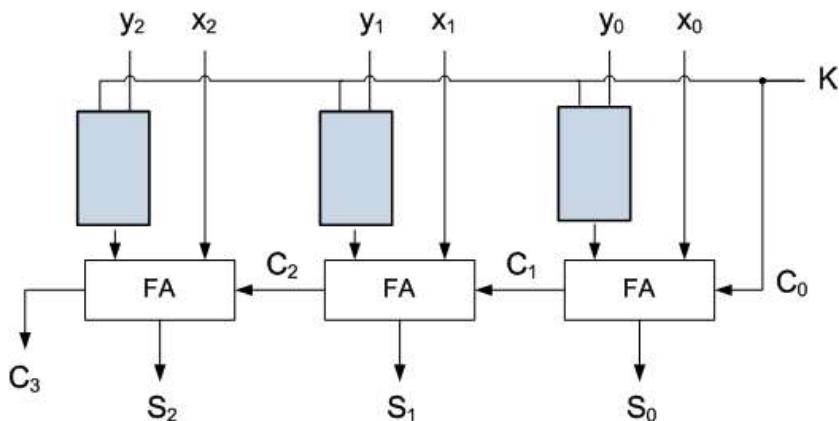
$$\begin{aligned} & 0.75 + 0.55 \\ & \approx 0.1100_{(2)} \times 2^0 + 0.1000_{(2)} \times 2^0 \\ & = 1.0100_{(2)} \times 2^0 \\ & = 0.1010_{(2)} \times 2^1 \text{ (normalization)} \\ & \Rightarrow 0\ 001\ 1010 \end{aligned}$$

5. 두 비트 크기의 이진수  $X (=x_1x_0)$ 와  $Y (=y_1y_0)$ 의 곱셈은 다음과 같이 이루어진다. 이 연산 회로(Array Multiplier)의 빙간에 들어갈 회로와 게이트의 종류는 무엇인가? [각 2점]



A	XOR	B	AND	C	AND
---	-----	---	-----	---	-----

6. 아래 회로는 3 비트 크기인 두 2의 보수( $x_2x_1x_0$ ,  $y_2y_1y_0$ )에 대한 덧셈과 뺄셈을 모두 가능하게 하는 회로이다. [총 10점]



- 1) K 입력이 1이면 뺄셈, 0이면 덧셈이 되는 회로에서 빈칸에 들어갈 게이트의 종류는 무엇인가? [2점]

XOR
-----

- 2) K값에 1을 주고, 모든  $y$ 값( $y_2, y_1, y_0$ )에 0을 입력하면 어떤 결과가 나오는가? [2점]

X
---

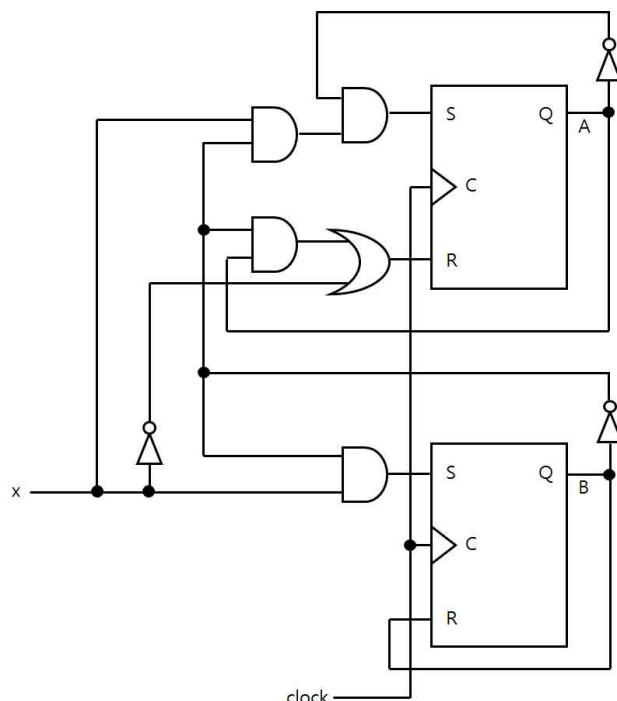
- 3) 각 FA(Full Adder)의 Propagation delay를  $\delta$ 라고 가정할 때, 이 회로의 전체 Propagation delay(D)를 구하라. [2점]

D =	3 $\delta$ or 2 $\delta$
-----	--------------------------

- 4) D값을 줄이기 위해서는, 왼쪽 비트들의 연산에 오른쪽 비트들의 연산에서 발생하는 carry 값을 사용하지 않아야한다. 세 번째 비트의 연산에 필요한 Carry( $C_2$ )를  $C_1$ 이 없는 식으로 표현하라. [4점]

$C_2 =$	$x_1y_1 + (x_1 \oplus y_1)(x_0y_0 + y_0c_0 + x_0c_0)$ $(x_1 \oplus y_1)$ 을 $(x_1 + y_1)$ 로 해도 정답
---------	-----------------------------------------------------------------------------------------------------

7. 아래에 주어진 그림은 두 개의 SR flip-flop A, B와 external input  $x$ 를 이용하여 어떠한 동작을 수행하는 회로를 나타낸다. 이 회로가 어떻게 동작하는지를 조사하기 위해 sequential circuit을 설계하는 과정을 거꾸로 따라가 보려고 한다. 물음에 답하여라. [총 20점]



- 1) 문제에 주어진 회로에서 flip-flop A, B의 입력 값  $S$ ,  $R$ 을 boolean function 식으로 각각 표현하라. [각 2점]

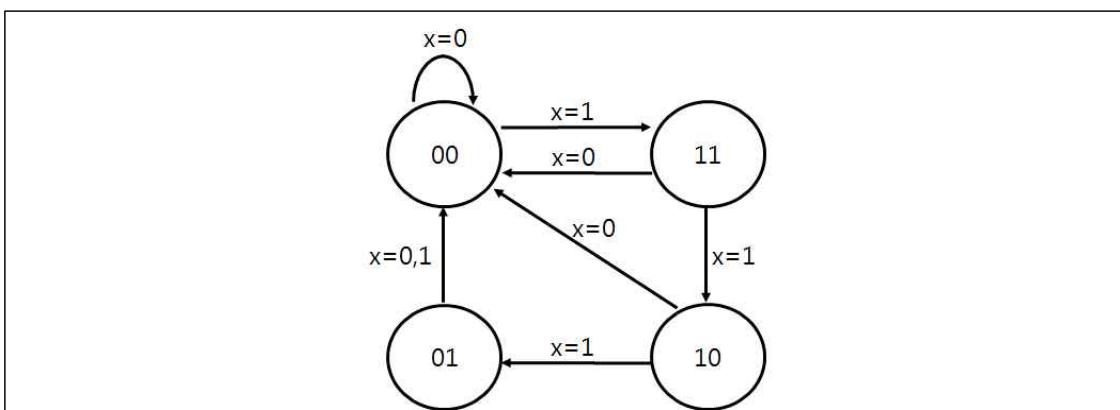
$S_A$	$A'B'x$
$R_A$	$x' + AB'$
$S_B$	$B'x$
$R_B$	$B$

- 2) 1)에서 도출한 boolean function 식을 근거로 하여 아래에 주어진 state transition table을 완성하라.

on table의 next state 부분과 flip-flop inputs 부분을 채우시오. [3점]

Present state		Input x	Next state		Flip-flop inputs			
A	B		A	B	$S_A$	$R_A$	$S_B$	$R_B$
0	0	0	0	0	0	1	0	0
0	0	1	1	1	1	0	1	0
0	1	0	0	0	0	1	0	1
0	1	1	0	0	0	0	0	1
1	0	0	0	0	0	1	0	0
1	0	1	0	1	0	1	1	0
1	1	0	0	0	0	1	0	1
1	1	1	1	0	0	0	0	1

3) 2)의 table에서 도출한 present state와 next state, x 정보를 참고로 하여 해당 회로의 state diagram을 그리시오. [3점]



4) 결론적으로 문제에서 주어진 회로는 어떠한 기능을 수행하는가?  $x = 0$ 일 때와  $x = 1$ 일 때 회로가 수행하는 기능을 아래 빈 칸에 작성하시오. [각 3점]

$x = 0$	clear 기능을 수행
$x = 1$	decrement 기능을 수행(11, 10, 01, 00, 11, ...)