

학부		학번		반		이름	
----	--	----	--	---	--	----	--

1. Mano의 Basic Computer에서는 인터럽트 서비스가 실행되는 동안 또 다른 인터럽트를 받을 수 없다. 이를 해결하기 위하여 인터럽트 서비스 이후에 돌아갈 리턴 주소와 AC 및 E 레지스터의 내용을 스택에 저장하는 구조로 변경할 때, 다음 물음에 답하라. 스택은 데이터의 마지막에 저장된 데이터가 먼저 나오는 방식의 데이터 구조이다. 이 때 저장될 위치를 알려주는 값을 스택포인터가 가지고 있다.

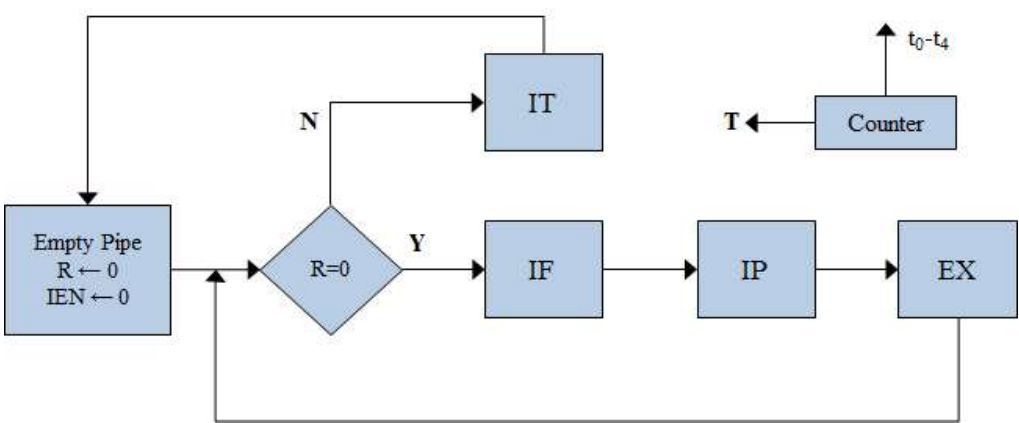
가. 스택은 메모리의 4001번지부터 시작되고,

나. 스택 포인터는 메모리 4000번지에 저장된다.

다. 인터럽트 서비스 루틴이 호출되는 경우, 일단 메모리 0번지에 리턴 주소를 저장하고, 스택에는 Flag E와 AC 값 및 리턴 주소가 저장된다. 돌아올 때는 스택의 Flag E와 AC 값을 복원하고, 리턴주소는 메모리 0번지에 저장하여서 돌아오게 된다. 다음의 인터럽트 서비스 루틴의 빈 곳을 채워라.(각 2점)

LINE	프로그램			LINE	프로그램		
1		ORG	0	24		BSA	⑤
2	ZRO,	HEX	0	25		LDA	SP I
3		BSA	PSH	26		⑥	
4		SKI		27		BSA	DSP
5		BUN	OUT	28		LDA	SP I
6		BUN	INP	29		ION	
7	PSH,	HEX	0	30		BUN	POP I
8		IOF		31	DSP,	HEX	0
9		STA	SP I	32		LDA	SP
10		ISZ	SP	33		⑦	ONE
11		①		34		STA	SP
12		STA	SP I	35		BUN	DSP I
13		ISZ	SP	36	⑧	DEC	-1
14		LDA	②	37	INP,	INP	
15		STA	SP I	38		OUT	
16		ISZ	SP	39		BSA	⑨
17		③		40		BUN	ZRO I
18		BUN	PSH I	41	OUT,	OUT	
19	POP,	HEX	0	42		BSA	POP
20		IOF		43		BUN	⑩
21		BSA	DSP	44		ORG	4000
22		LDA	SP I	45	SP,	DEC	4001
23		④	ZRO				

2. 다음 그림은 Mano가 설계한 컴퓨터를 위한 instruction pipeline의 제어부분으로 instruction fetch(IF)와 indirect processing(IP), execution(EX)의 세 단계로 구분되고 IF 단계는 interrupt processing(IT)와 정상처리부분(IF)로 구분된다. 전체 pipeline을 동기화하기 위한 time signal T와 각 단계 내부의 time signal t(t₀~t₄)가 있다고 가정한다. 표는 ISZ instruction을 예로 각 단계를 위한 수정된 RTL이다. [각2점]



	IF	IT	IP	EX(ISZ)
t ₀	No-operation	No-operation	D7'I: <div style="border: 1px solid black; width: 100px; height: 1.2em; display: inline-block;"></div> (D7'I)': AR ← AR1	No-operation
t ₁	AR1 ← PC	AR1 ← 0, TR ← PC	No-operation	DR ← M[AR]
t ₂	IR ← M[AR1], PC ← PC + 1	M[AR1] ← TR PC ← 0	No-operation	DR ← DR + 1
t ₃	D0...D7 ← dec(IR(12-14)), AR1 ← IR(0-11), I ← IR(15)	PC ← PC + 1	No-operation	M[AR] ← DR, IF(DR=0) then (PC ← PC + 1)
t ₄	No-operation	No-operation	No-operation	

(1) AR1 register를 따로 두어야 하는 이유를 설명하라.

(2) 이 pipeline의 동작을 동기화하기 위한 counter register는 각 단계 내부의 time signal $t_0 \cdots t_4$ 를 생성하고, t_4 가 끝날 때마다 생성되는 time signal은 각 단계의 동기화에 이용된다. 이를 위한 counter logic을 설계하라.

(3) IP 단계의 t_0 에 있는 빈칸을 채워라.

(4) IF, IT, EX 단계의 t_0 에 no-operation이 들어가는 이유를 설명하라.

(5) EX 단계의 t_4 에 빈칸을 메워라.

3. 다음 프로그램은 원소가 4개인 배열 A와 배열 B를 더하여서 배열 C에 저장하는 서브루틴이다. 배열의 시작주소와 원소의 개수는 파라미터로 서브루틴에 전달된다.

주소				주소			
4		BSA	MAT	6B		ISZ	PT2
5		HEX	100	6C		ISZ	PT3
6		HEX	200	6D		ISZ	CTR
7		HEX	300	6E		BUN	LOP I
8		DEC	-4	6F		BUN	MAT I
9		HLT		70	PT1	DEC	0
				71	PT2	DEC	0
		ORG	50	72	PT3	DEC	0
50	MAT,	HEX	0	73	CTR	DEC	0
51		LDA	MAT I			ORG	100
52		STA	PT1	100		DEC	6
53		ISZ	MAT	101		DEC	4
54		LDA	MAT I	102		DEC	7
55		STA	PT2	103		DEC	9
56		ISZ	MAT			ORG	200
57		LDA	MAT I	200		DEC	4
58		STA	PT3	201		DEC	6
59		ISZ	MAT	202		DEC	3
5A		LDA	MAT I	203		DEC	1
5B		STA	CTR			ORG	300
5C		ISZ	MAT	300		DEC	0
5D	LOP,	LDA	PT1 I	301		DEC	0
5E		ADD	PT2 I	302		DEC	0
5F		STA	PT3 I	303		DEC	0
6A		ISZ	PT1				

해당번지의 instruction이 실행된 다음 레지스터와 메모리의 결과를 작성하라.[각 2점]

명령어	4	54	6F
AC			
PC			
50번지			
70번지			
302번지			

(8) 두 개의 명령어가 동시에 수행 될 수 없는 여러 상황 중에 하나의 명령어가 생성한 데이터를 다른 명령어가 사용하려는 경우, 두 명령어의 관계를 정의하는 성질
[]

(9) Instruction pipeline을 수행할 때, PC(program counter)를 예측할 수 없어서 pipeline의 작업을 정상으로 진행 할 수 없는 경우 []

(10) 컴퓨터에 연결된 입출력장치가 여러 개 인 경우, 각 장치들의 보내는 인터럽트들이 발생할 때 처리할 프로그램이 있는 장소들을 모아둔 메모리의 리스트
[]

anti-dependence, arithmetic pipelining, CISC, daisy-chaining, data dependence, double precision, effective address, exceptional handling, indirect address, instruction cycle, interrupt service program, instruction set complete, interrupt vector, memory interleaving, multi-core architecture, output dependence, priority interrupt, resource conflict, return address, RISC, save area, stored program concept, branch conflict

6. 다음 3개 중 Mano의 basic computer에서 single clock pulse 내에 수행될 수 없는 것을 모두 선택하고, 선택한 작업을 수행하기 위한 micro-operation sequence를 서술하시오. (4점)

- (1) $IR \leftarrow M[PC]$
- (2) $AC \leftarrow DR, DR \leftarrow AC$
- (3) $IR \leftarrow IR + 1$

7. DSZ라는 memory-reference instruction을 설계하여 ISZ를 대체하려 한다. DSZ는 ISZ와 반대로 주어진 메모리 주소에 있는 값을 1 감소시킨 다음 그 메모리 주소로 다시 저장하고 감소시킨 값이 0이면 다음 instruction을 skip한다. (주의: 명령어 실행 후 본래 AC에 저장되어 있던 값이 변경되어서는 안 된다) (6점)

[※ T_i 가 더 필요한 경우 아래쪽에 추가하여 작성할 수 있다 (최대 T_{15} 까지)]

D_6T_4 :

D_6T_5 :

D_6T_6 :