

D-PHY ソリューション

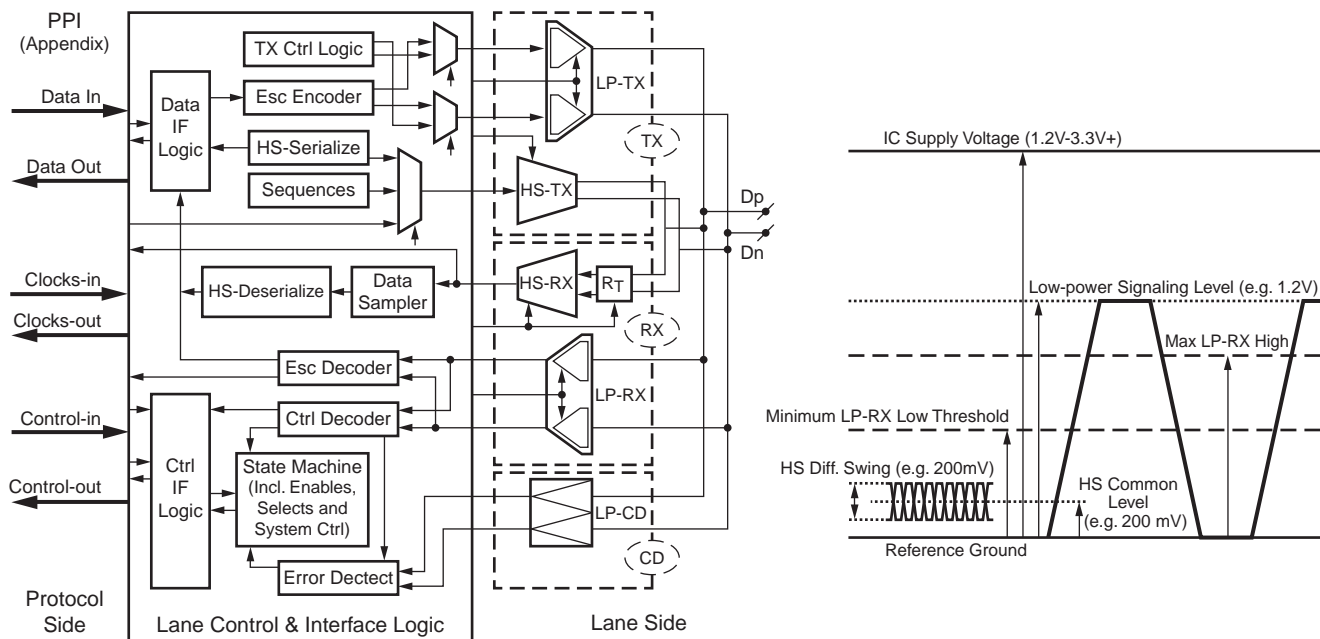
著者 : Marc Defossez

概要

MIPI (Mobile Industry Processor Interface) は、MIPI アライアンスが策定したシリアル通信インターフェイス規格です。FPGA では MIPI を実装することで、カメラシリアル インターフェイス (CSI) またはディスプレイシリアル インターフェイス (DSI) と呼ばれるカメラおよびディスプレイ用の標準的な接続媒体を提供します。

この 2 つのインターフェイス規格は、D-PHY として知られている PHY 仕様を使用します。D-PHY 仕様は、モバイル デバイス内部のコンポーネントにおける通信相互接続に柔軟かつ低コストな高速シリアル インターフェイス ソリューションを提供します。

現在の FPGA には、D-PHY をネイティブ サポートできる I/O がありません。MIPI を備えたカメラやディスプレイ コンポーネントを接続するには、FPGA レーンの外側に別コンポーネントを使用して、D-PHY ハードウェア仕様を実装する必要があります (図 1 参照)。D-PHY のレーン制御ロジックとして機能するデザインは、図 1 に示すように FPGA 内に実装できます。



X894_01_080414

図 1: D-PHY の概要

はじめに

このアプリケーション ノートでは、標準の FPGA I/O (差動およびシングルエンド) と接続する外部ハードウェアを使用し、「D-PHY Version 1.00.00」(2009 年 5 月 14 日) 仕様に準拠する FPGA MIPI D-PHY ソリューションを提供します。



重要: ここで示す手法をほかのアプリケーションに適用する場合は、正しく評価されたコンポーネントを使用してください。

DSI および CSI の概要

DSI は、アクティブ マトリクス ディスプレイ モジュールなどのペリフェラルとホスト プロセッサを接続する高速シリアル インターフェイスです。DSI は物理的な通信層として D-PHY を使用します。ホストとペリフェラル間の情報転送は、1 本または複数のシリアル データ レーンと 1 本のクロック レーンで構成されます。

トランシーバーの通信セッションの合間に、差動データ/クロック レーンを低電力 (LP) トランシーバー ステートへ (または LP トランシーバー ステートから) 切り換えることができます。高速データをアクティブに送信または受信しない場合、インターフェイスはアイドル ステートにする必要があります。図 2 に高速伝送の基本構造を示します。DSI インターフェイスのデータ レーンは、1、2、3、または 4 本が可能です。より幅の広いインターフェイスを構成するには、1、2、3、または 4 レーンの倍数を使用します (たとえば、8 データ レーンは 1*8 レーンまたは 2*4 データ レーンとして作成可)。

データ レーンが 0 の場合のみ、低電力データ伝送で双方向のデータ転送がサポートされます。

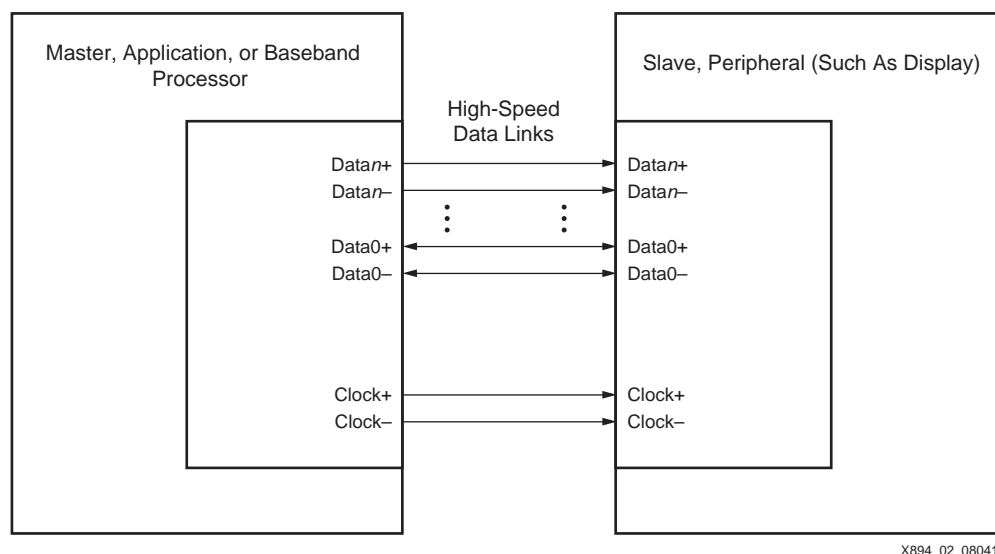
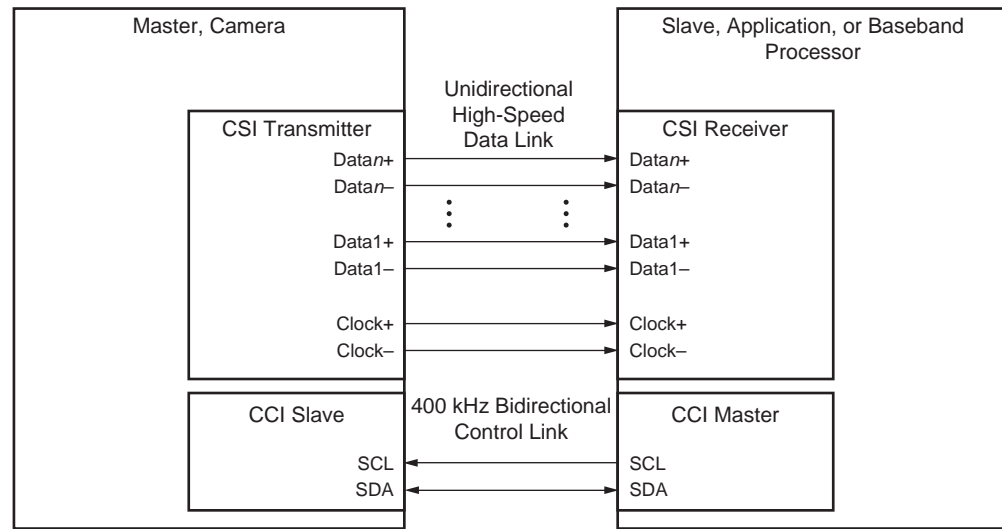


図 2: 基本的な DSI インターフェイス構造

ホストとディスプレイ ペリフェラル間のすべてのリンクは、ホスト (マスター) からディスプレイ ペリフェラル (スレーブ) への単方向通信です。データ レーン 0 のみ、LP ステートで双方転送が可能です。

CSI は、カメラなどのペリフェラルとホスト プロセッサを接続する高速シリアル インターフェイスです。この CSI も、MIPI アライアンスで定義されているとおりに D-PHY を物理層インターフェイスとして使用します。図 3 に、CSI トランスミッターと CSI レシーバー間のインターフェイス接続を示します。CSI インターフェイスのデータ レーンは、1、2、3、または 4 本が可能です。より幅の広いインターフェイスを構成するには、1、2、3、または 4 レーンの倍数を使用します (たとえば、8 データ レーンは 1*8 レーンまたは 2*4 データ レーンとして作成可)。



X894_03_080414

図 3: 基本的な CSI インターフェイス構造

CSI 伝送インターフェイスは、最大 8 つの単方向の差動シリアルレーンと高速 (HS) モードで動作する 1 つのクロック レーンで構成されます。トランスミッターとレシーバーは、連続するクロック動作をサポートしますが、オプションで非連続のクロック動作にも対応します。制御インターフェイス (図 3 に CCI として表示) は、双方向の制御インターフェイスであり、LP ステートで動作します。

D-PHY の概要

これまで、プリント回路基板 (PCB) 上のコンポーネント間インターフェイスには、低ビット レートのシングルエンド パラレルバス (LVCMOS)、差動高速シリアルバス、またはシングル差動チャネルの使用が一般的でした。

D-PHY は、低速かつ低電力なインターフェイスをシリアル形式の高速差動インターフェイスに変換することで、この構造に高い機能を備えることができます。つまり、1つのシリアル インターフェイスに両機能が混在することになります。この方法で、D-PHY は 1つのデバイス内のコンポーネント間接続に、高速差動と低速低電力シングルエンドの柔軟なシリアル インターフェイス ソリューションを提供します。

D-PHY の仕様は、ASSP デバイスまたは ASIC の実装を考慮して作成されています。

D-PHY は、1つの差動ワイヤ ペアに SLVS (高速) I/O と LVCMOS (低電力) I/O を両方兼ね備えますが (図 1 参照)、前述したとおり、現在の FPGA は D-PHY に対応できる I/O をサポートしていません。

近年、ASSP および ASIC メーカーは最新の高機能デバイスに MIPI インターフェイスを実装しているため、FPGA が D-PHY 準拠の I/O をネイティブ サポートするようになるまで、MIPI 対応のデバイスに FPGA を接続するには、外部にアクティブ またはパッシブ コンポーネントが必要になります。

表 1 では、物理的な D-PHY の仕様について説明しています。

表 1: D-PHY の仕様

パラメーター	値
各方向の最大ピン数	4
最小コンフィギュレーション	4 ピンの半二重
最小 UniPro コンフィギュレーション	8 ピン
媒体	300mm までの PCB、フレックスまたはマイクロ同軸
1 レーンあたりのデータ レート :	
最大 HS レート	1Gb/s
最小大 HS レート	80Mb/s
LP レート	10Mb/s まで
電気信号	
HS	SLVS-400
LP	LVCMOS-1.2V
HS のクロッキング方法	DDR ソース同期
HS のライン コーディング	なし/8B9B
レシーバー CDR の必要性	なし
光またはリピーターへの対応	なし

D-PHY の主な動作規則は次のとおりです。

- 各データ レーン (データ リンク) に差動ペアとして 2 本のワイヤがあり、そのクロック レーン (クロック リンク) に差動ペアとして 2 本のワイヤがあります。
 - 4 本のワイヤは、最小の PHY コンフィギュレーション (1 データ レーンと 1 クロック リンク) を構成する。
 - 特性インピーダンスは、1 レーンあたり 100 (差動) または 50 (シングルエンド) となる。
- 各リンクにはマスター側とスレーブ側があります。
 - マスターがクロック レーンに高速 DDR クロック信号を送信し、メイン データ ソースとなる。
 - スレーブがクロック レーンでクロック信号を受信し、メイン データ シンクとなる。
 - クロック レーンはマスターからスレーブへの順方向。
 - 双方向データ レーンは逆方向が可能。ソース データは、マスター側からスレーブ側、またはスレーブ側からマスター側へ送信可能。
- 高速モードの場合：
 - 各レーンでは終端処理され、低振幅の差動信号で駆動される。
 - 高速トランスミッター (HS-TX) は、常に差動方式でレーンを駆動する。
 - 高速信号は低電圧振幅であり、SLVS と同じように 200mV の同相電圧を持つ。
 - 高速機能は、高速データ伝送にのみ使用される。
 - 高速機能には、差動トランスミッター (HS-TX) と差動レシーバー (HS-RX) が含まれる。
- 低電圧モードの場合：
 - すべてのワイヤは、シングルエンド動作で終端処理されない。
 - 2 つの LP-TX 出力が、シングルエンド コンフィギュレーションのレーンの各ワイヤを個別に駆動する。
 - 低電圧信号は、1.2V の大きな信号振幅を持つ (LVCMOS_12 または同等)。
 - 低電圧機能は、主に制御用として使用されるが、別の用途にも使用可能。
 - 低電圧機能には、シングルエンド トランスミッター (LP-TX) とレシーバー (LP-RX) が含まれる。
 - モジュールに LP-RX が含まれる場合、HS と LP のモード切り換えを可能にするために、LP-RX は常にアクティブとなりライン レベルをモニターする。
 - LP-TX は低電圧ステートを実行する場合のみ有効になる。
- シングル レーン モジュールの LP-TX、HS-TX、および HS-RX のアクティビティは相互排他的です (ただし、短いクロスオーバー期間を除く)。
- 一方のレーンのすべての HS-TX、LP-TX、および HS-RX、LP-RX 機能に対して、もう一方のレーンにはそれらを補完する HS-TX、LP-TX、および HS-RX、LP-RX 機能があります。
- レーン モジュールに HS-TX が含まれる場合は、LP-TX も含まれます。
- レーン モジュールに HS-RX が含まれる場合は、LP-RX も含まれます。
- I/O 機能は、LCIL (レーン制御およびインターフェイス ロジック) ブロックで制御されます。
- クロック レーン：
 - 高速 DDR クロックは、データと同位相ではなく直角位相 (90 度シフト) で送信される。
 - 1 つのクロック レーンは複数データ レーンで共有可能。

D-PHY のエミュレーション

このアプリケーション ノートでは、FPGA を MIPI 対応デバイスへ接続するためのソリューションを紹介します。FPGA I/O インターフェイス デザインの外部に D-PHY 機能を完全または部分的にエミュレートすることで、この接続が可能になります。完全にまたは部分的にサポートされた D-PHY 機能を使用するかの判断は、コスト、量、性能などデザイン固有の基準に基づきます。このアプリケーション ノートでは、適応の可能性のみ提供します。

基本的な D-PHY エミュレーション回路は双方向のデータ レーンとクロック レーンをサポートできますが、ザイリンクス およびほとんどのユーザーは単方向機能のみのサポートを選択します。

図 1 に示すように、D-PHY には次の 2 つの機能があります。

- レーン制御とインターフェイス ロジック (LCIL)
- レーン サイド ロジック (LSL)

FPGA ロジックには、専用の FPGA シングルエンドおよび差動入力/出力バッファ機能のほかに、LCIL ブロックが構築されています。このブロックの実装については、ここで言及しません。ディスクリートまたはアクティブ コンポーネントを使用して FPGA 外部に実装される LSL ブロックについて説明します。

LSL は、FPGA I/O ポート、トレース、PCB トレース、マイクロ同軸ケーブル、またはフレックス PCB の 1 組の差動ペアで差動通信とシングルエンド通信を統合します。有効なセットアップは次のとおりです。

- 高速 (HS) インターフェイスに使用される LVDS または HSTL
- 低速 (LP) インターフェイスに使用される LVCMOS または HSUL
- パッシブ コンポーネントを使用する D-PHY 準拠のトランスミッター
- パッシブ コンポーネントを使用する D-PHY 準拠のレシーバー
- D-PHY に対応できるコスト効率が良いソリューション
 - トランスミッター
 - レシーバー
- アクティブ コンポーネントを使用する D-PHY 準拠のソリューション
- 専用の PHY デバイスを使用する D-PHY 準拠のソリューション

高速インターフェイス

D-PHY の差動高速部分は、LVDS や HSTL などの差動高速 I/O を使用して FPGA で模倣できます。FPGA の I/O レベルは常に、D-PHY 仕様に対応する低振幅の SLVS 型 I/O に合わせる必要があります。

D-PHY 高速 I/O 仕様

表 2 には、MIPI アライアンスによって策定された MIPI D-PHY 仕様書に記載されている D-PHY の高速仕様を示しています。これらは、JEDEC® 8-13 SLVS 仕様の SLVS 規格の要件を満たします。

FPGA を使用して D-PHY を模倣する場合、差動の FPGA 規格がこれらの SLVS 仕様を満たす必要があります。このセクションでは、D-PHY 準拠ソリューションとして外部の信号整形コンポーネントを使用する場合に有効な差動 FPGA 規格について説明します。



重要：ザイリンクスの FMC-MIPI 開発ボードで選択された差動規格は HSTL です。

表 2: D-PHY トランスミッターおよびレシーバーの DC 仕様

パラメーター	説明	最小	標準	最大	単位	注記
トランスミッター						
V_{CMTX}	HS は一定の同相電圧を送信	150	200	250	mV	(1)
$ \Delta V_{\text{CMTX}(1,0)} $	出力が Differential-1 または Differential-0 の場合は V_{CMTX} が不一致			5	mV	(2)
$ V_{\text{OD}} $	HS は差動電圧を送信	140	200	270	mV	(1)
$ \Delta V_{\text{OD}} $	出力が Differential-1 または Differential-0 の場合は V_{OD} が不一致			10	mV	(2)
V_{OHHS}	HS は最大電圧を出力			360	mV	(1)
Z_{OS}	シングルエンド出力インピーダンス	40	50	62.5	Ω	
ΔZ_{OS}	シングルエンド出力インピーダンスは不一致			10	%	
レシーバー						
$V_{\text{CMRX(DC)}}$	HS レシーバー用の同相電圧	70		330	mV	(3) (4)
V_{IDTH}	差動入力最大のしきい値			70	mV	
V_{IDTL}	差動入力の最小しきい値	-70			mV	
V_{IHHS}	シングルエンド入力の最大電圧			460	mV	(3)
V_{ILHS}	シングルエンド入力の最小電圧	-40			mV	(3)
$Z_{\text{TERM-EN}}$	HS 終端が有効な場合のシングルエンドのしきい値			450	mV	
Z_{ID}	差動入力インピーダンス	80	100	125	Ω	

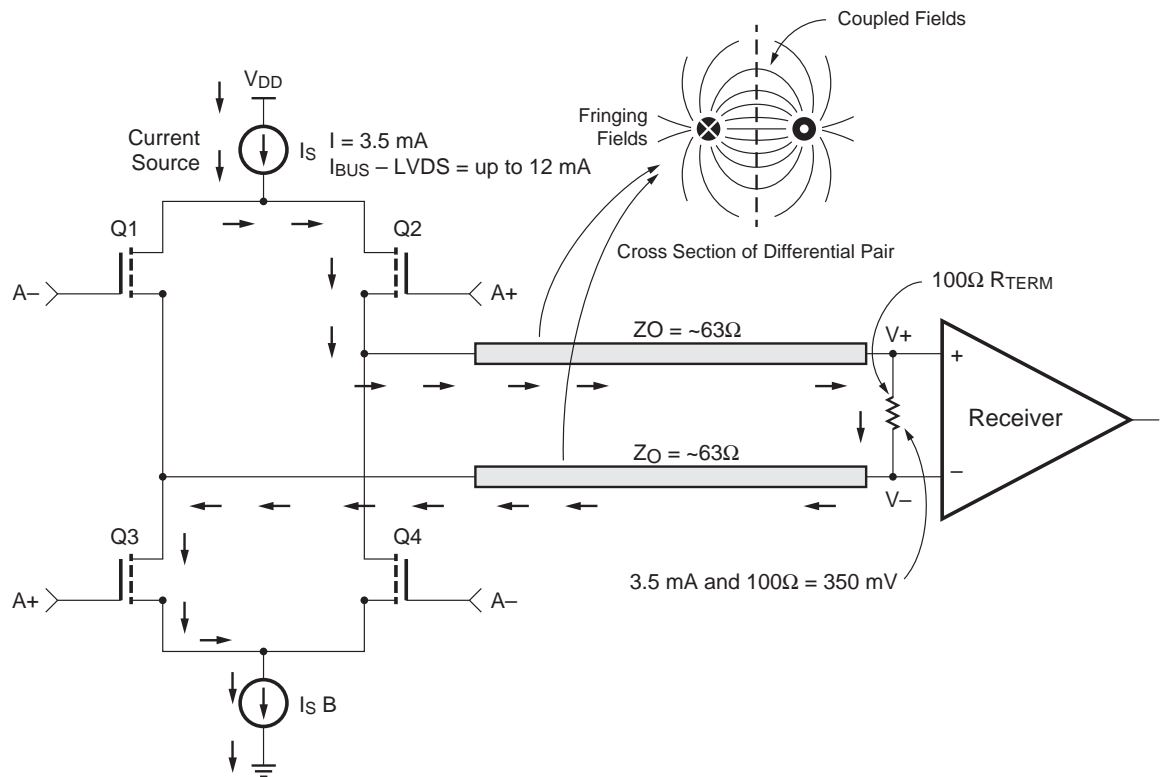
注記:

1. Z_{ID} 範囲内の負荷インピーダンスで駆動した場合の値です。
2. ΔV_{OD} および $\Delta V_{\text{CMTX}(1,0)}$ を最小限にし、放熱を抑えてシグナル インテグリティを最適にすることを推奨します。
3. Z_{ID} 範囲内の負荷インピーダンスで駆動した場合の値です。
4. ΔV_{OD} および $\Delta V_{\text{CMTX}(1,0)}$ を最小限にし、放熱を抑えてシグナル インテグリティを最適にすることを推奨します。

LVDS

1994 年に National Semiconductor 社が LVDS (低電圧差動信号) を発表して以来、この規格が高速データ転送の事実上の規格となりました。

図 4 に示すポイント間 LVDS リンクは、レシーバー側に配置された終端抵抗を通して電圧降下を発生する電流トランスミッターで構成されています。終端抵抗の電圧は駆動電流に比例し、レシーバーが有効な信号を認識できるようになっています。



X894_04_072114

図 4 : ポイント間 LVDS リンク

差動データ リンクでは同相ノイズが退けられるため、ノイズ耐性が高くなります。ノイズは両トレース上に同じ極性電圧として同時に現れるため、差動レシーバーで相殺されます。そのため、ノイズの影響を受けにくくなります。

差動信号は同相電圧で動作します (表 3)。通常、これらの電圧は 2 つのトレースの平均です。LVDS の同相電圧は、トランスミッターが約 1.25V の DS オフセットとして設定します。

LVDS トランスミッターが電流ドライバーとなり、レシーバーで必要な電圧が 100Ω 終端抵抗を通して生成されます。

通常、ポイント間の LVDS リンクは 3.5mA の電流で動作しますが、マルチポイントつまりバス型 LVDS (B-LVDS) は最大 12mA の電流で動作できます。D-PHY リンクの I/O 規格として LVDS を使用する場合、B-LVDS 形態の LVDS を使用することを推奨します。

表 3 : FPGA の電氣的 LVDS 仕様

規格	シンボル	DC パラメーター	条件	最小	タイプ	最大	単位
LVDS	V _{CCO}	電源電圧		1.710	1.800	1.890	V
	V _{OH}	Q および \bar{Q} の最大出力電圧	Q および \bar{Q} 信号で R _T = 100Ω	-	-	1.675	V
	V _{OL}	Q および \bar{Q} の最小出力電圧	Q および \bar{Q} 信号で R _T = 100Ω	0.825	-	-	V
LVDS_25	V _{CCO}	電源電圧		2.375	2.500	2.625	V
	V _{OH}	Q および \bar{Q} の最大出力電圧	Q および \bar{Q} 信号で R _T = 100Ω	-	-	1.675	V
	V _{OL}	Q および \bar{Q} の最小出力電圧	Q および \bar{Q} 信号で R _T = 100Ω	0.700	-	-	V
LVDS LVDS_25	V _{ODIFF}	差動出力電圧 (Q - \bar{Q})、 Q = high (Q - Q)、Q = high	Q および \bar{Q} 信号で R _T = 100Ω	247	350	600	mV
	V _{OCM}	同相出力電圧	Q および \bar{Q} 信号で R _T = 100Ω	1.000	1.250	1.425	V
	V _{IDIFF}	差動入力電圧 (Q - \bar{Q})、 Q = high (Q - Q)、Q = high	同相入力電圧 = 1.25V	100	350	600	mV
	V _{ICM}	同相入力電圧	差動入力電圧 = ±350mV	0.300	1.200	1.425	V

当初の LVDS は 3.3V 規格として導入されましたが、年月を経て、電子回路コンポーネントの電圧要件が LVDS の同相電圧より低くなった結果、同じような機能の新たな差動規格が必要になりました。

JEDEC8-13 SLVS-400 は同じ LVDS 仕様ですが、同相電圧は 200mV まで下がり、電圧振幅は 200mV あるいは 400mV p-p まで低くなります。

スケーラブル低電圧信号 (SLVS) は、1V のサブ電源を使用するコンポーネントで使用可能です。FPGA は LVDS 対応の I/O をサポートしていますが、SLVS 対応の I/O はサポートしていません。しかし、SLVD アプリケーションに LVDS I/O を適用する方法があります。ここでは、2 つの使用事例を紹介します。

LVDS 信号レベルから SLVS 信号レベルへ (図 5)、また SLVS 信号レベルから LVDS 信号レベルへ (図 7) 変換するために、抵抗やキャパシタなどのパッシブ コンポーネントを基本のレベルシフト回路として使用できます (図 6)。

LVDS と SLVS の DC カップリングを行うには、LVDS 出力と SLVS 入力の両方で同相電圧要件を満たすためにレベルシフトネットワークが必要です。図 5 で示すように、同相電圧は LVDS 1.25V から SLVS 200mV へシフトする必要があります。

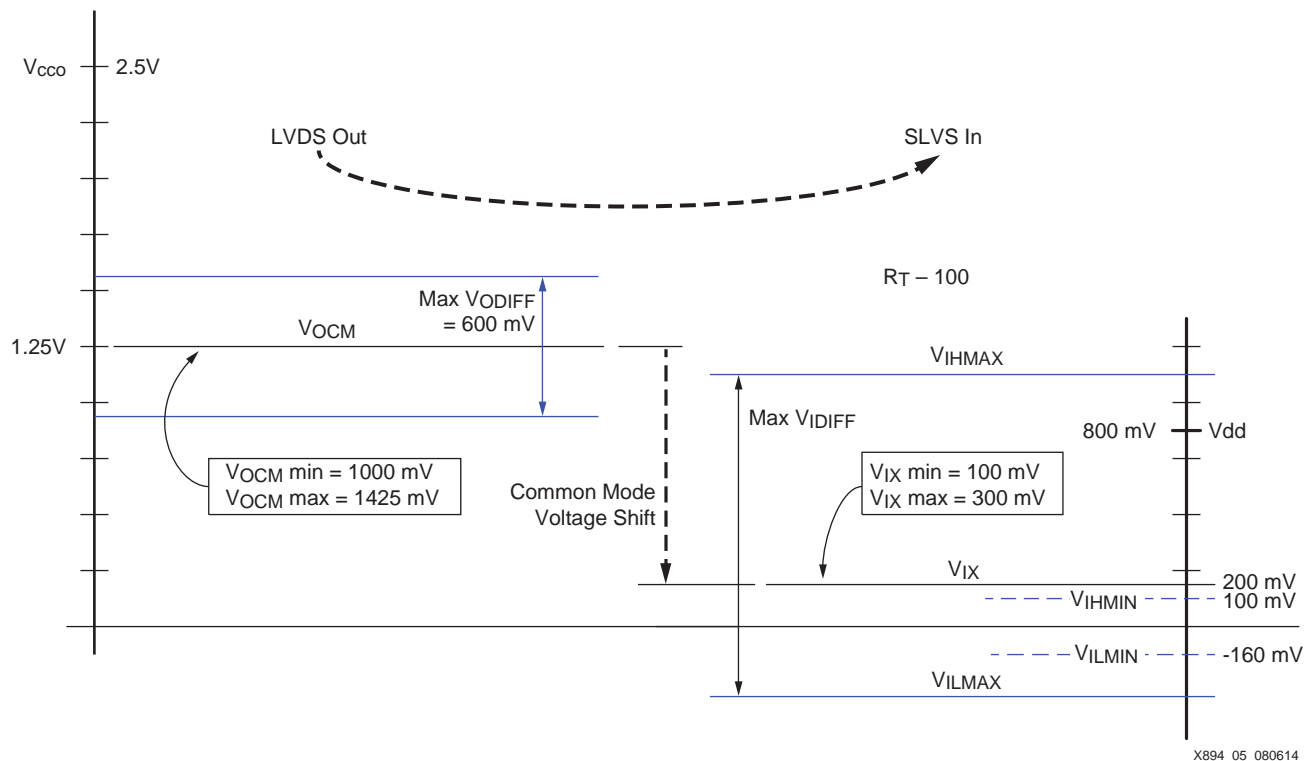


図 5 : LVDS の信号レベルから SLVS へ

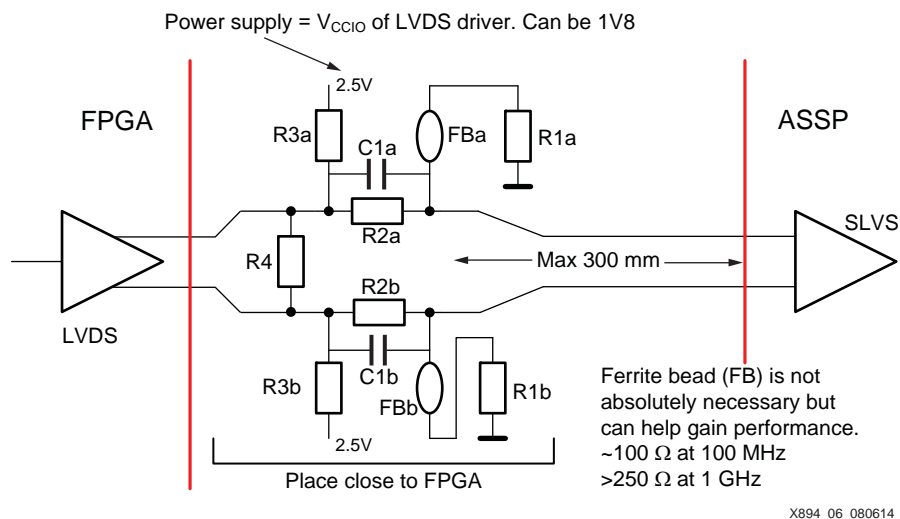


図 6: 基本の DC 結合回路

図 7 では、SLVS トランスミッター (右) と LVDS レシーバーの信号レベルを示しています。FPGA の LVDS レシーバーは、内部のオンダイ終端抵抗を使用して、同相電圧を 300mV まで下げることができます。外部終端抵抗を使用した場合は、同相電圧を 100mV まで下げることができます。

重要: 高性能 (HP) I/O バンクの LVDS I/O には、必ず外部終端抵抗を使用してください。

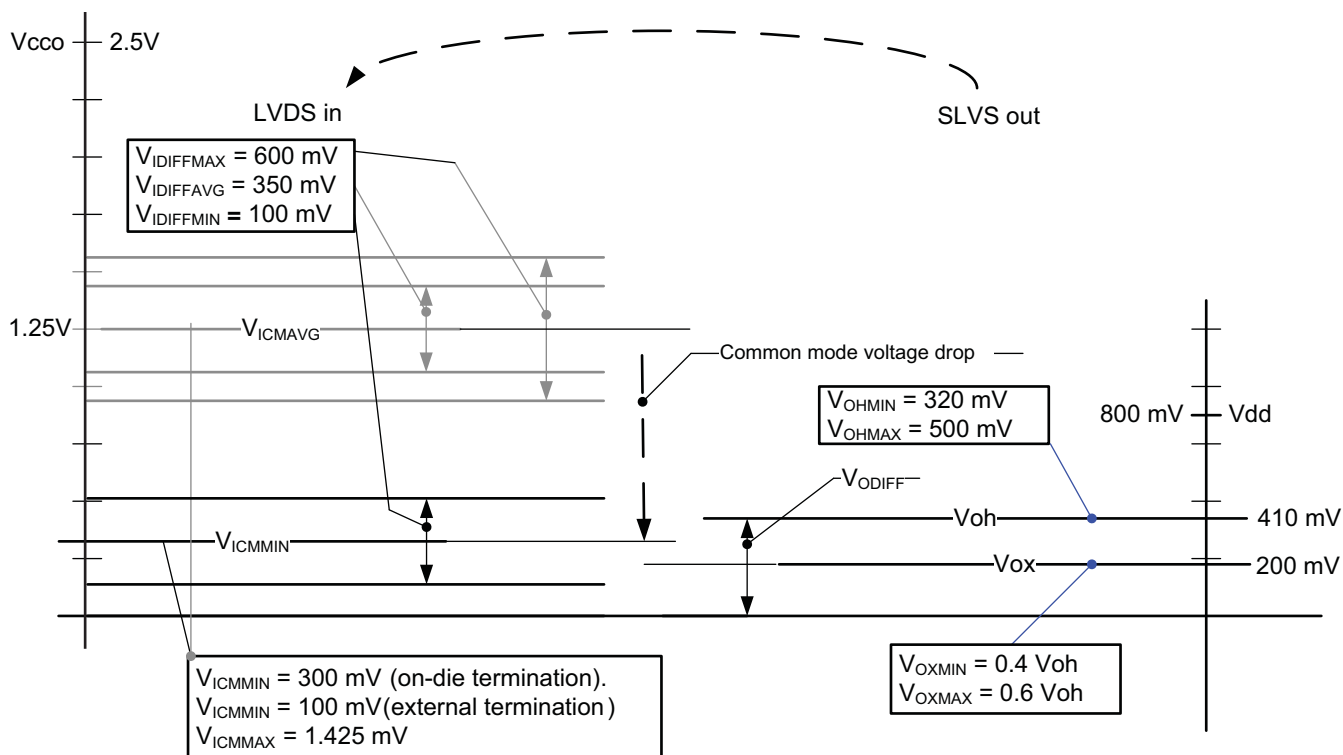


図 7: SLVS の信号レベルから LVDS へ

HSTL

汎用の高速トランシーバー ロジック (HSTL) は、IBM 社が提唱する 0V ~ 1.5V のバス規格です (EIA/JESD 8-6)。HSTL は、電圧がスケラブルでテクノロジーの影響を受けない I/O 構造に最適です。この規格で求められる I/O 構造は次のとおりです。

- 差動アンプ入力、またはシングルエンド入力 (一方の入力がユーザー設定可能な入力基準電圧に接続される差動入力)
- デバイスを駆動する電圧とは異なる可能性がある電源入力 (V_{CC0}) を使用する出力

HSTL 規格には 4 つのバージョン (クラス) があります。

- クラス I (未終端、または対称的な並列終端、D-PHY に使用)
- クラス II (直列終端)
- クラス III (非対称の並列終端)
- クラス IV (非対称の二重並列終端)

注記: 対称的な並列終端では、ロード側の終端抵抗が出力バッファー電源電圧の 1/2 に接続されます。二重並列終端では、伝送ラインの両端に並列終端抵抗が配置されます。

表 4: FPGA の電氣的 HSTL-I-1.8V 仕様

規格	シンボル	DC パラメーター	条件	最小	標準	最大	単位
差動 HSTL_I (1.8V)	V_{CC0}	電源電圧		1.710	1.800	1.890	V
	V_{OH}	両 SE の最大出力電圧	$R_T = 50\Omega$	1.400			V
	V_{OL}	両 SE の最小出力電圧	$R_T = 50\Omega$			0.400	V
	V_{DIFF}	差動出力電圧		0.100		1.125	V
	V_{ICM}	同相入力電圧	$V_{DIFF} = 0.9V$	0.300	0.900	1.425	V
	V_{REF}	SE の基準電圧		0.855	0.900	0.945	V
	V_{OL}/V_{OH}	出力電流		-8.00		8.00	mA

LVDS とは異なり、HSTL ドライバーは電流ではなく電圧ドライバーです。伝送ラインの末端または先端部分で終端する目的は終端処理であり、レシーバー用に必要な電圧を生成する目的の LVDS とは異なります。HSTL ドライバーが提供できる電流は、最大 8mA です。

図 8 に、SLVS レベルから HSTL-I-1.8V、または HSTL-I-1.8V から SLVS レベルへの変換を示します。

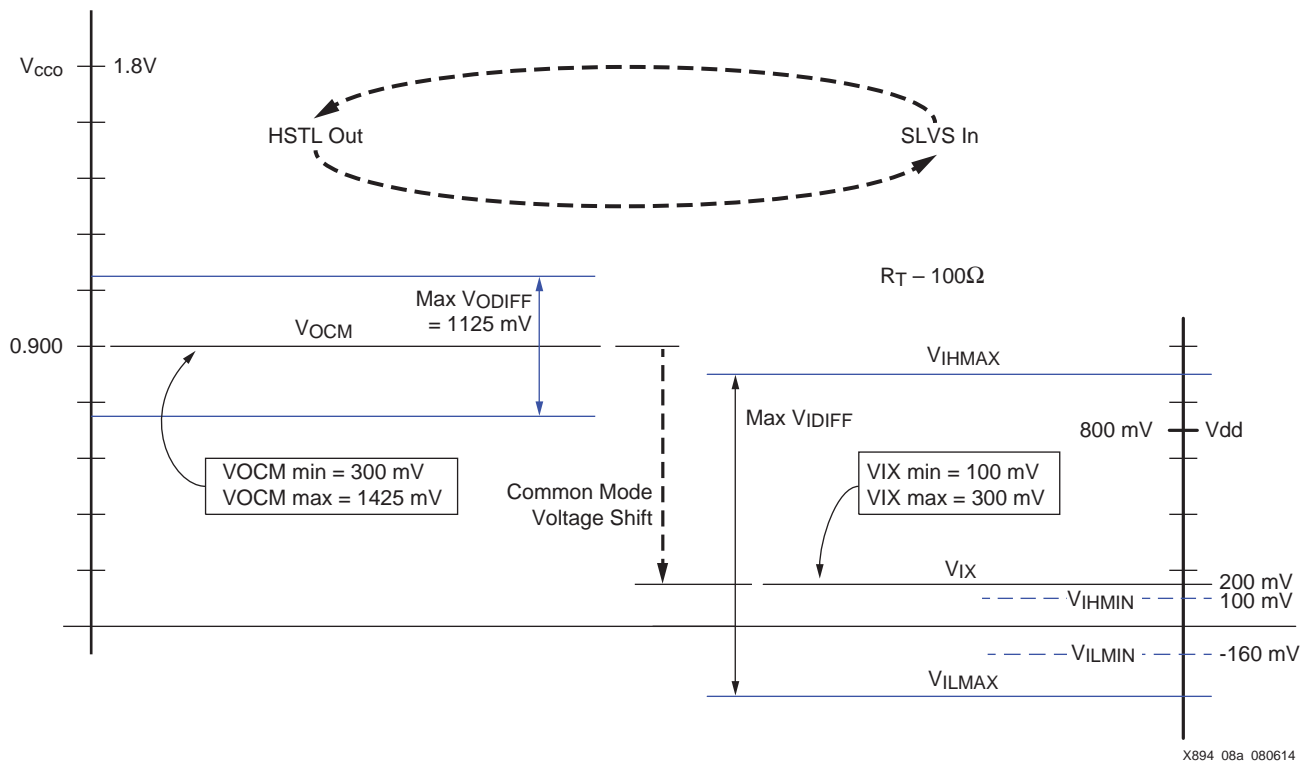


図 8 : SLVS から HSTL-I-1.8V および HSTL-I-1.8V から SLVS への変換

低電力インターフェイス

D-PHY を使用する低電力 (LP) シングルエンド I/O の規定レベルは 1.2V です。

FPGA に D-PHY と同じ回路を実装するには、D-PHY の HS と LP 用に独立した I/O ピンを使用する必要があります。



推奨：推奨される最も簡単な方法は、高速信号と低電力信号を同じ I/O バンクに密接配置させることです。同じ I/O バンクに共存できる I/O 規格の種類に注意する必要があります。

LVC MOS 1.8V は、LVDS および HSTL と同じ I/O バンクに共存可能なシングルエンド I/O 規格です。7 シリーズ FPGA では、LVDS、HSTL、LVC MOS 18、および HSUL 12 が 1.8V の I/O バンクに共存できます。

トランスミッターの電圧振幅は、D-PHY 1.2V 低電力入力の入力レベルを超えます。図 9 に、FPGA LVCMOS 1.8V と D-PHY 1.2V の電圧レベルを示します。



注意: D-PHY 仕様には最大値が規定されていませんが、低電力モードでサードパーティの D-PHY デバイスを使用する際には注意が必要です。

1.2V 低電力 D-PHY トランスミッターの電圧振幅は、FPGA LVCMOS 入力を動作させるのに必要な最低限の要件を満たすにすぎないため、1.2V レベルの受信は問題となります。この問題は、レシーバーに HSUL_12 I/O 規格を使用することで解決できます。HSUL レシーバーは、I/O バンク内の I/O 規格とは無関係に 1.2V レベルを使用します。したがって、ここで提案される実装済み準拠レシーバーは、HSUL 入力を使用しています。

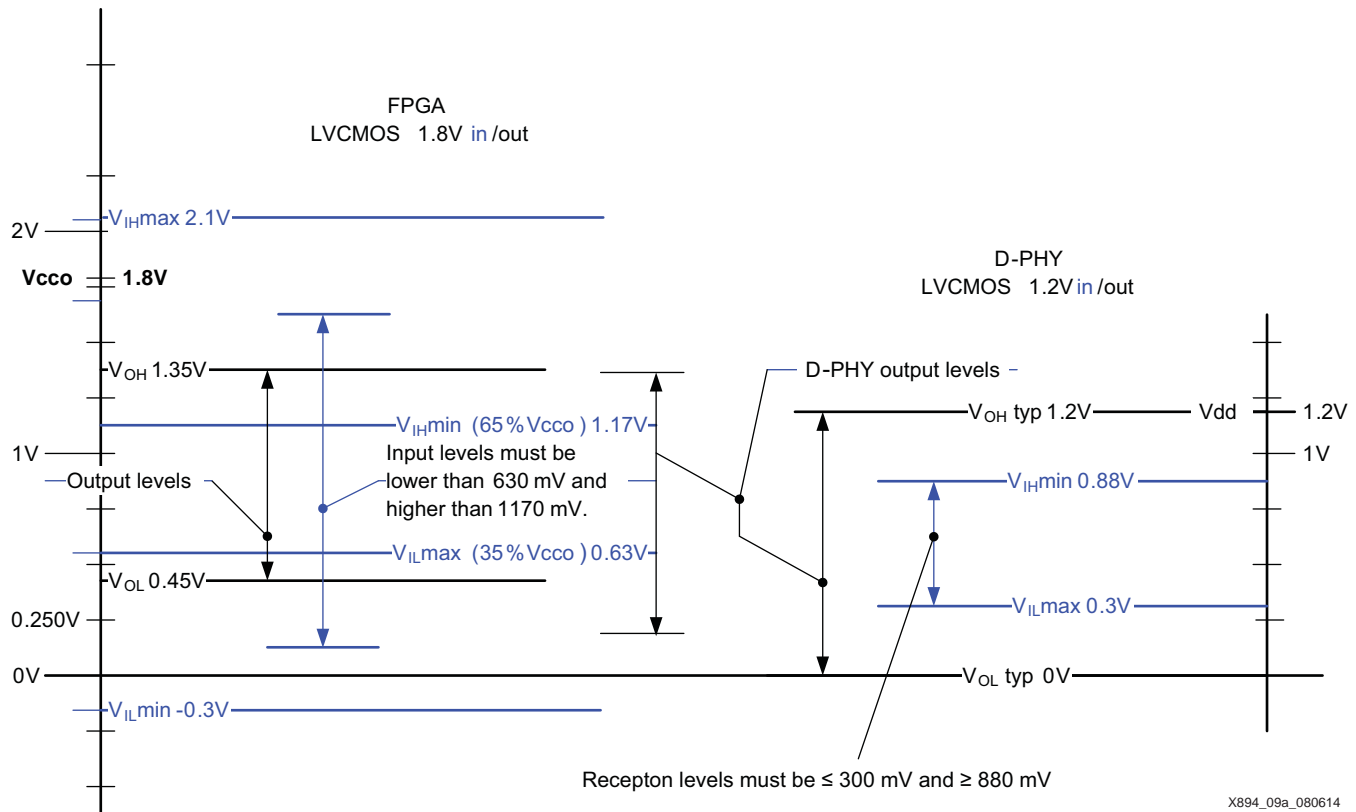


図 9 : FPGA LVC MOS と D-PHY LVC MOS 1.2V

D-PHY 等価

FPGA は、MIPI D-PHY を備えたデバイスへ接続することが可能です。このアプリケーション ノートでは、2 つのソリューションについて説明します。

- プロプライエタリ デザインやコストを重視するシステムでは、仕様が満たされ、あらゆる状況での確実なリンク動作が保証されている限り、完全な準拠や最高の性能は必要ない場合があります。デザイン要件を満たすには、送信部と受信部に低コストな抵抗器ネットワークがあれば十分です。このようなソリューションは、「[互換ソリューション](#)」で詳しく説明しており、FMC MIPI 開発ボードで使用されています。
- MIPI への完全準拠や最高性能を求めるデザインやシステム、あるいはコスト制限のないシステムは、外部 PHY コンポーネントを使用できます。ソース同期の LVDS インターフェイスを介して FPGA を外部 PHY コンポーネントへ接続します。このセットアップの詳細は、「[準拠ソリューション](#)」を参照してください。

互換ソリューション

現在の FPGA は、D-PHY (MIPI) に完全準拠する I/O を備えていないため、示している単方向のトランスミッターおよびレシーバーのソリューションは、プロプライエタリな使用に限定されます。このソリューションは、D-PHY の電氣的仕様をサポートするという点で D-PHY 規格との互換性を備え、FPGA を MIPI 対応のコンポーネントへ直接接続できるようにします (あるいは MIPI 準拠のコンポーネントを FPGA へ接続可能にします)。

信号レベルを適合させたり、異なる電源と信号レベルを持つ異なる種類の I/O を接続するには、さまざまな方法があります。どの回路を選択するかは、スピード、コスト、スペースなどで決まります。

目標は、300mm の距離で MIPI デバイスと FPGA が 800Mb/s 以上で通信できるようにすることです。図 10 (トランスミッター) および図 11 (レシーバー) の回路では、FPGA と MIPI デバイス間で最大 800Mbps が可能です。これらのセットアップ

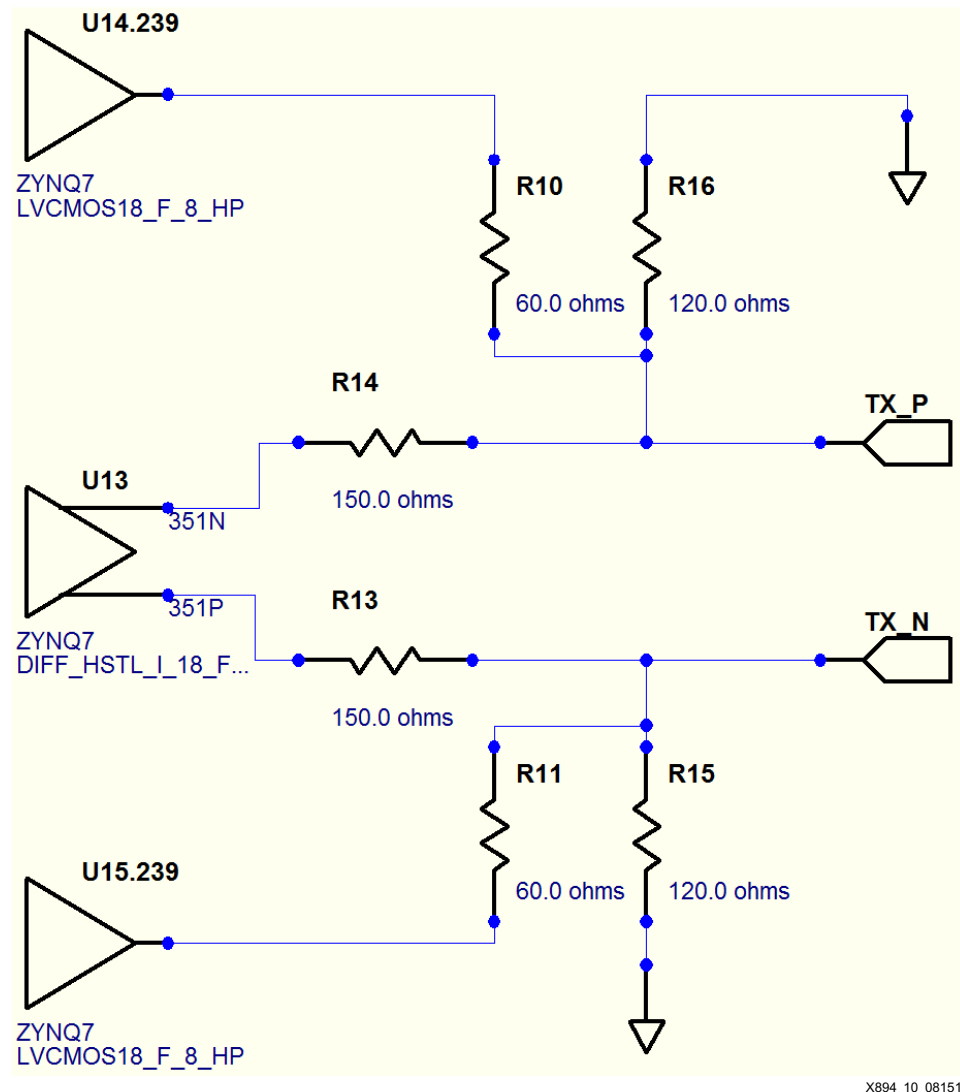
プでは、MIPI 信号レベルでのループバック接続も可能です。D-PHY 互換のトランスミッターおよびレシーバーのシミュレーション結果は、以降のページで示します。

ここで提示する例は、Hyperlynx と SPICE でシミュレーションし、D-PHY FMC 開発ボードを使用してハードウェア上でテストしたものです。D-PHY FMC 開発ボードは、テクニカル サポートを通して評価版として入手可能です。回路図およびシミュレーションのセットアップは、<https://secure.xilinx.com/webreg/clickthrough.do?cid=363874> からダウンロードできます。



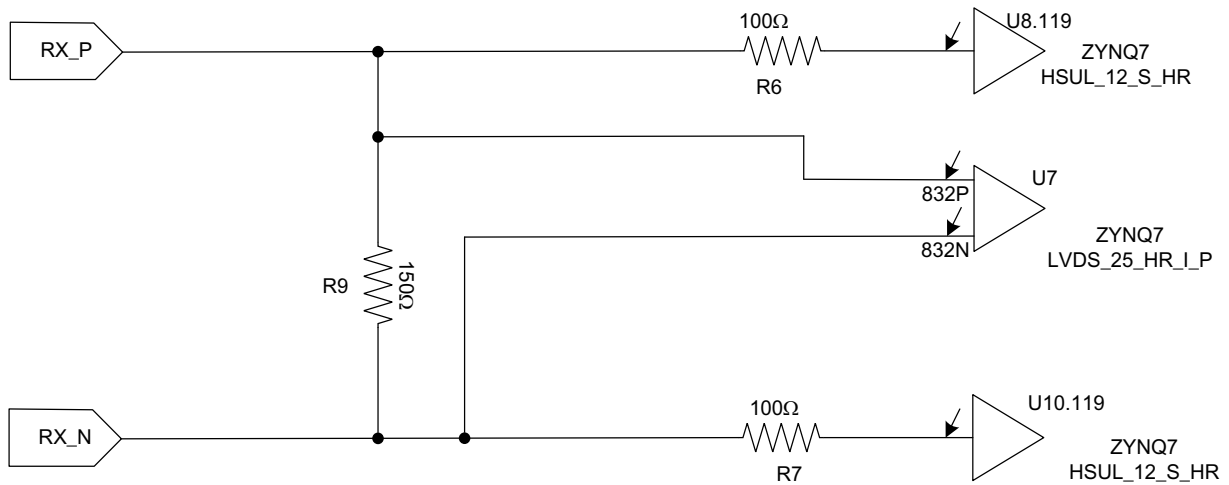
推奨：デザインのソースコードに入力バッファ (IBUF/IBUFDS) および出力バッファ (OBUF/OBUFDS) をインスタンスシートすることを推奨します。UCF、XDC、またはソースコードで、IOSTANDARD、DRIVE (より高いレベルを使用)、および LOCtion などの属性を設定してください。

IOSTANDARD は、使用する回路およびトポロジによって異なります。差動 I/O の場合は、LVDS、BLVDS、または HSTL に設定し、シングルエンド I/O の場合は LVCMOS_1.8V または HSUL_1.2V に設定してください。図 10 および図 11 に、ザイリックス開発ボードで使用する I/O 規格を示します。



X894_10_081514

図 10 : FPGA 対応の D-PHY トランスミッター

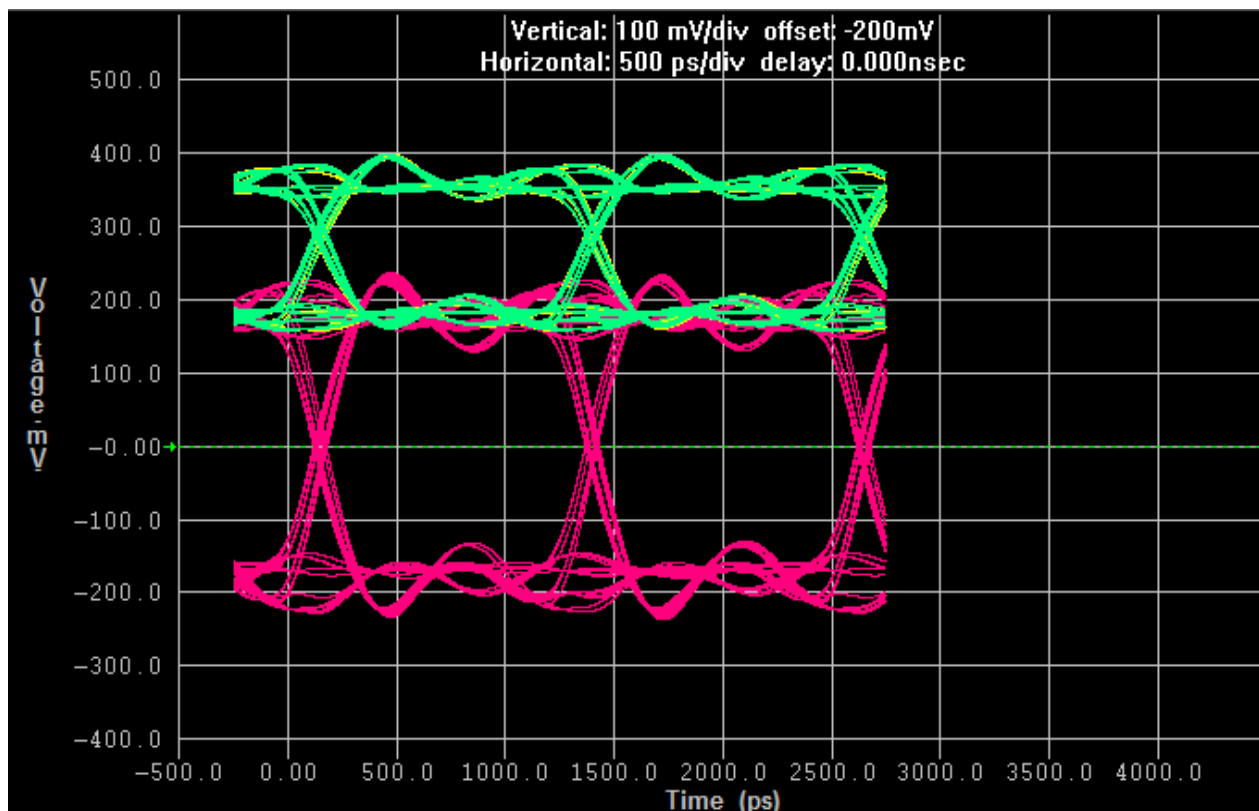


X894_11_072914

図 11 : FPGA 対応の D-PHY レシーバー

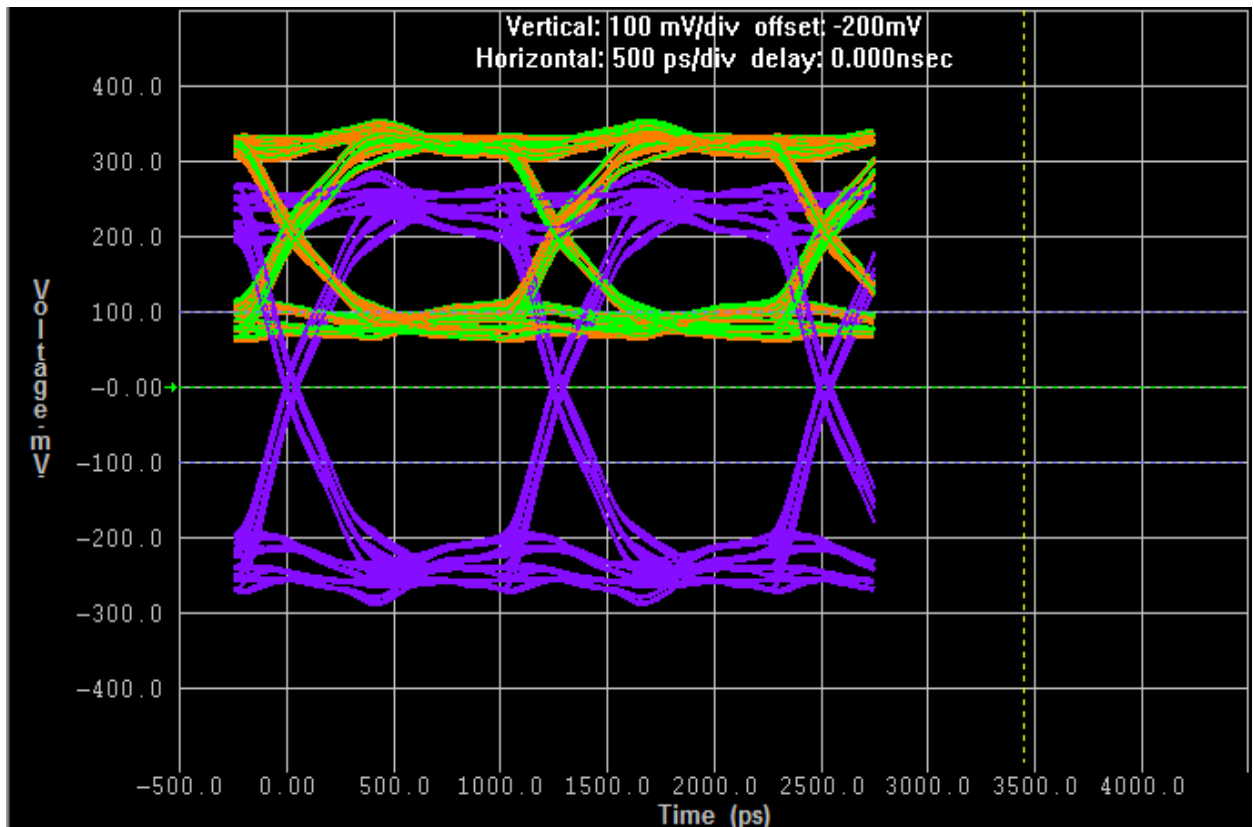
図 12 および図 13 に、図 10 のトランスミッター回路と図 11 のレシーバー回路のシミュレーション結果を示しています。

- TX_LP_x : LVCMOS_18 は 0 に固定
- TX_HS : DIFF_HSTL_I は 800Mb/s
- RX は HS モードで MIPI 準拠レシーバーを使用
- 回路トポロジは 100nm (4 インチ) ボード トレースを使用



X894_12_071514

図 12 : FPGA トランスミッターから MIPI レシーバーの測定 (800Mb/s のレシーバー ダイで測定)



X894_13_071514

図 13 : FPGA レシーバー (入力ピンで測定した結果)

準拠ソリューション

このソリューションは、アクティブ コンポーネントを使用して、FPGA レベルに高性能 MIPI D-PHY インターフェイスを実現します。FPGA の前に配置されるコンポーネントが D-PHY 仕様で求められるすべての電氣的機能を実行します。D-PHY ラインの制御機能およびインターフェイス機能は、FPGA 内にロジックとして備える必要があります。これらの PHY コンポーネントは、[Meticom](#) 社が提供しています。

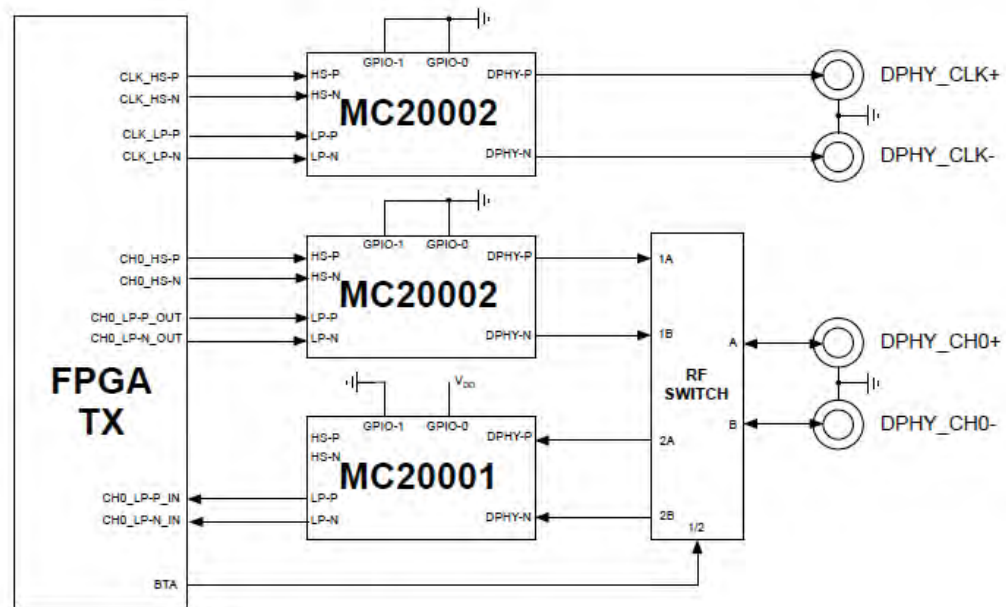
利用可能なコンポーネントは次のとおりです。

- MC20001 および MC20002 : シングル レーン コンポーネント
- MC20901 および MC20902 : 5 レーン (4 データ、1 クロック) コンポーネント。これらのコンポーネントは統合性に優れています。したがって、必要なコンポーネント数が少なくて済むため、密接に統合されたコンパクトなデザインが実現します。

これらの仕様およびデータ シートは、[Meticom](#) 社のウェブサイトを参照してください。

図 14 および図 15 は、シングル レーンの PHY コンポーネントを使用したデザインの例です。各デザインは、1 つのクロック レーンと 1 つのデータ レーンを示しています。これらのデザインでは、TS3USB221 MOSFET スイッチを利用できます。

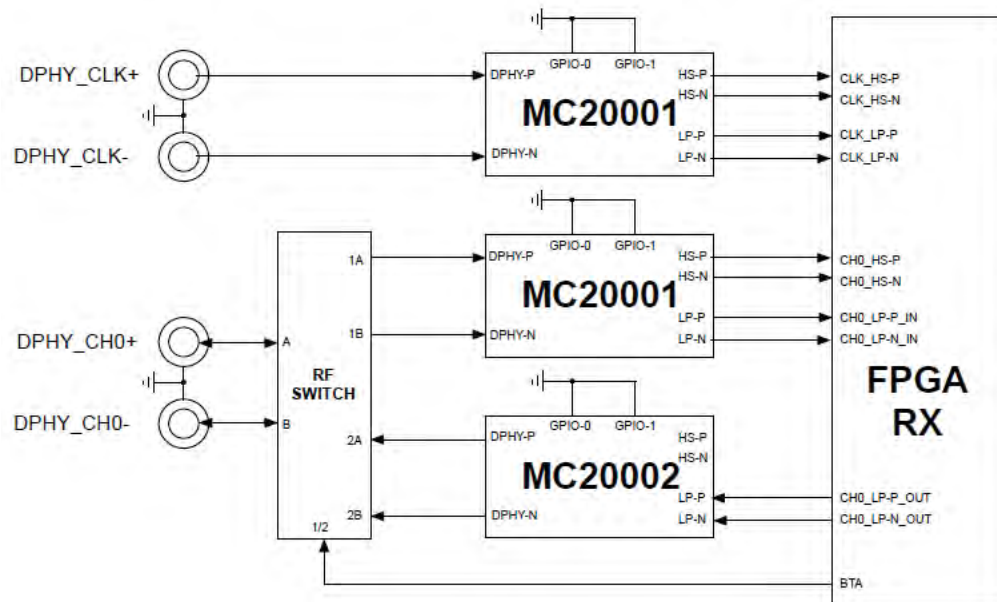
- FPGA から MIPI D-PHY
 - FPGA から送信される LVDS および LVCMOS 信号は、MIPI D-PHY 準拠ストリーム内で Meticom 社製デバイスによって変換されます。
 - PHY は、LVDS (D-PHY HS) 信号を最大 2.5Gb/s で、LVCMOS (D-PHY LPDT) 信号を最大 20Mb/s で受信します。
 - PHY は、レベル シフターを使用せずに、最大 2.5Gb/s で LVDS から SLVS へ変換します。



X894_19_062113

図 14: シングル コンポーネント FPGA から MIPI へのブリッジ

- MIPI D-PHY から FPGA へ
 - D-PHY 準拠ストリームは、FPGA 用に LVDS および LVCMOS 信号に変換されます。
 - PHY は、LVDS (D-PHY HS) 信号を最大 2.5Gb/s で、LVCMOS (D-PHY LPDT) 信号を最大 20Mb/s で送信します。
 - D-PHY の終端は自動的に切り換えられます。



X894_20_062113

図 15: シングル コンポーネント MIPI から FPGA へのブリッジ

PCB ガイドライン

コンポーネントの配置

さまざまな回路コンポーネントを PCB 上のピン配置に従いながら、できる限り密接に、そして FPGA の近くに配置する必要があります。曲げ数、コーナー数、ビア数は最小限に抑えます。ピン配置における FPGA の柔軟性は、PCB 配線の最適化に役立ちます。

直線で短い接続は、PCB レイアウトのすべての特性を向上させます。

- シグナル インテグリティ
- 伝送ラインの影響
- 容量とインダクタンス
- 動作周波数

コンポーネント間の距離が長くなると、伝送ラインの影響が問題になります。反射を抑えるために、すべての伝送ラインに適切な終端処理を行う必要があります。

ガイドラインおよび推奨事項

PCB デザインの主なガイドラインは次のとおりです。

- コンポーネントを配置してレイアウトを決定する際には十分な時間を費やします。
- トレース長はできる限り短くします。
- 必要な抵抗やキャパシタは、できる限り FPGA の近くに配置します。
- PCB 層の数や層のスタックアップ方法の決定に時間を費やします。
- 可能であれば、PCB レイアウト時に、トレース上の信号の伝達時間や反射時間よりも短くなるようにトラック長を調整してください。不可能な場合は、伝送ラインの理論を考慮して設計を行います。
- すべての差動トレース (データ、クロック) の長さを一致させます。
- 差動トレースを曲げる場合は、右と左の曲げ数を同じにします。
- 差動トレースを曲げる場合は、ペアの内側のトレースが外側のトレースよりも短くなります。一方向に多くの曲げを使用する場合、差動ペアの一方のトレースがもう一方よりも長くなります (直接修正の可能性がない場合)。
- トレースを 90° または 180° に曲げて配線しないようにしてください。このように曲げると、トレース幅の実効幅が増加し、寄生容量が増加します。非常に高速なエッジ レートの場合、これらの不連続性がシグナル インテグリティに深刻な問題を引き起こします。90° または 180° ではなく、緩やかな角度を使用してください。それも難しい場合は、45° で配線してください。
- PCB の有効なスペースに配線後、トレースを拡散させてクロストークを最小限に抑えます。
- 信号のリターンパスに関するガイドラインに従ってください。
- 必要に応じてトレースを保護します。
- グランド プレーンの重要性を考慮して設計します。
- 電源とグランド用には個別の専用プレーンを使用します。
- PCB の外側の層で高速信号を実行します。外側の PCB 層では信号の動作が高速化します。
- 高速信号が PCB 層の内側に配置されている場合は、外側の層にトレースを模倣するためのスペースを設けてください (図 16 参照)。

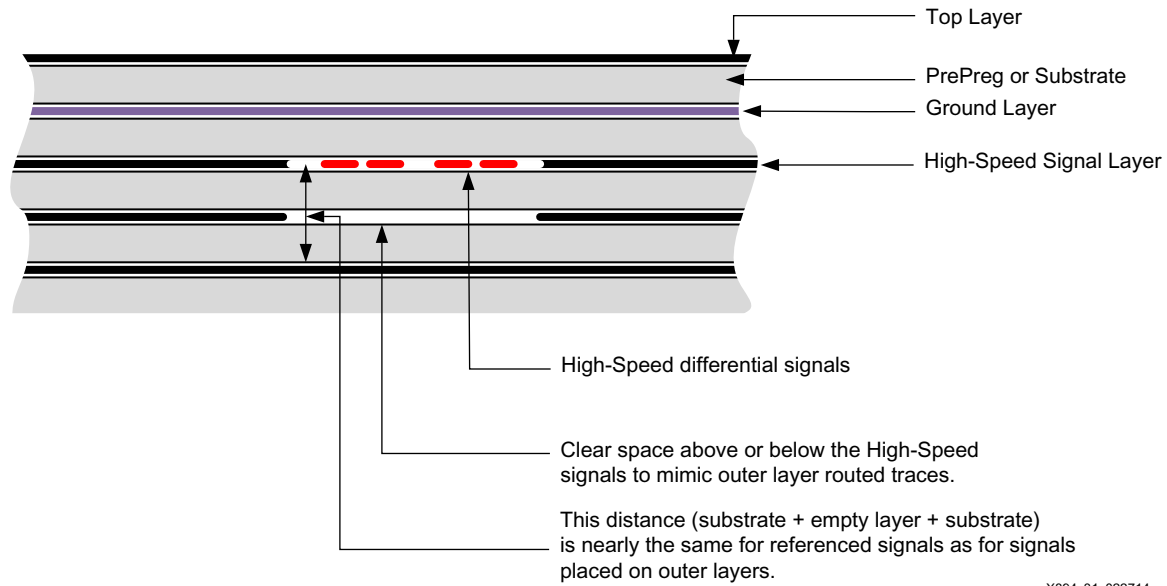


図 16 : PCB プレーンの内側に配置された差動高速トレース

- 差動トレース ペア間に十分なスペースを与え、同じ層上の信号トレースと近くのグラウンド プレーン間に十分なスペースを設けます (図 17 参照)。

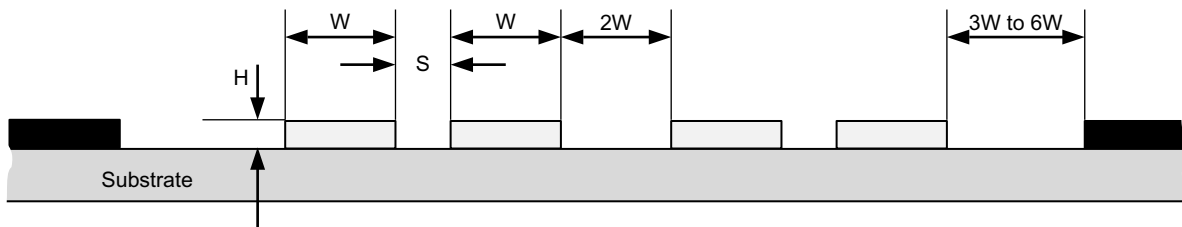


図 17 : トレース間の距離

- 1 つのトレースにおけるビア数を制限します。
- ビアを縦方向トレースとして扱います。つまり、ビア サイズ、アンチビア サイズ、および差動トレースの場合はビアの距離を計算します。
- 高品質のデカップリング キャパシタ (NP0、X7R、OSCON、など) を使用します。
 - ボール グリッド レイアウトの FPGA の下に高周波積層セラミックキャパシタを配置します。
 - 各 I/O バンクにミドル レンジのセラミックまたはタンタル キャパシタを使用し、それらをパッケージ境界近くに配置します。
 - PCB 上の各コンポーネントに複数のバルク キャパシタを使用します (図 18 参照)。

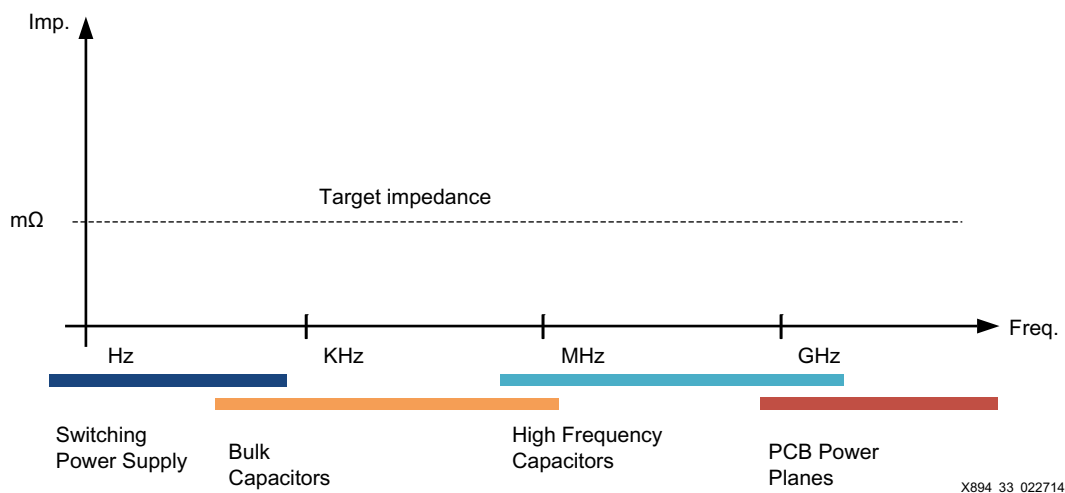


図 18 : PCB とデカップリング キャパシタの範囲

まとめ

このアプリケーション ノートで説明した外部回路を使用することで、MIPI インターフェイス経由で FPGA を ASSP デバイスへ接続できます。互換 (プロプライエタリ) ソリューションは、HS トラフィック用に BLVDS または DIFF_HSTL_I_18 としてコンフィギュレーションした FPGA I/O と、LP トラフィック用に LVCMOS_18 または HSUL_12 としてコンフィギュレーションした FPGA I/O を使用します。一方、準拠ソリューションは、LVDS としてコンフィギュレーションした FPGA I/O を使用して外部の PHY コンポーネントへ接続します。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2014 年 8 月 25 日	1.0	初版

法的通知

The information disclosed to you hereunder (the "Materials") is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of Xilinx's limited warranty, please refer to Xilinx's Terms of Sale which can be viewed at <http://www.xilinx.com/legal.htm#tos>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in such critical applications, please refer to Xilinx's Terms of Sale which can be viewed at <http://www.xilinx.com/legal.htm#tos>.

Automotive Applications Disclaimer

XILINX PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS APPLICATIONS RELATED TO: (I) THE DEPLOYMENT OF AIRBAGS, (II) CONTROL OF A VEHICLE, UNLESS THERE IS A FAIL-SAFE OR REDUNDANCY FEATURE (WHICH DOES NOT INCLUDE USE OF SOFTWARE IN THE XILINX DEVICE TO IMPLEMENT THE REDUNDANCY) AND A WARNING SIGNAL UPON FAILURE TO THE OPERATOR, OR (III) USES THAT COULD LEAD TO DEATH OR PERSONAL INJURY. CUSTOMER ASSUMES THE SOLE RISK AND LIABILITY OF ANY USE OF XILINX PRODUCTS IN SUCH APPLICATIONS.

© Copyright 2014 Xilinx, Inc. Xilinx, the Xilinx logo, Artix, ISE, Kintex, Spartan, Virtex, Vivado, Zynq, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. All other trademarks are the property of their respective owners.

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。フィードバックは日本語で入力可能です。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。