

2024 超大型積體電路電腦輔助設計概論

2024 Introduction to VLSI CAD

Lab 10

學號：E24116152

姓名：劉冠好

※作業要求的圖請使用**電腦截圖程式**截取，請勿用手機拍照的方式繳交

※Report 檔請以 pdf 的格式繳交

A. XOR

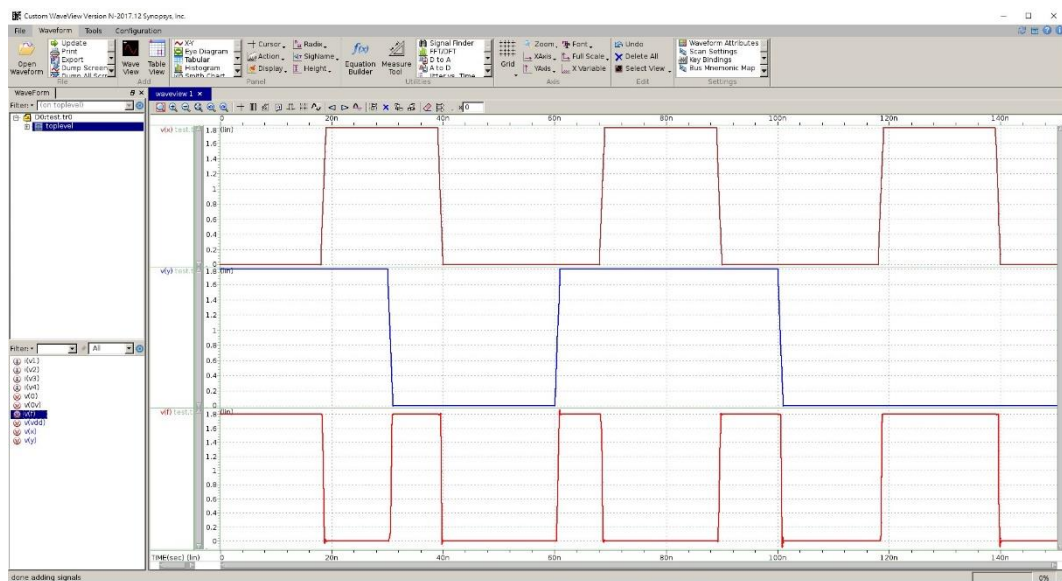
1. Presim

i. 請截取 terminal 顯示 job concluded 的圖

```
vlsicad6:/home/user2/vlsi24/vlsi2424/layout % hspice -i lab10_testbench.sp -o test.lis
Using: /usr/cad/synopsys/hspice/cur/hspice/linux64/hspice -i 'lab10_testbench.sp' -o test.lis

>info:          ***** hspice job concluded
vlsicad6:/home/user2/vlsi24/vlsi2424/layout %
```

ii. 請截取 WaveView 中的波形



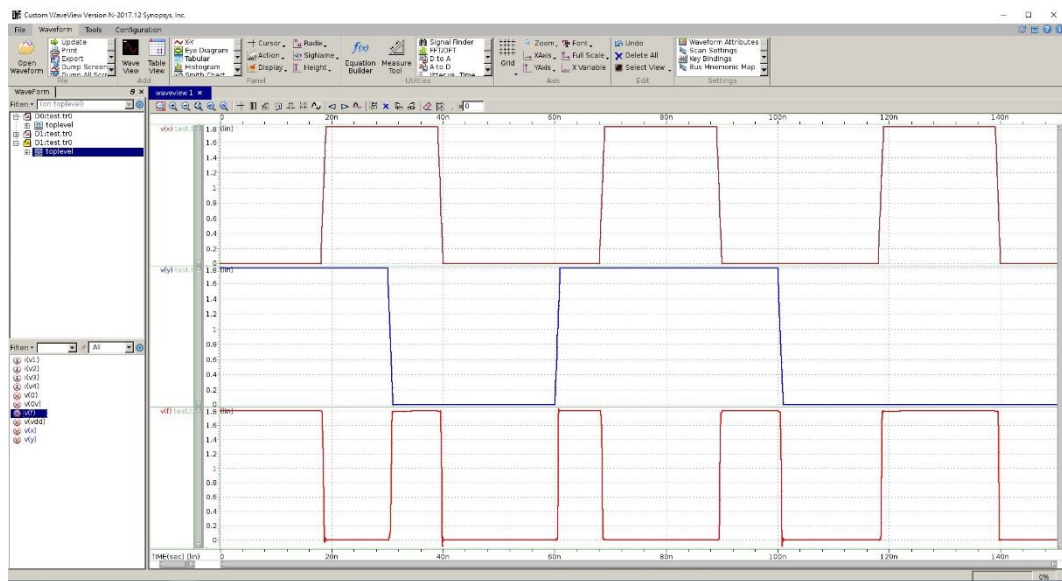
2. Post-sim

i. 請截取 terminal 顯示 job concluded 的圖

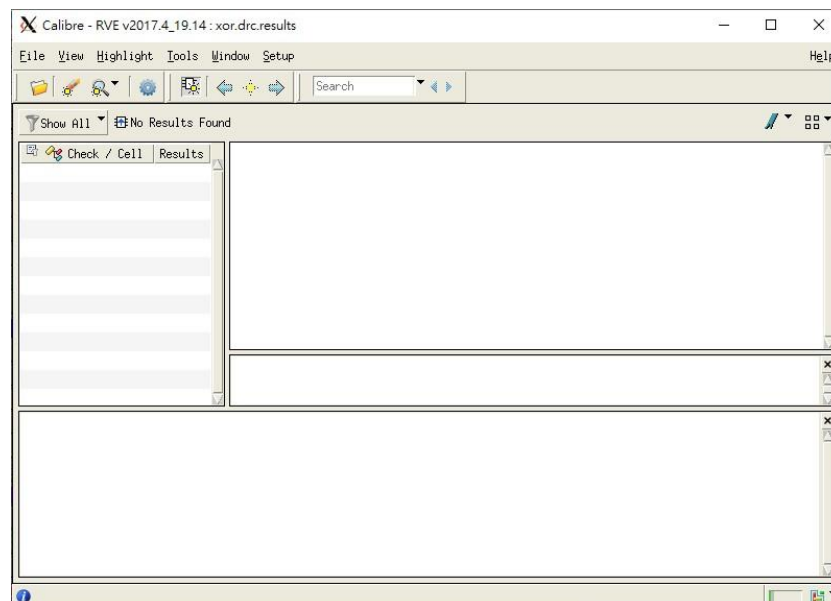
```
vlasicad6:/home/user2/vlsi24/vlsi2424/Lab10_E24116152 % hspice -i lab10_testbench.sp -o test.lis
Using: /usr/cad/synopsys/hspice/cur/hspice/linux64/hspice -i 'lab10_testbench.sp' -o test.lis
Warning(s) associated with encrypted block(s) were suppressed due to encrypted content.

>info:          ***** hspice job concluded
vlasicad6:/home/user2/vlsi24/vlsi2424/Lab10_E24116152 %
```

ii. 請截取 WaveView 中的波形



iii. DRC/LVS 結果



3. 嘗試簡單說明 Presim 與 Post-sim 結果比較

兩者大致相同，但從 Post-sim 的波型圖中可以觀察到訊號有較多雜訊，推測為些許寄存電容影響。

B. 心得討論

有了前面畫 layout 的經驗，這次畫得較快，但對於如何縮小面積還是有點不擅長。