

高速数字电路设计

概述

➤ 高速数字信号：

✓ 由信号的边沿速度决定，通常认为上升时间小于4倍信号传输延迟的信号称为高速数字信号。

✓ 错误的概念：8KHz时钟信号是低速信号

➤ 经典参考书：

✓ High Speed Digital Design – A Handbook of Black Magic

✓ High-Speed Digital System Design – A Handbook of Interconnect Theory and Design Practices

✓ Digital Signal Integrity – Modeling and Simulation with Interconnects and Package

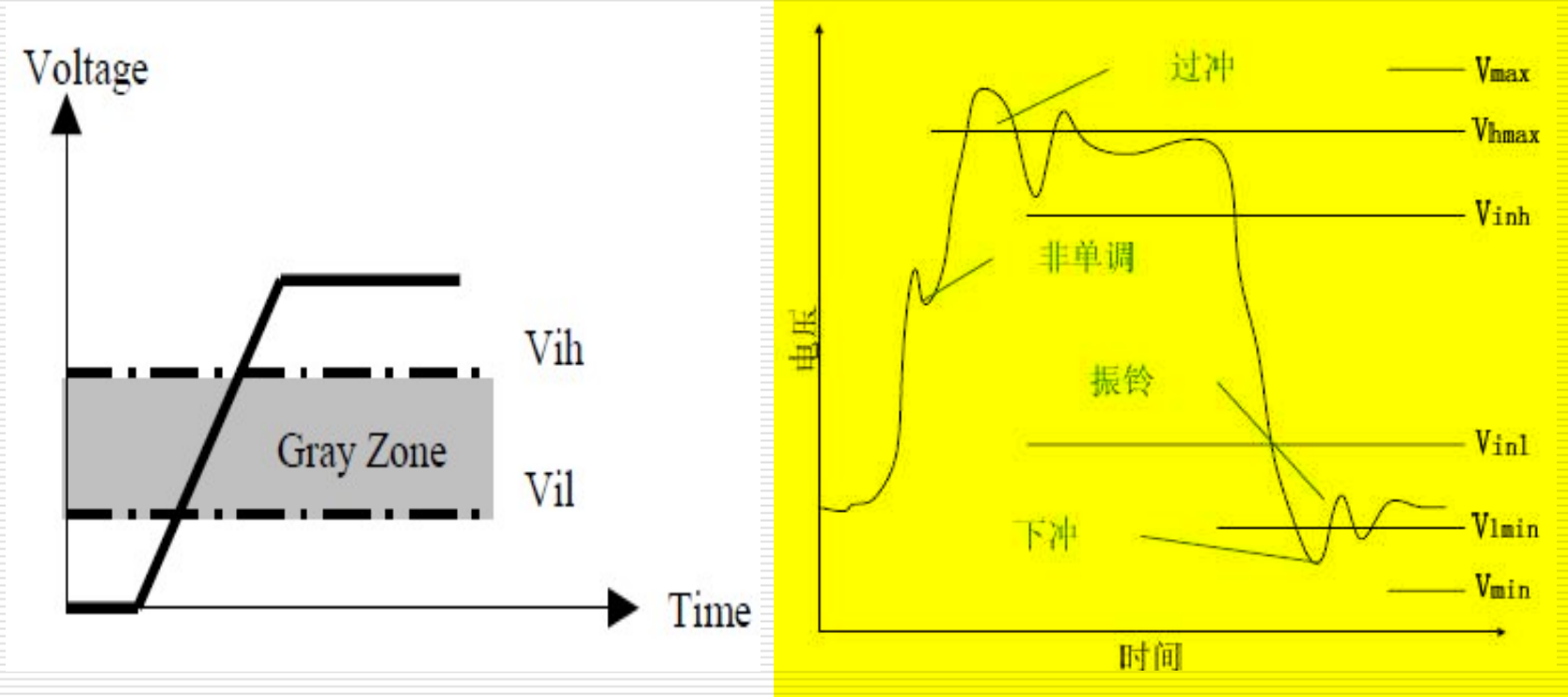
高速数字电路设计

信号完整性 (Signal Integrity, SI)

- 信号完整性主要关心两方面问题：时序和质量
 - ✓ 信号是否在正确的时间内到达接收端？
 - ✓ 信号的质量是否符合要求？
 - 信号完整性问题主要包括过冲、振铃、非单调等
 - 影响信号完整性的因素主要有反射、串扰、电磁干扰、电源/地噪声等
-

高速数字电路设计

信号完整性（Signal Integrity, SI）



理想信号波形与实际信号波形对比

高速数字电路设计

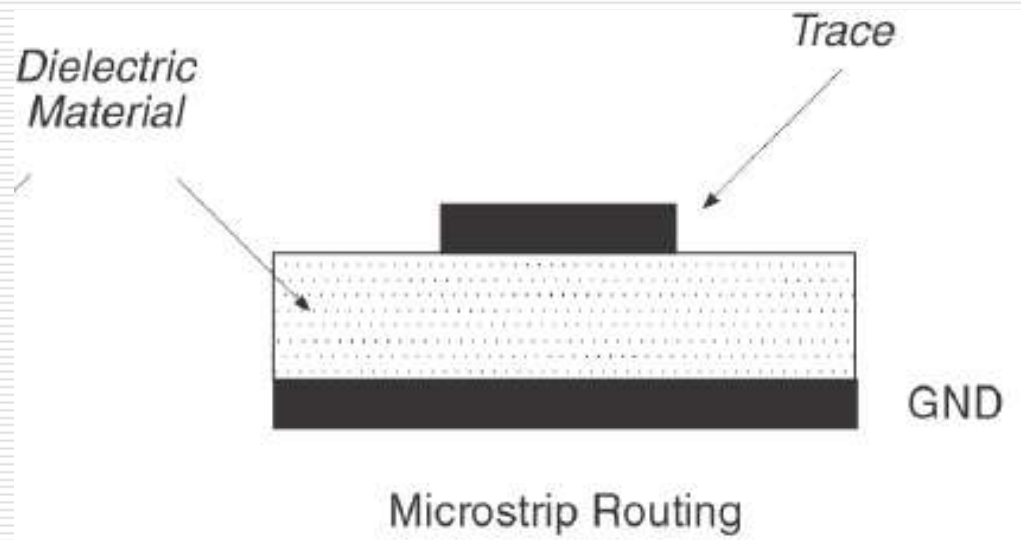
反射 (Reflections)

- 反射产生的主要原因是阻抗不连续和阻抗不匹配
 - ✓ 只有当 $Z_s = Z_L$ ，信号能量才能被负载完全吸收
 - ✓ 没有被吸收的能量会被反射回源端
- 解决反射问题的主要方法是阻抗匹配
- 需要掌握传输线 (Transmission Line) 特征阻抗的计算和阻抗匹配的典型电路
- 可以通过EDA软件进行仿真分析

微带线和带状线

高速数字电路设计

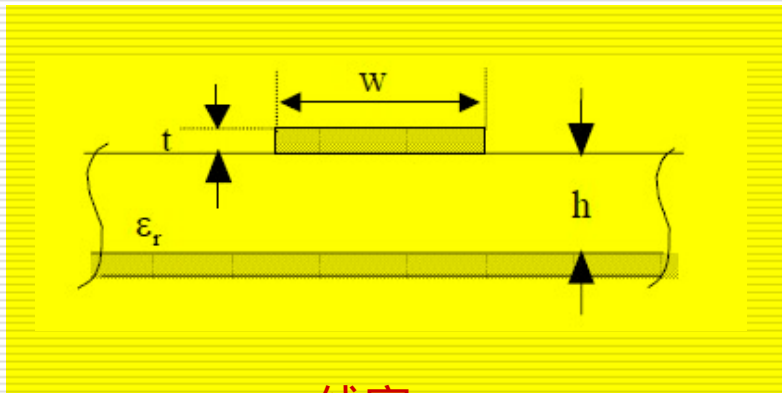
微带线 (Microstrip)



➤ 微带线是位于PCB表层，由电介质将其与参考平面（GND或VCC）隔开的传输线模型

高速数字电路设计

微带线特性



w : 线宽
t : 线厚度
h : 电介质厚度

$$Z_0 = \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln \frac{5.98h}{0.8w + t} \quad \Omega$$

$$t_{pd} = 1.017 \sqrt{0.457\epsilon_r + 0.67} \quad ns / ft$$

$$C_0 = 1000 \frac{t_{pd}}{Z_0} \quad pF / ft$$

$$L_0 = Z_0^2 C_0 \quad pH / ft$$

高速数字电路设计

微带线特性

➤例：假定PCB铜厚为1盎司（OZ）（即1平方英尺面积的铜箔重量为1 OZ，实际对应铜厚为35um，或1.4mil），线宽为10mil，电介质介电常数为5，电介质厚度为30mil，则相应微带线特性为：

$$Z_0 = \frac{87}{\sqrt{5+1.41}} \ln \frac{5.98 \times 30}{0.8 \times 10 + 1.4} \approx 100\Omega$$

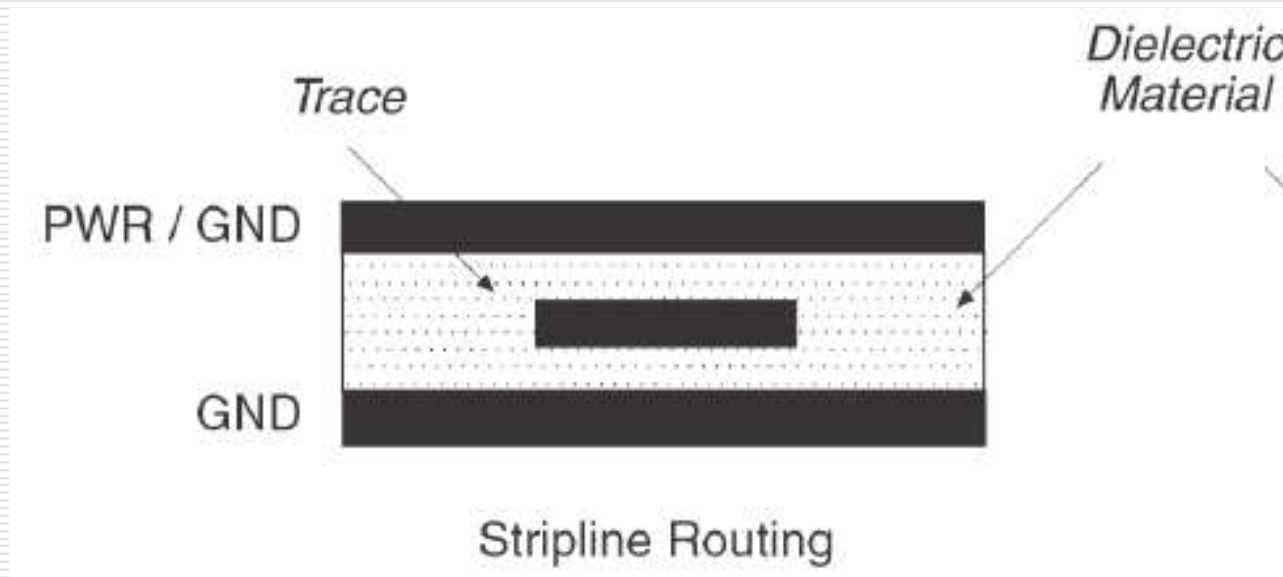
$$t_{pd} = 1.017 \sqrt{0.457 \times 5 + 0.67} \approx 1.75 ns / ft$$

$$C_0 = 1000 \times \frac{1.75}{100} = 17.5 pF / ft$$

$$L_0 = 100^2 \times 17.5 = 175 nH / ft$$

高速数字电路设计

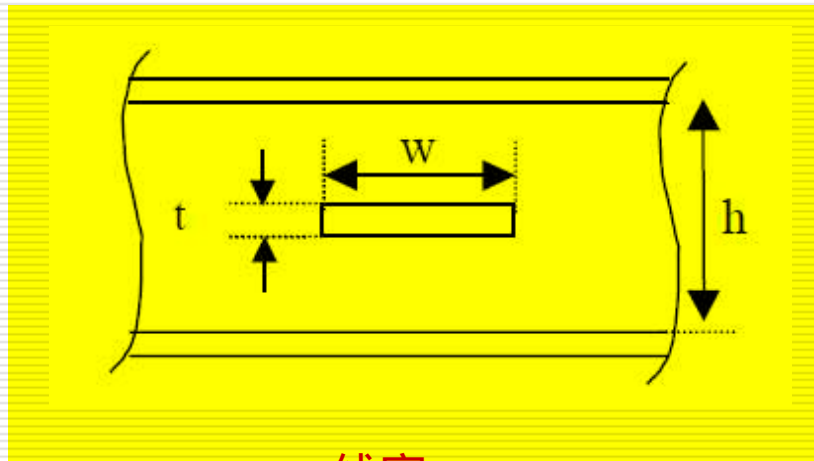
带状线 (Stripline)



➤ 带状线是位于PCB内部的，在两个参考平面之间的传输线模型

高速数字电路设计

带状线特性



w : 线宽
t : 线厚度
h : 电介质厚度

$$Z_0 = \frac{60}{\sqrt{\epsilon_r}} \ln \frac{4h}{0.67\pi w(0.8 + t/w)} \quad \Omega$$

$$t_{pd} = 1.017 \sqrt{\epsilon_r} \quad ns / ft$$

$$C_0 = 1000 \frac{t_{pd}}{Z_0} \quad pF / ft$$

$$L_0 = Z_0^2 C_0 \quad pH / ft$$

特征阻抗经验数据

➤ 对于FR-4材料（介电常数在4.5~5）：

✓ 75 Ω 微带线： $w \approx h$ ；

✓ 50 Ω 微带线： $w \approx 2h$ ；

✓ 75 Ω 带状线： $w \approx h/8$ ；

✓ 50 Ω 带状线： $w \approx h/3$ ；

高速数字电路设计

常用阻抗匹配方法

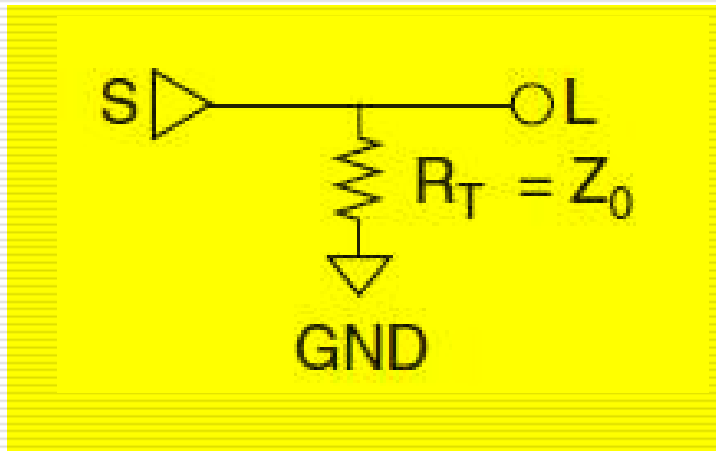
➤ 在电路设计中常用的阻抗匹配方法主要有：

- 终端匹配
- ✓ 简单并联匹配 并联电阻下拉到地
 - ✓ 戴维南匹配 并联电阻，一个上拉到VCC，一个下拉到GND
 - ✓ 有源匹配 并联电阻，上拉到偏置直流源
 - ✓ 串接RC匹配（交流匹配） 并联一组串接的RC到地
- 源端匹配 → ✓ 串联匹配

高速数字电路设计

简单并联匹配

终端匹配



➤ 优点:

✓ 电路结构简单

➤ 缺点:

✓ 高电平输出时，静态电流大

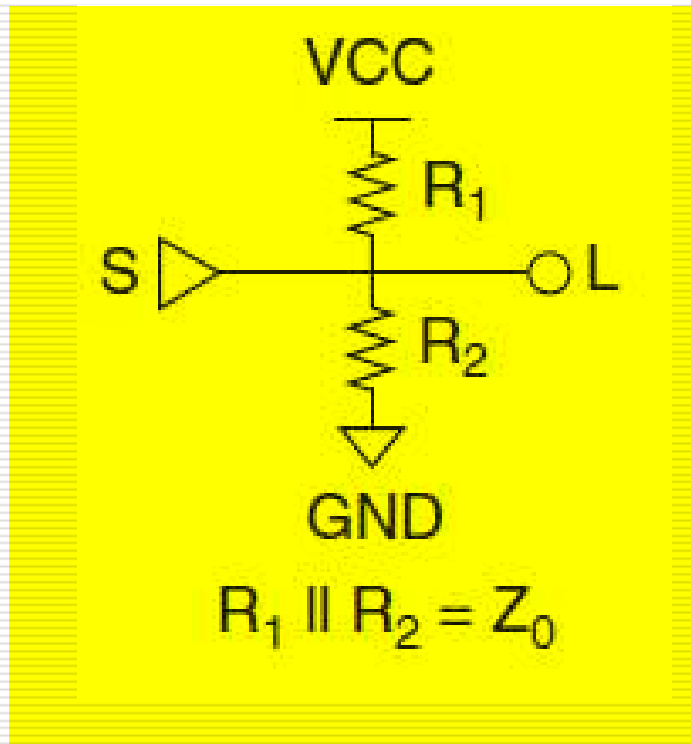
✓ 如果超出源端器件负载能力

I_{OH} ，则无法获得正确的高电平

高速数字电路设计

戴维南匹配

终端



➤ 优点:

- ✓ 减小了对源端器件负载能力的要求

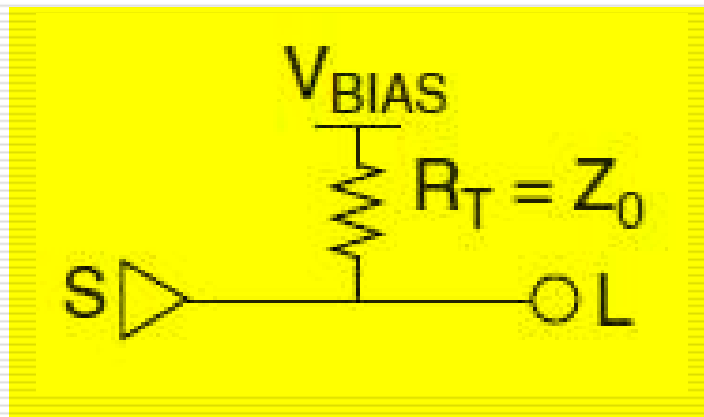
➤ 缺点:

- ✓ 电源静态工作电流大
- ✓ 明显增加系统功耗

高速数字电路设计

有源匹配

终端



➤ 优点:

- ✓ 电源静态工作电流较小

➤ 缺点:

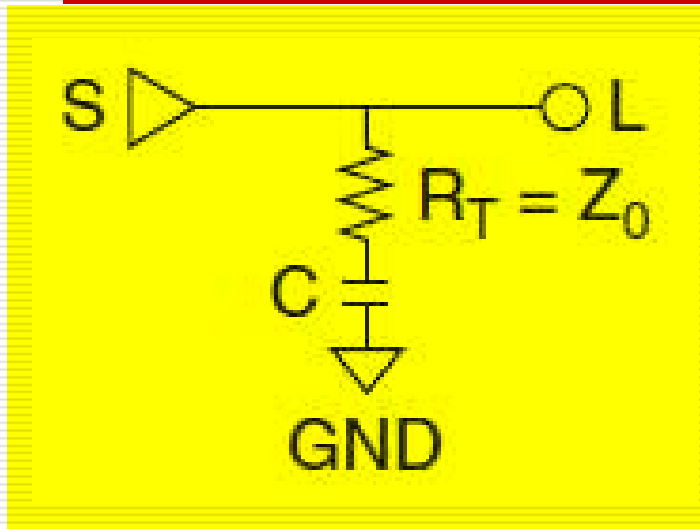
- ✓ 需要增加一路单独的电源
- ✓ 电源相应要足够快

➤ 典型应用: **DDR/DDR2**

高速数字电路设计

串接RC匹配（交流匹配）

终端



➤ 优点：

- ✓ 电容值在100pf量级，能够阻断直流通路

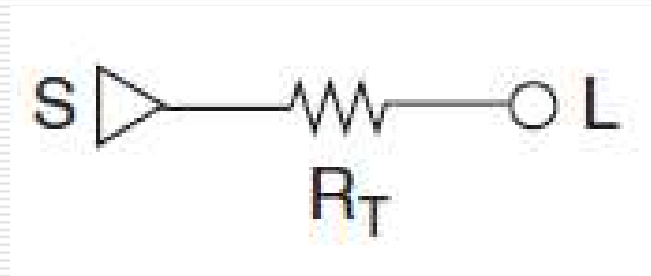
➤ 缺点：

- ✓ 对于周期性不强的信号，不建议使用交流匹配

高速数字电路设计

串联匹配

源端



➤ 优点:

- ✓ 电流结构简单
- ✓ 静态工作电流小

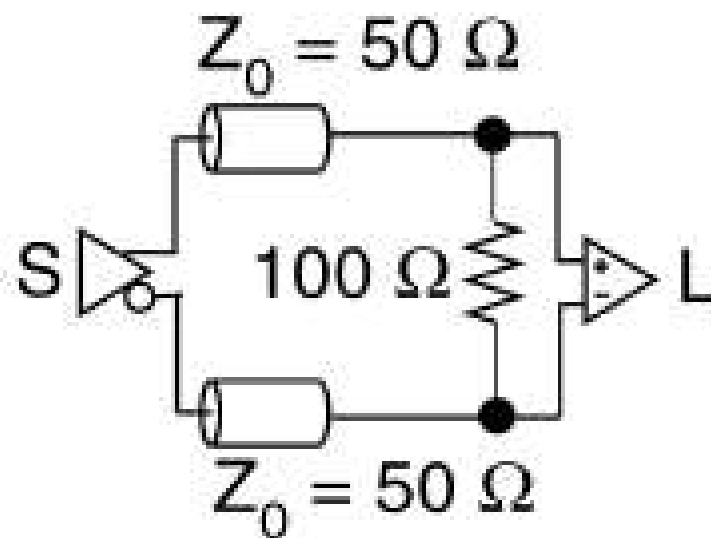
➤ 缺点:

- ✓ 由于RC常数的增加，导致信号边沿变缓

高速数字电路设计

差分信号匹配

终端



$$R_T = 2Z_0$$

高速数字电路设计

用于SI仿真的IBIS模型

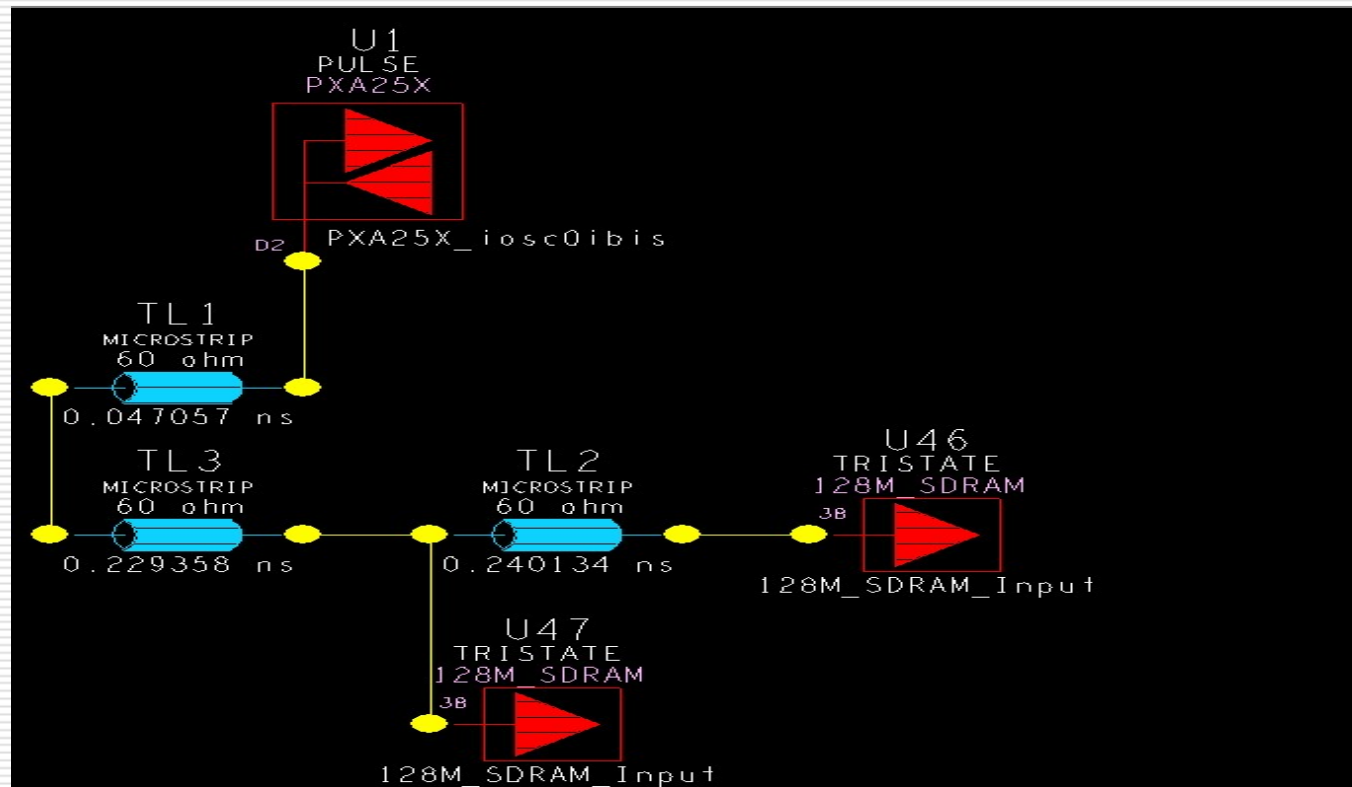
➤ **IBIS** (Input/Output Buffer Information

Specification)是使用V/I和V/T数据描述数字输入输出端口电气特征的行为级模型，主要有以下优点：

- ✓ 在I/O非线性方面能够提供准确的模型，同时考虑了封装的寄生参数
 - ✓ 提供比结构化（Spice）的方法更快的仿真速度
 - ✓ 不包含版权信息和电路设计信息
-

高速数字电路设计

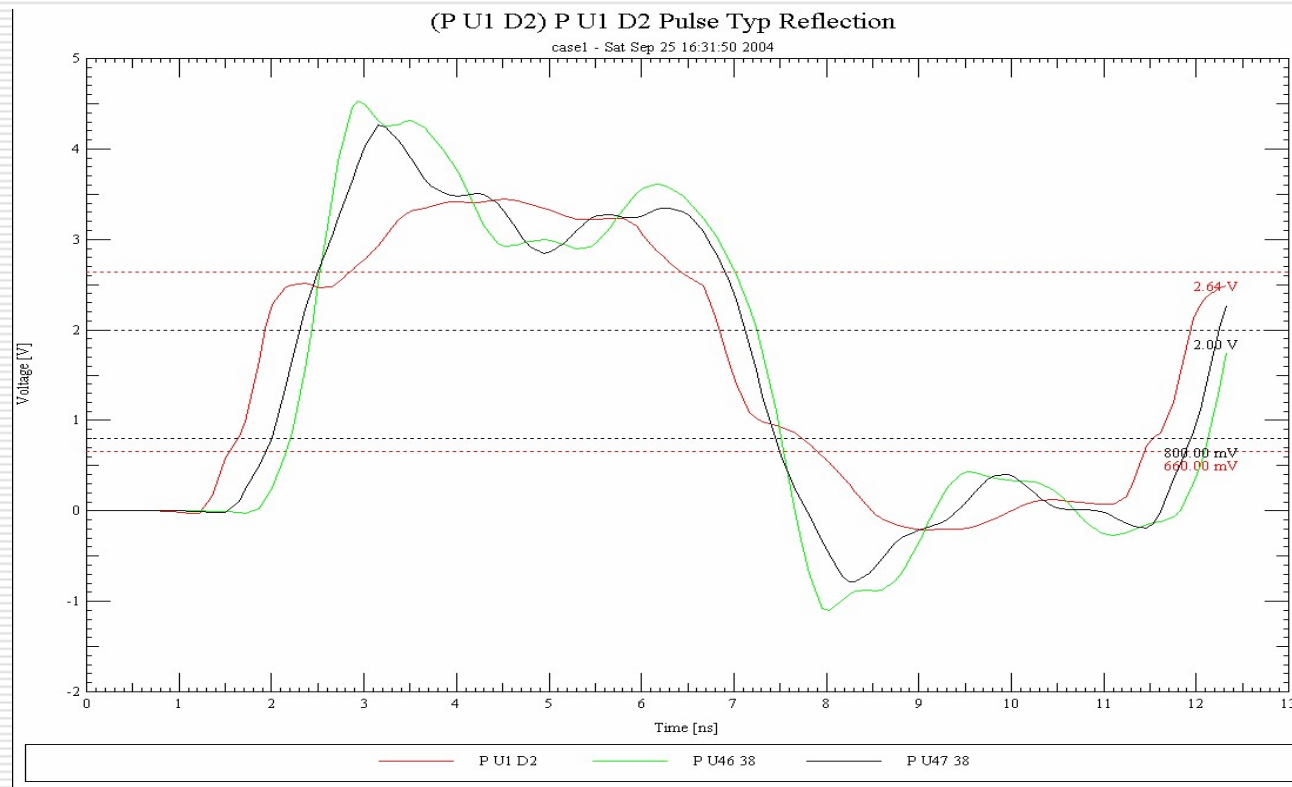
IBIS模型仿真实例



未加入匹配的CLK布线拓扑结构

高速数字电路设计

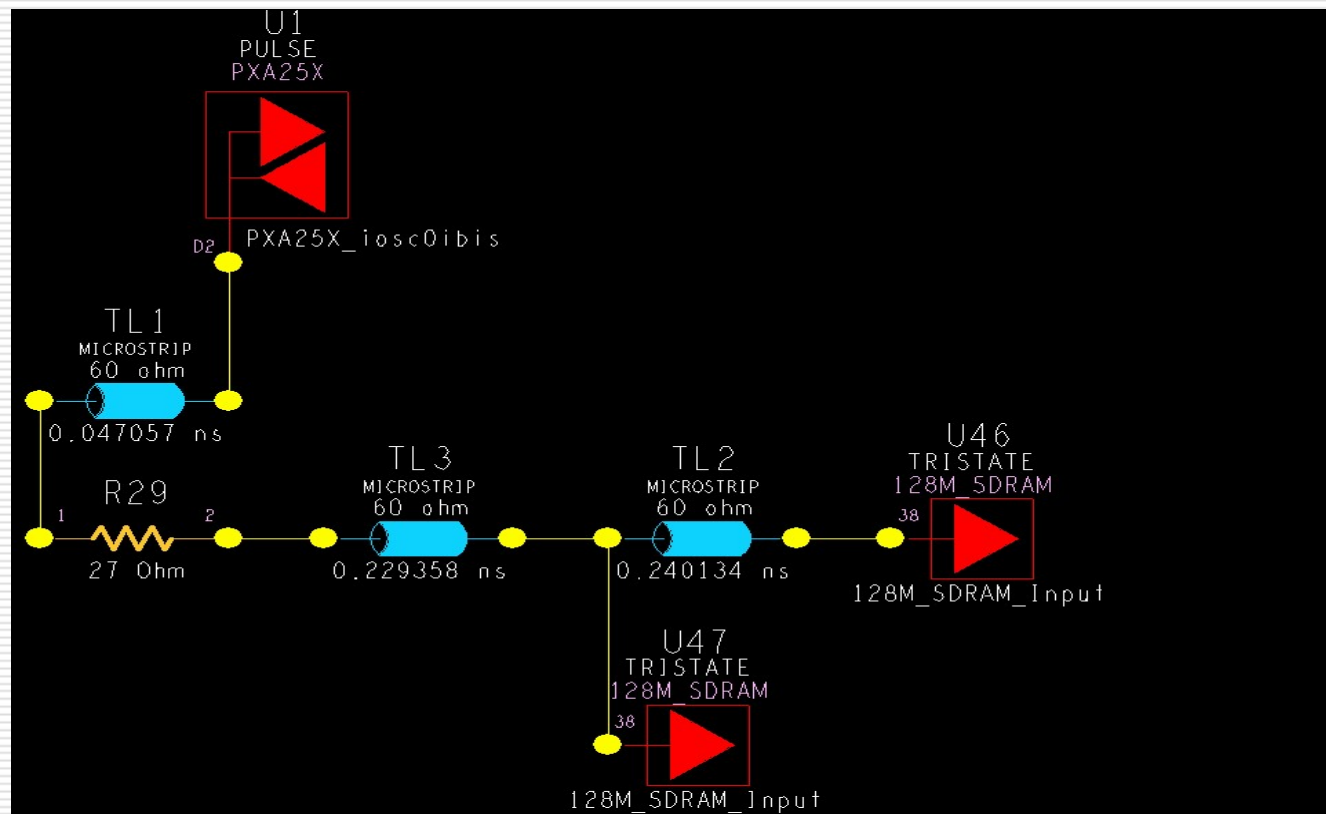
IBIS模型仿真实例



未加入匹配的CLK信号波形仿真结果

高速数字电路设计

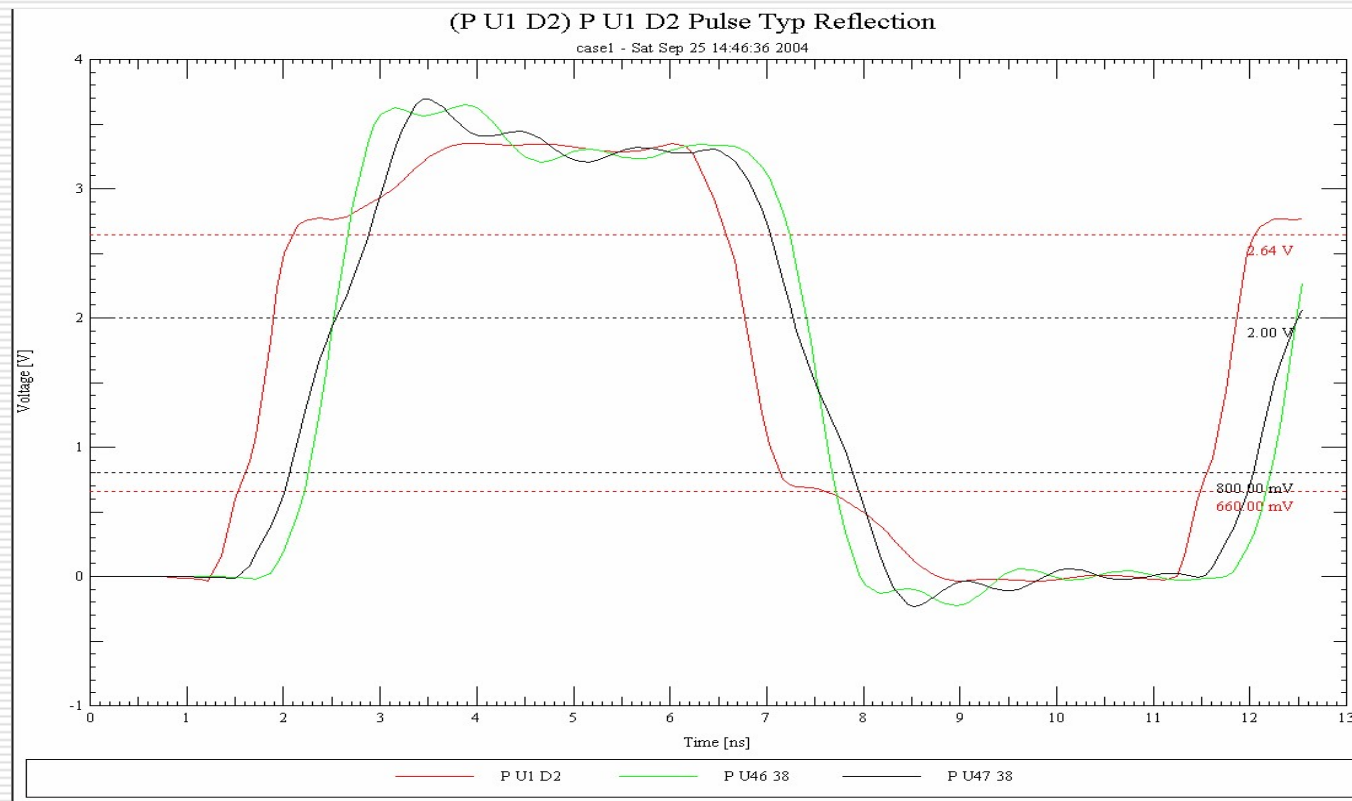
IBIS模型仿真实例



加入串行匹配的CLK布线拓扑结构

高速数字电路设计

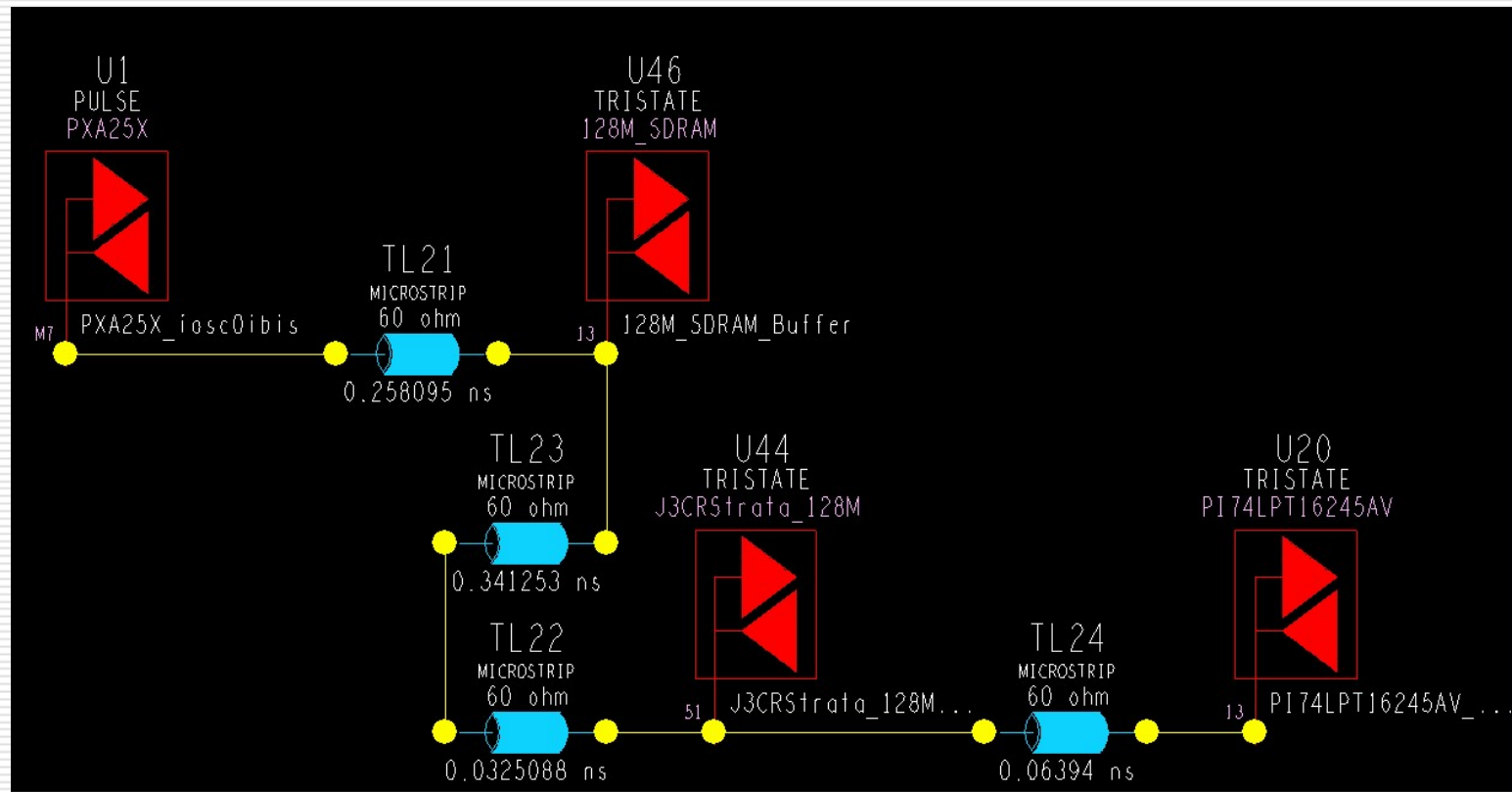
IBIS模型仿真实例



加入串行匹配的CLK信号波形仿真结果

高速数字电路设计

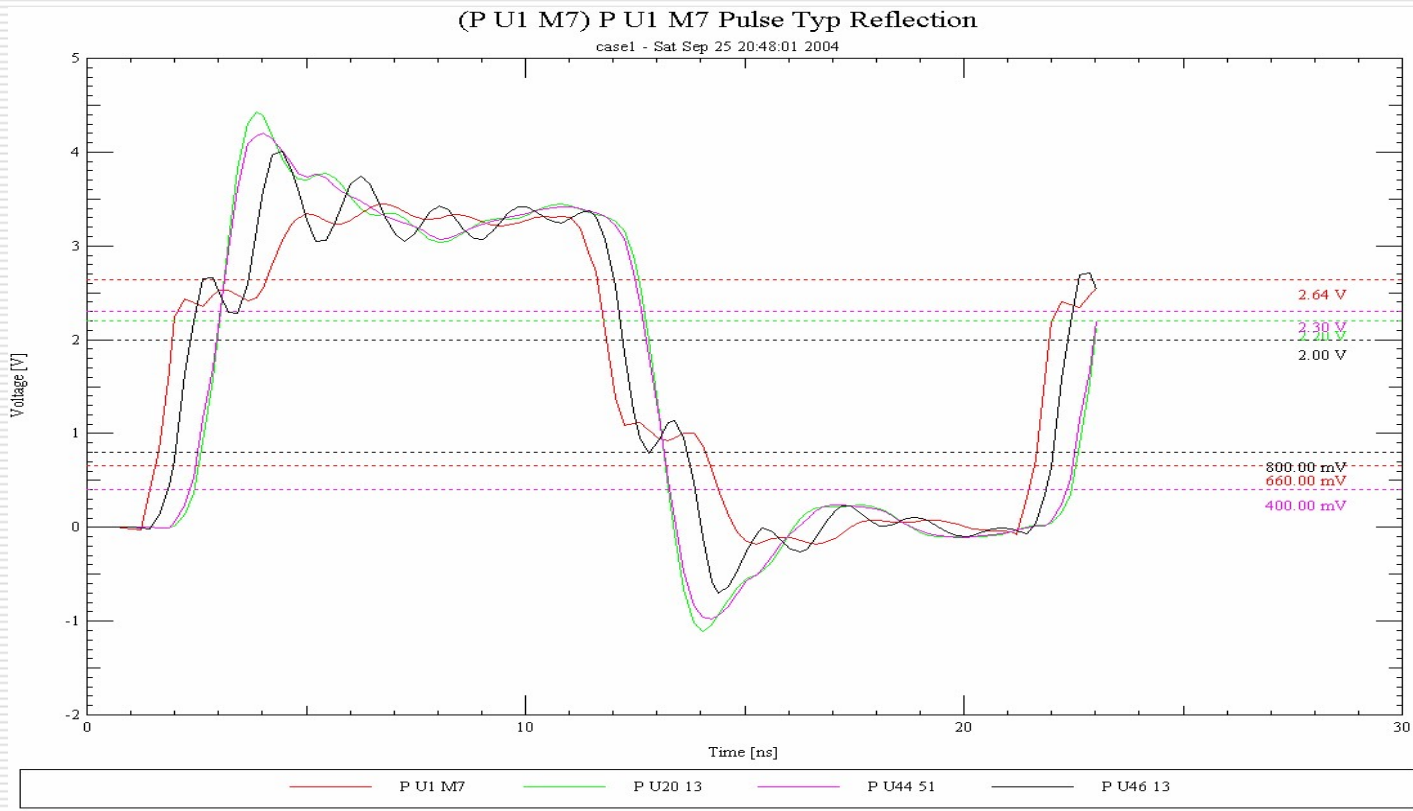
IBIS模型仿真实例



未加入匹配的数据线布线拓扑结构

高速数字电路设计

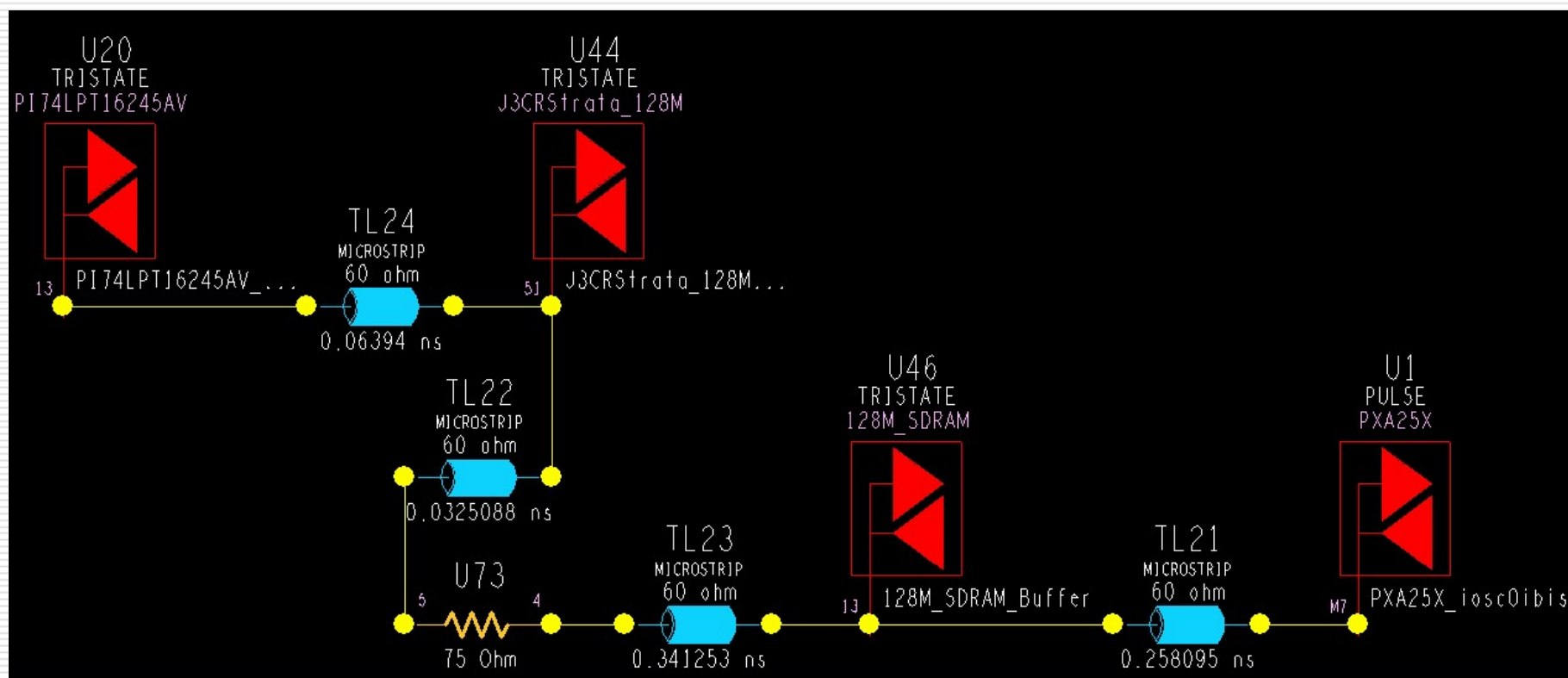
IBIS模型仿真实例



未加入匹配的数据线信号波形仿真结果

高速数字电路设计

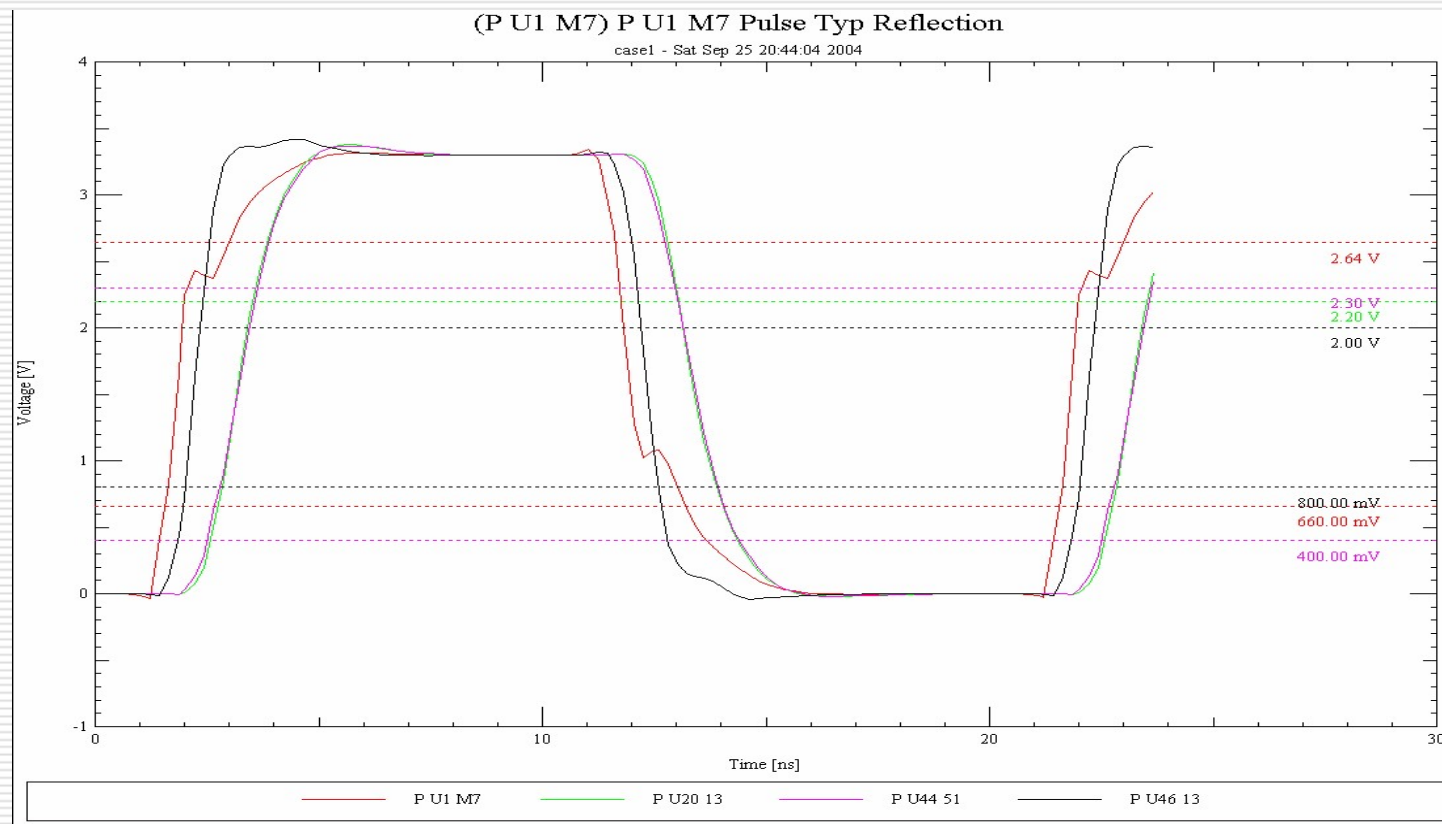
IBIS模型仿真实例



加入串行匹配的数据线布线拓扑结构

高速数字电路设计

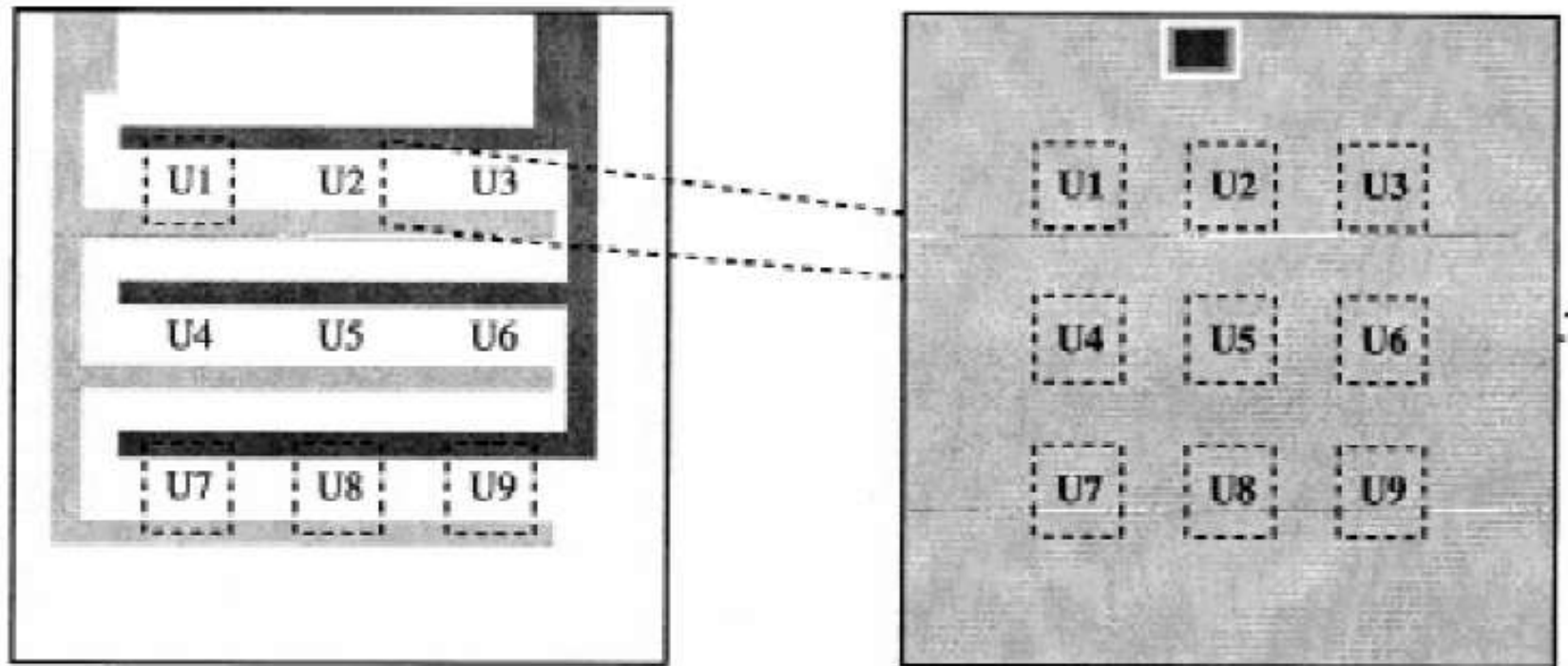
IBIS模型仿真实例



加入串行匹配的数据线信号波形仿真结果

高速数字电路设计

电源分发



电源分发的两种形式：**电源总线和电源平面**

优缺点

高速数字电路设计

电源总线特点

- 电源总线主要有以下特点：
 - ✓ 通常用于双层板，成本低廉
 - ✓ 具有较高的直流阻抗，总线宽度需要尽量大
 - ✓ 由于电流路径被电源总线所限定，各个器件之间会产生噪声耦合
-

高速数字电路设计

电源平面特点

➤ 电源平面主要有以下特点：

✓ 通常用于多层板，成本较高

✓ 直流阻抗非常小

✓ 电流路径不被限定，各个器件产生的噪声不会产生耦合

➤ 为更好滤除噪声，每个高速器件的电源和地管脚之间需要放置0.1uf至0.01uf的去耦电容

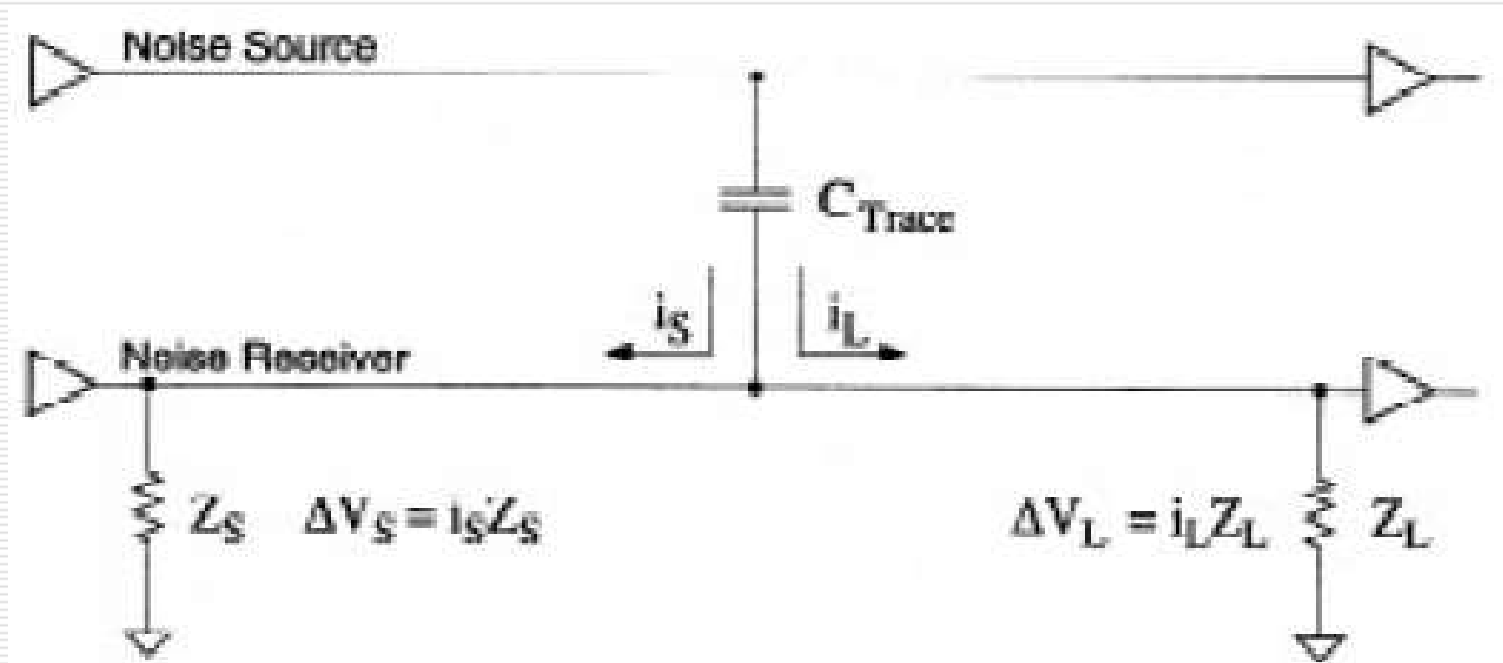
高速数字电路设计

串扰（Crosstalk）

- 串扰是由一个信号对其邻近信号的不希望的耦合
 - 分为容性串扰和感性串扰
 - ✓ 容性串扰是指由信号线间容性耦合引起的串扰，当信号线之间距离太近时会产生
 - ✓ 感性串扰是由于电路板（或系统）中信号产生的电流环引起的
-

高速数字电路设计

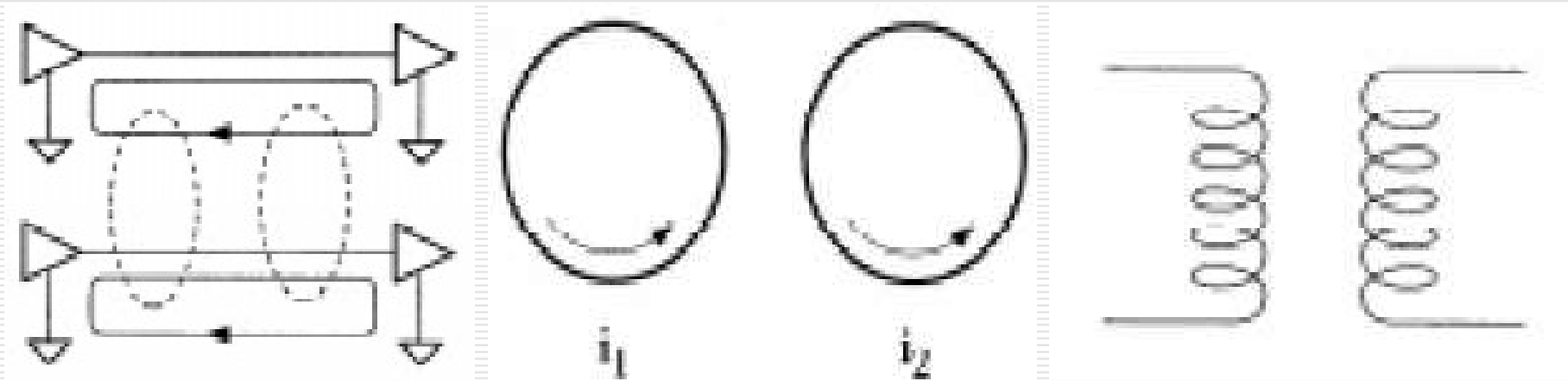
串扰 (Crosstalk)



容性串扰

高速数字电路设计

串扰 (Crosstalk)



A

B

C

感性串扰

高速数字电路设计

串扰的一些解决方法

- ✓ 串扰的作用会随负载阻抗的增加而增加，对容易受到串扰影响的信号需进行合适的阻抗匹配
 - ✓ 保证足够的信号间距可以减小容性串扰
 - ✓ 可以通过在信号线之间插入地线的方法减小容性串扰
 - ✓ 对于感性串扰，要保证电流环的面积尽量小。
- 如果可能，尽量不要出现电流环
-

高速数字电路设计

原因，解决手段

电磁干扰（**Electro-Magnetic Interference, EMI**）

- 高速器件更易受到**EMI**的影响
- 即使器件或系统不受**EMI**的影响，各个国家和地区对**EMI**也有相应的限制
 - ✓ 美国**FCC**认证，欧洲**CE**认证，中国**3C**认证等
- 减小**EMI**的方法主要有屏蔽、消除电流环、滤波、降低器件速度等

高速数字电路设计

电流环 (Current Loop)

➤ 电流环是设计中不可避免的部分，通常他们的作用相当于天线

➤ 解决方法：

- ✓ 避免出现人为的电流环：保证任意两点之间只有一条路径
 - ✓ 尽量减小电流环的面积
 - ✓ 尽量使用电源平面：电源平面是面积最小的电路回路；要保证电源平面的完整性
-

高速数字电路设计

滤波（Filtering）

➤通过对电源和信号进行滤波，以减小信号噪声，从而减小系统EMI

➤滤波方法：

- ✓添加去耦电容

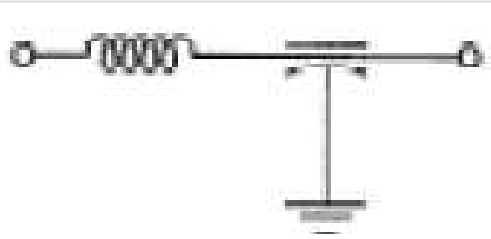
- ✓使用EMI Filter

- ✓使用铁氧体噪声抑制器（Ferrite Noise Suppressor）

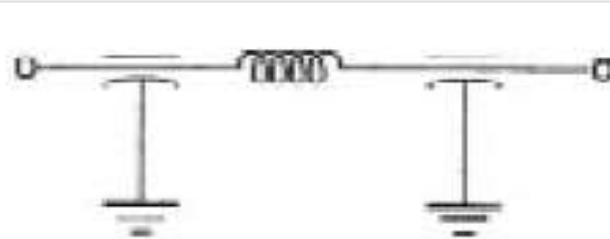
高速数字电路设计

EMI Filter

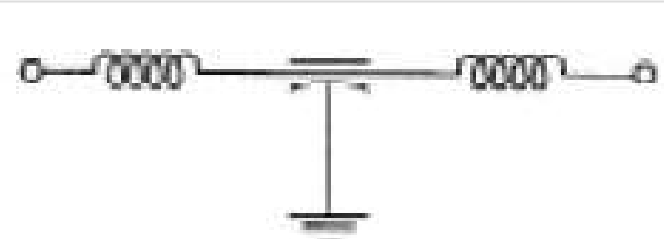
➤ 用于衰减高频噪声的器件



L型滤波



π 型滤波



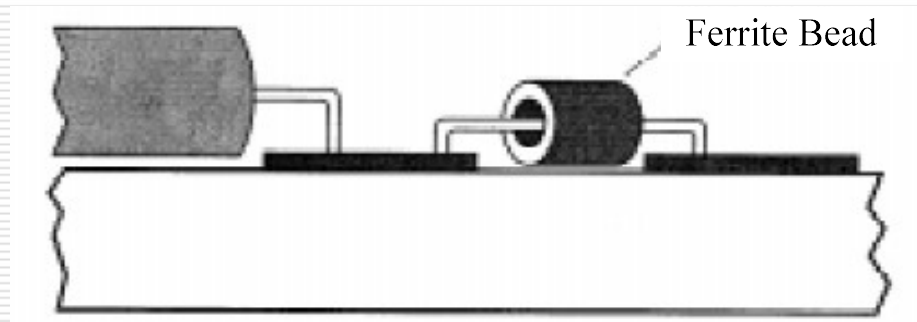
T型滤波

典型电路结构

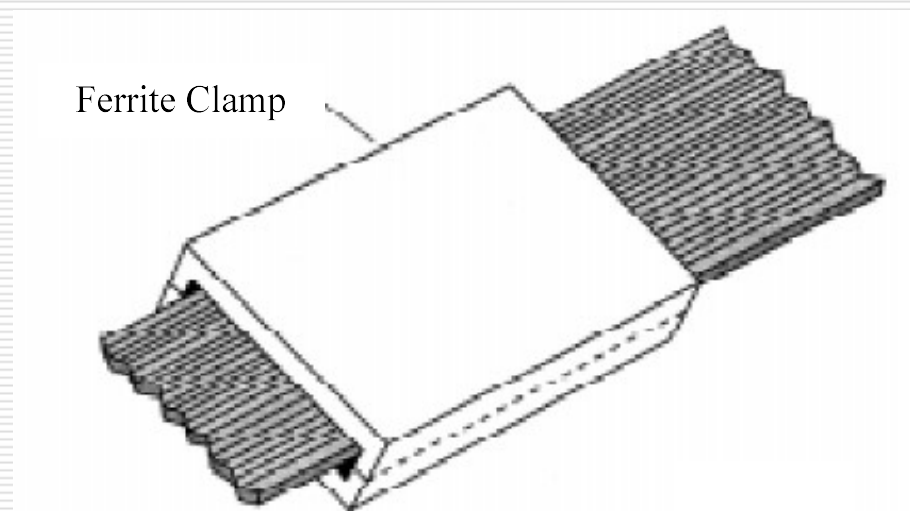
高速数字电路设计

铁氧体噪声抑制器

➤ 相当于在通路中加入串行感抗



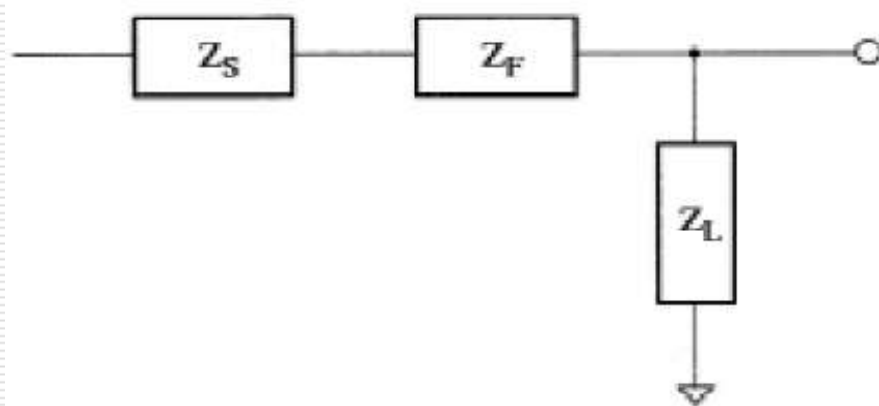
用于单线的Ferrite Bead



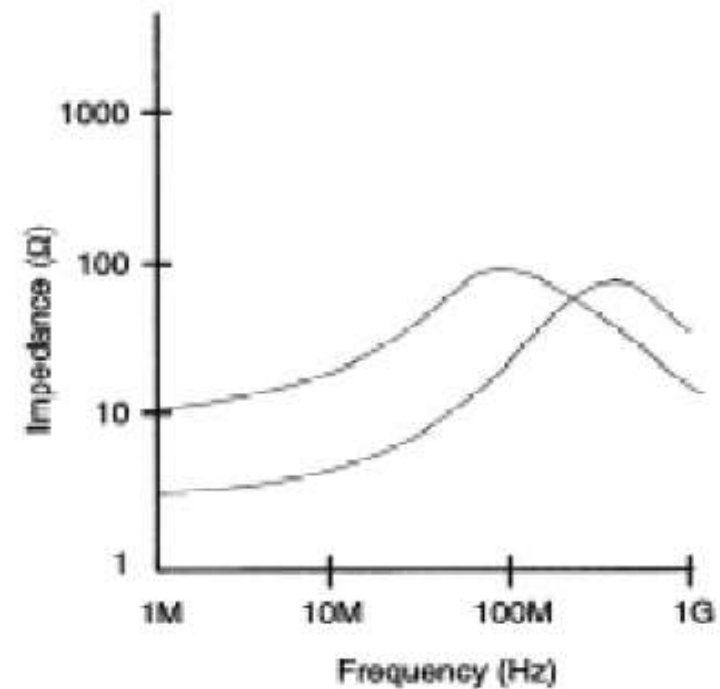
用于排线的Ferrite Clamp

高速数字电路设计

铁氧体噪声抑制器



等效电路



频率响应