

第三章 数字逻辑电路基础

§ 3.1 集成逻辑门及其基本运用

门电路的主要参数

1、静态功耗

$$P_D = I_{cc} \times V_{cc}$$

2、输出高电平（逻辑1）

$$V_{OH} \geq 3.5V$$

3、输出低电平（逻辑0）

$$V_{OL} \leq 0.4V$$

4、扇出系数

$$N_o = I_{OL} / I_{IS}$$

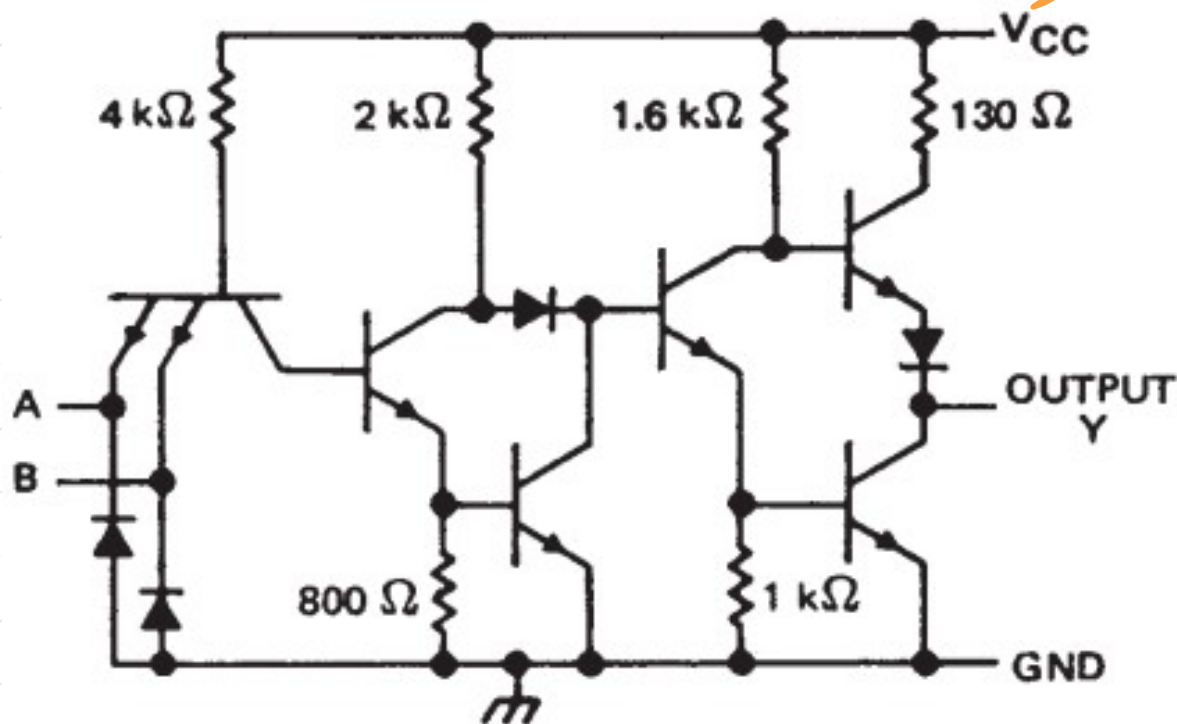
5、传输延迟：

纳秒级

第三章 数字逻辑电路基础

§ 3.1 集成逻辑门及其基本运用

TTL
门电路的主要参数



TTL与门内部结构

第三章 数字逻辑电路基础

§ 3.1 集成逻辑门及其基本运用

门电路使用规则

1、电源电压

$5V \pm 10\%$

2、电源滤波

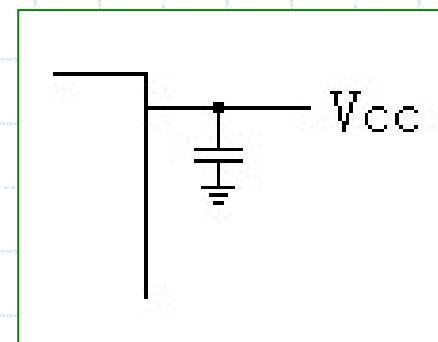
$0.1 \mu f$ 滤波电容

3、输出端

不能直接接地或电源

4、输入端

高低电平的获取；
与门、或门多余端的处理；



第三章 数字逻辑电路基础

§ 3.1 集成逻辑门及其基本运用

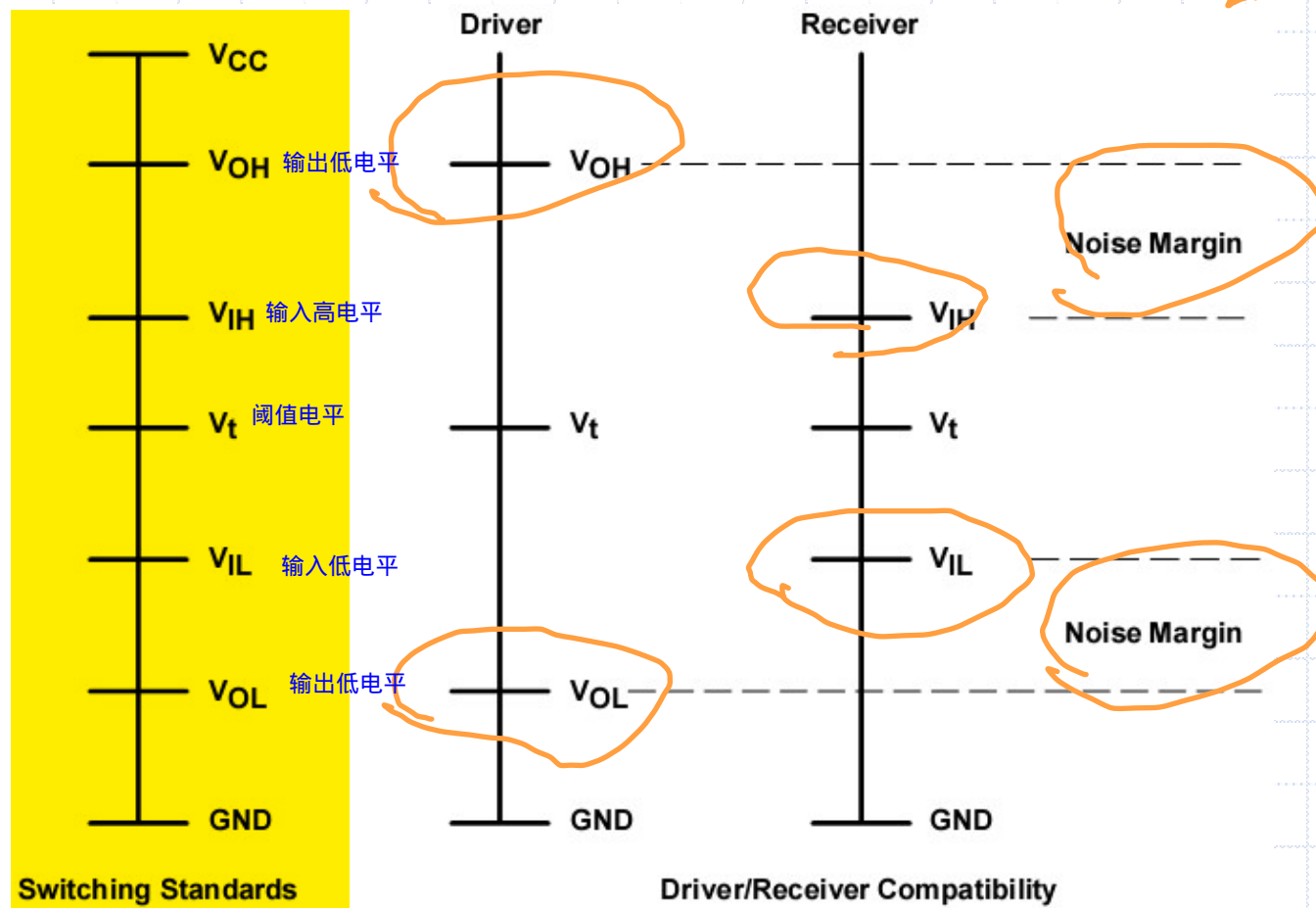
- 1、电源电压 V_{DD} $+5V \sim +15V$
- 2、静态功耗 非常低
- 3、输出高电平 $V_{OH} \geq V_{DD} - 0.5V$
- 4、输出低电平 $V_{OL} \leq V_{SS} + 0.5V$
- 5、扇出系数 非常高
- 6、传输延迟 比TTL大

第三章 数字逻辑电路基础

§ 3.1 集成逻辑门及其基本运用



数字逻辑电路的组成

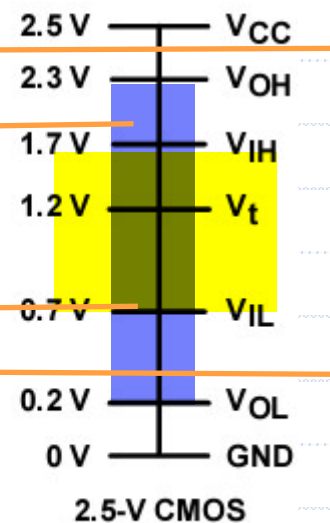
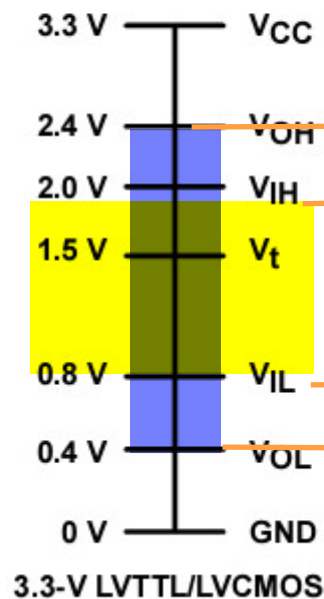
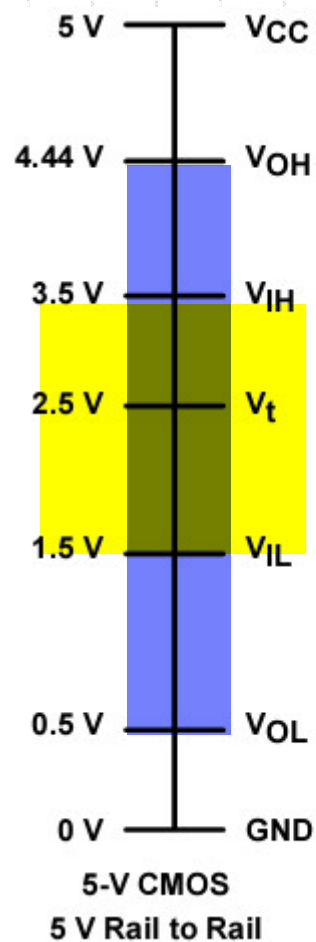


逻辑电平标准定义

第三章 数字逻辑电路基础

§ 3.1 集成逻辑门及其基本运用

TTL
门电路的主要参数



各种逻辑电平标准

是否需要电平转换，两种门之间能否直接连接？
看两两之间 V_i 是否在 V_h 中间

第三章 数字逻辑电路基础

§ 3.1 集成逻辑门及其基本运用

集成逻辑门的基本应用

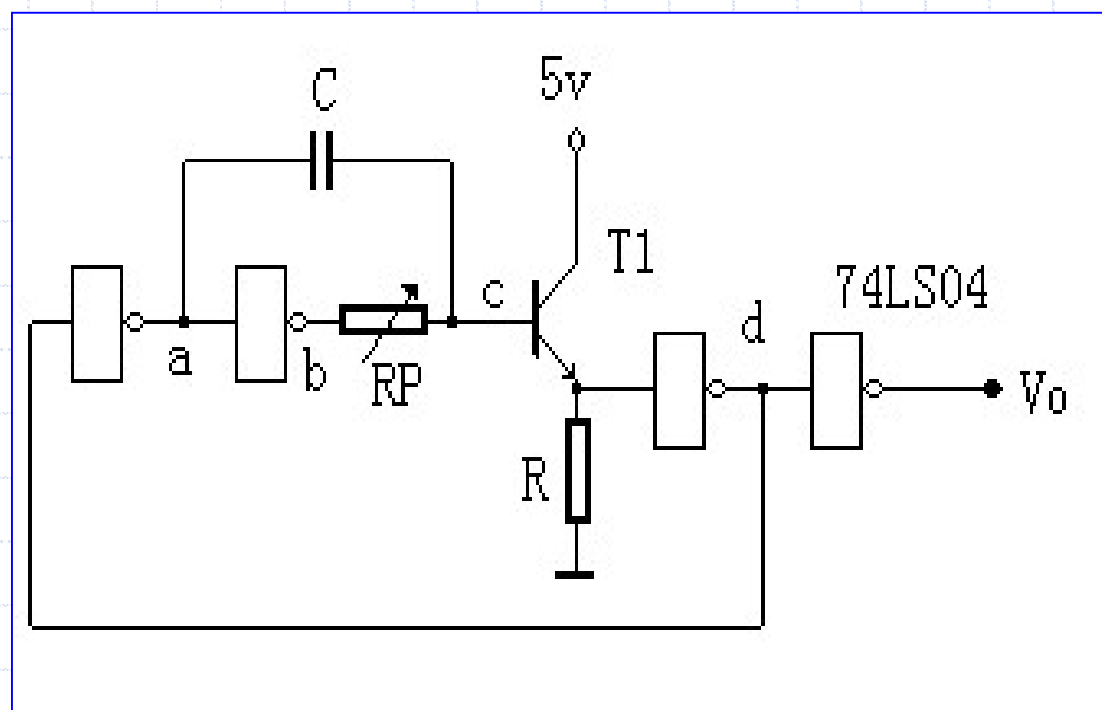
反相器: 74LS04

与非门: 74LS00

OC与非门: 74LS03

或非门: 74LS02

缓冲器: 74LS35

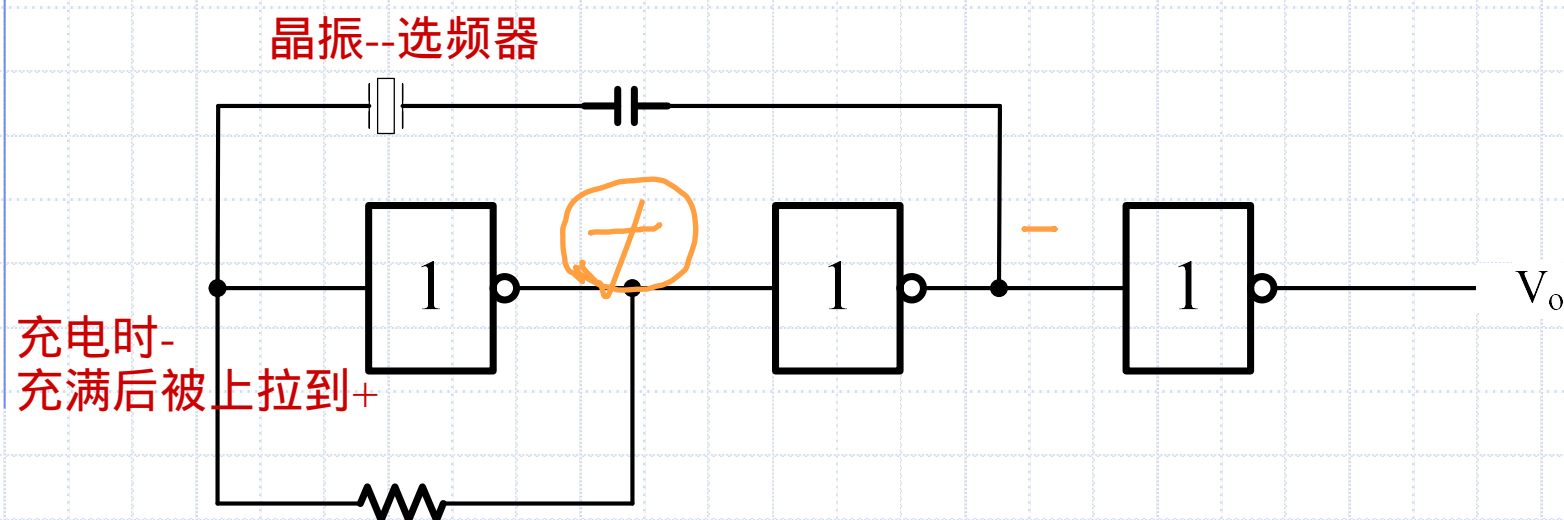


非对称多谐振荡器电路

第三章 数字逻辑电路基础

§ 3.1 集成逻辑门及其基本运用

集成逻辑门的基本应用

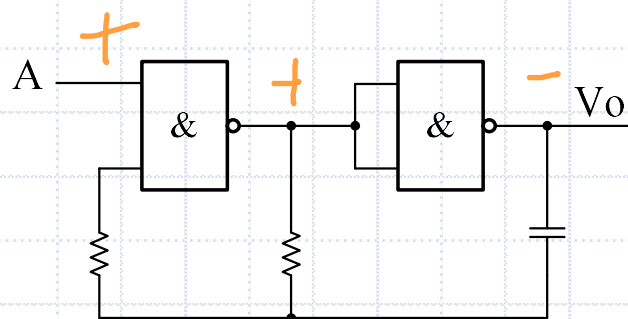


含有晶振的非对称多谐振荡器电路

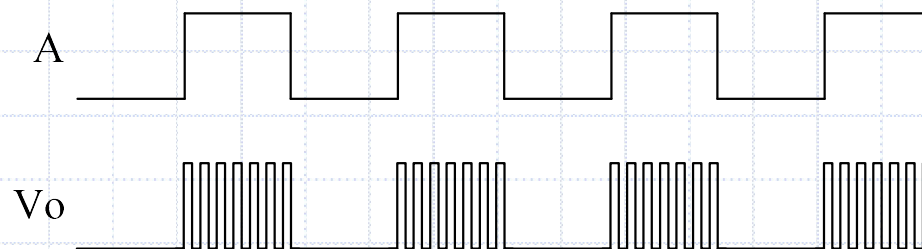
第三章 数字逻辑电路基础

§ 3.1 集成逻辑门及其基本运用

集成逻辑门的基本应用



充电时-
充满电断开，被上拉到+；

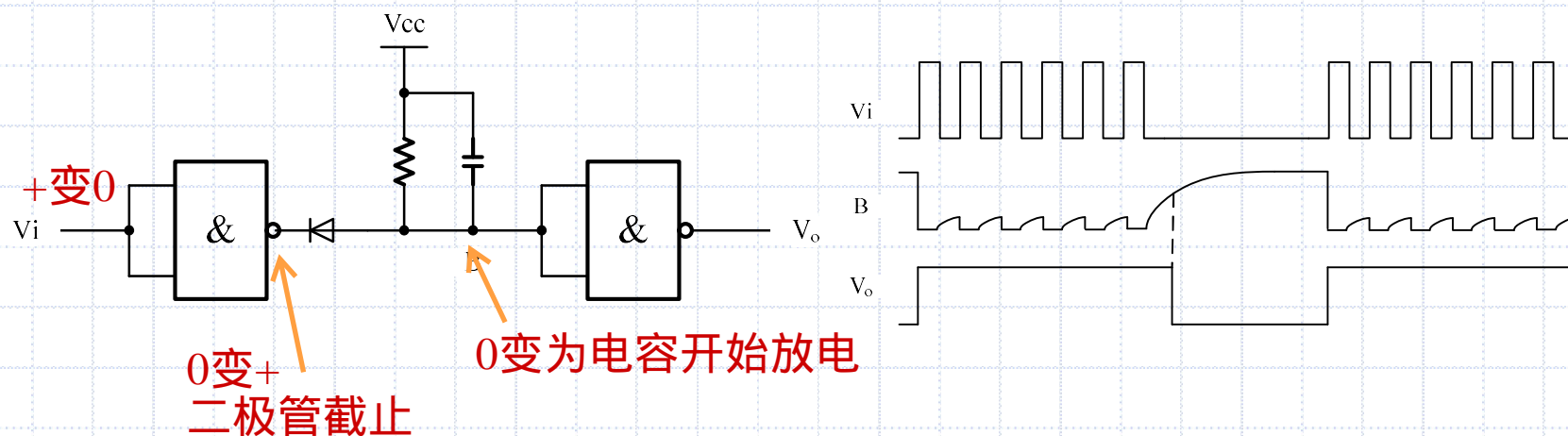


脉冲调制器电路

第三章 数字逻辑电路基础

§ 3.1 集成逻辑门及其基本运用

集成逻辑门的基本应用



脉冲解调器电路

第三章 数字逻辑电路基础

RS触发器：

$R=1, S=1$ ，不确定

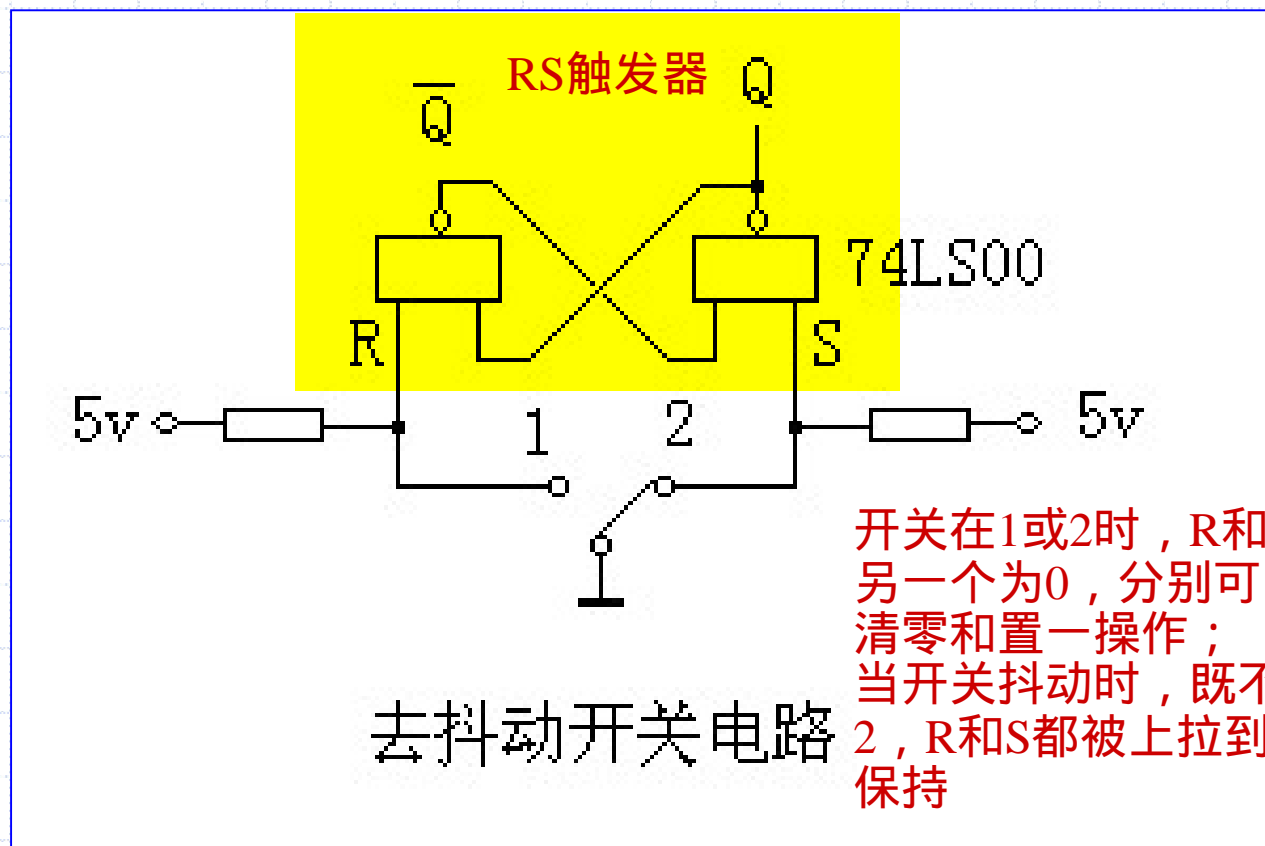
$R=1, S=0$ ，清零

$R=0, S=1$ ，置一

$R=0, S=0$ ，保持

§ 3.1 集成逻辑门及其基本运用

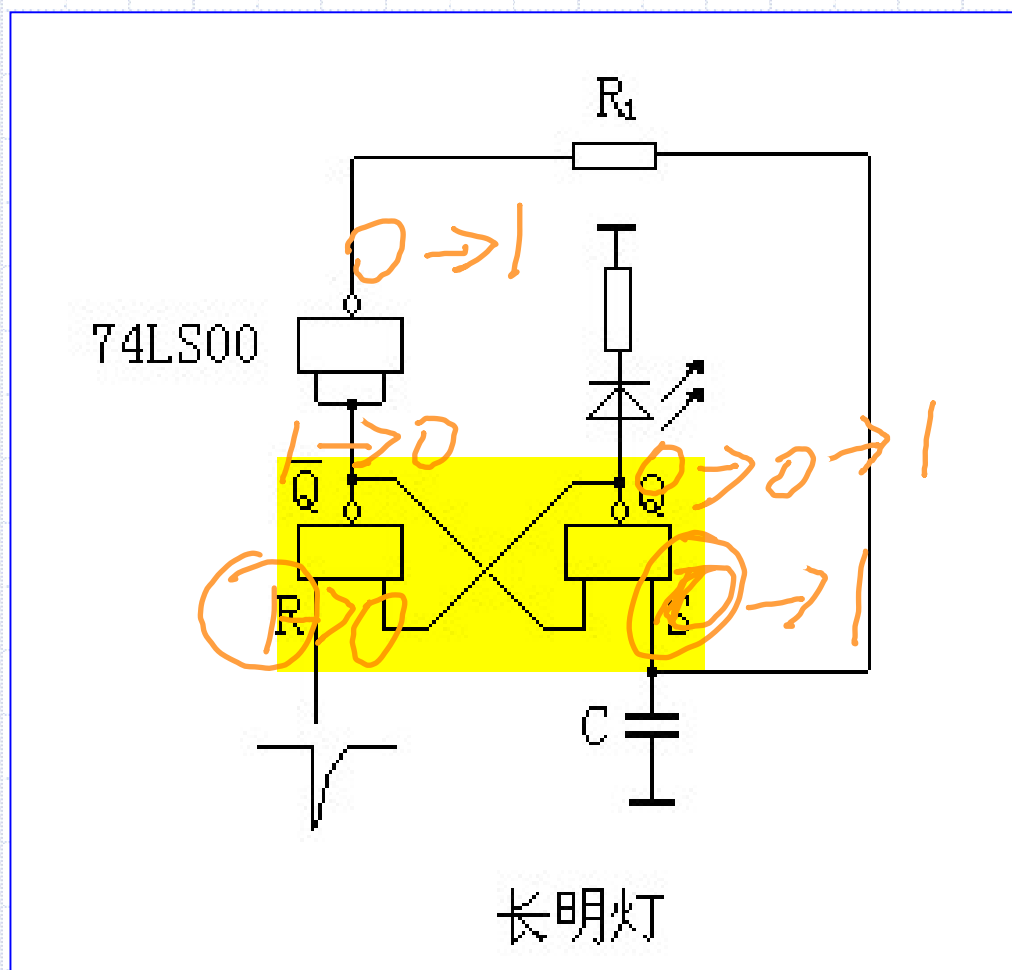
集成逻辑门的基本应用



第三章 数字逻辑电路基础

§ 3.1 集成逻辑门及其基本运用

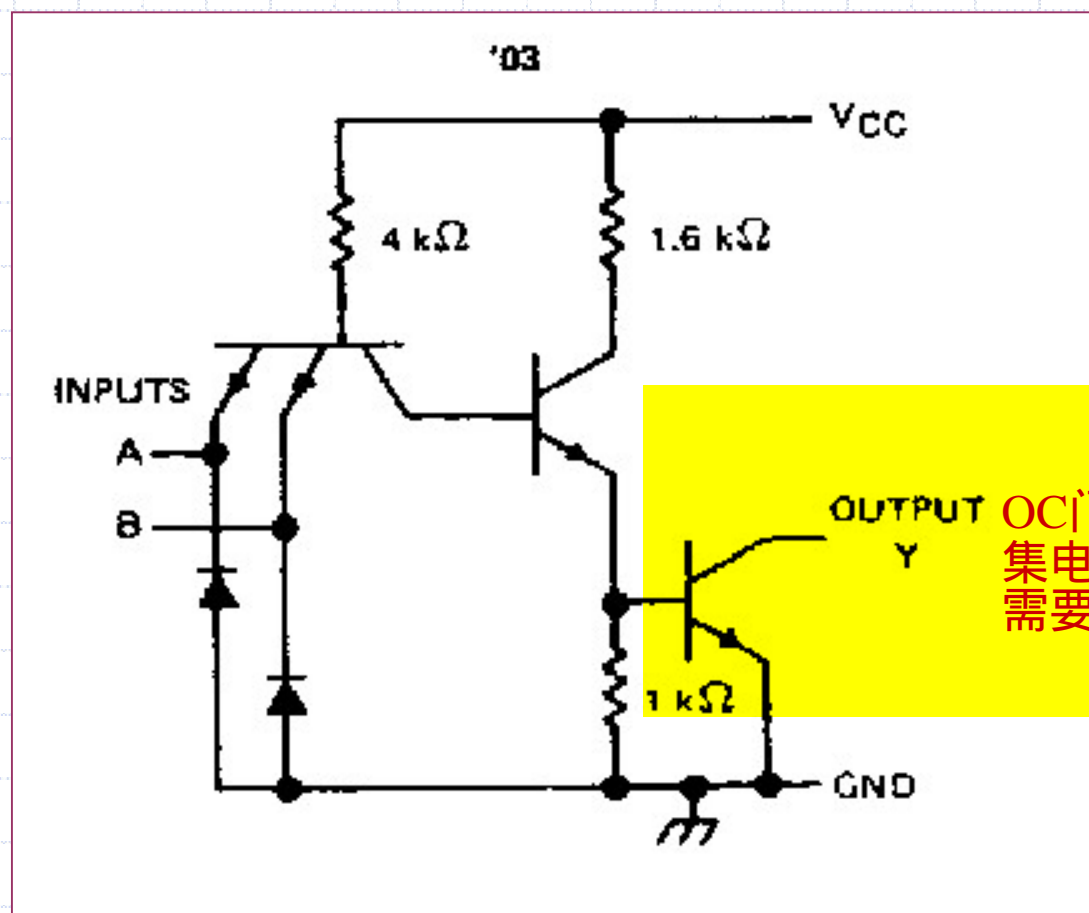
集成逻辑门的基本应用



第三章 数字逻辑电路基础

§ 3.1 集成逻辑门及其基本运用

集成逻辑门的基本应用

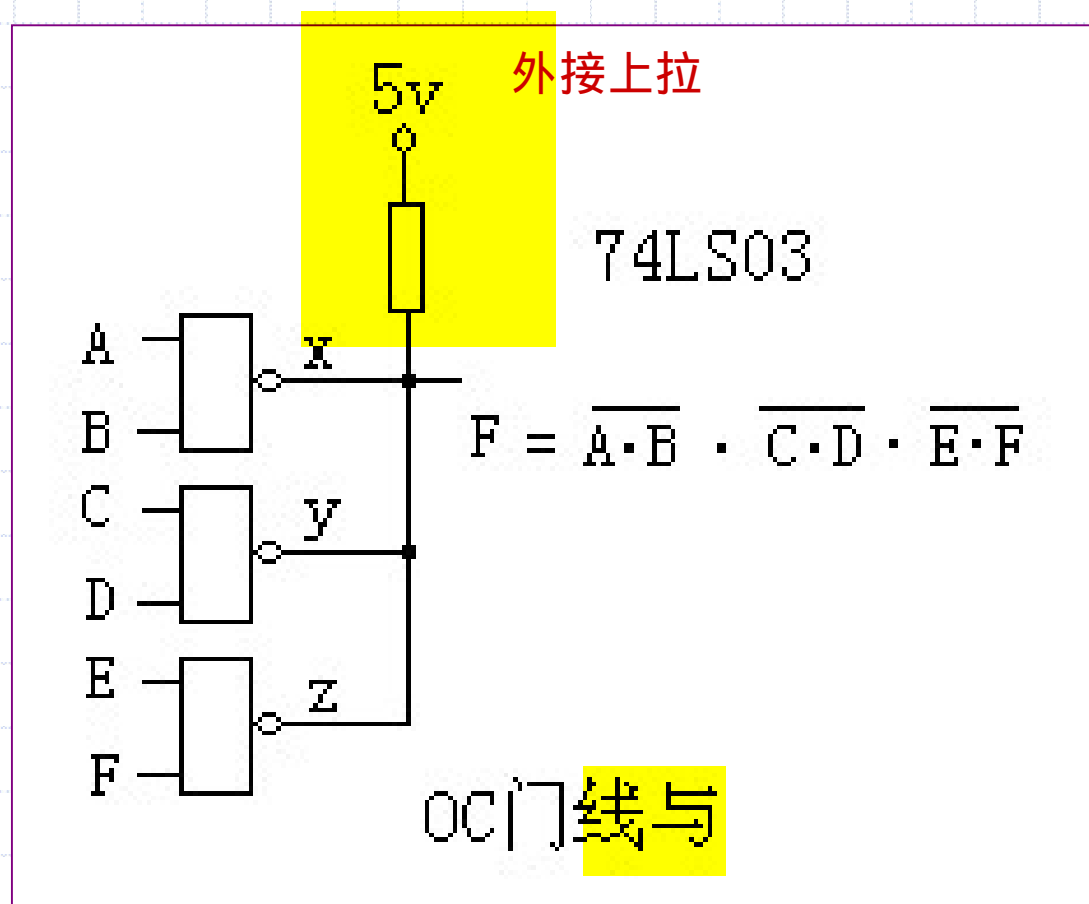


OC门
集电极开路输出
需要外接上拉电阻

第三章 数字逻辑电路基础

§ 3.1 集成逻辑门及其基本运用

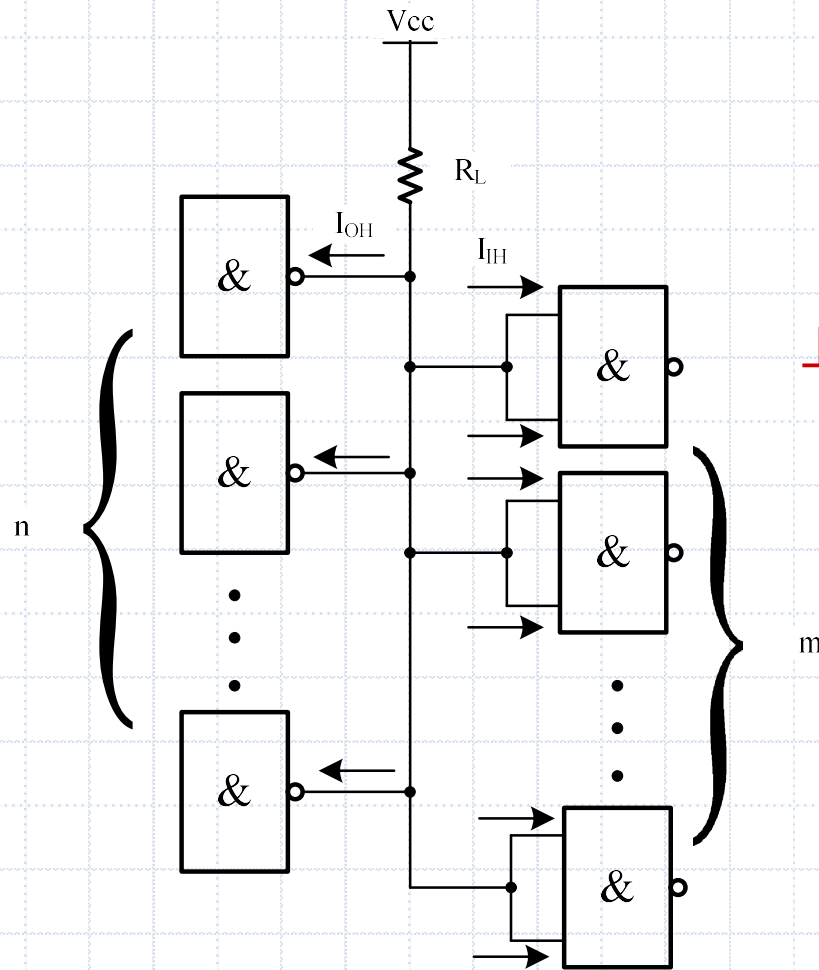
集成逻辑门的基本应用



第三章 数字逻辑电路基础

§ 3.1 集成逻辑门及其基本运用

集成逻辑门的基本应用



上拉电阻的确定上限——

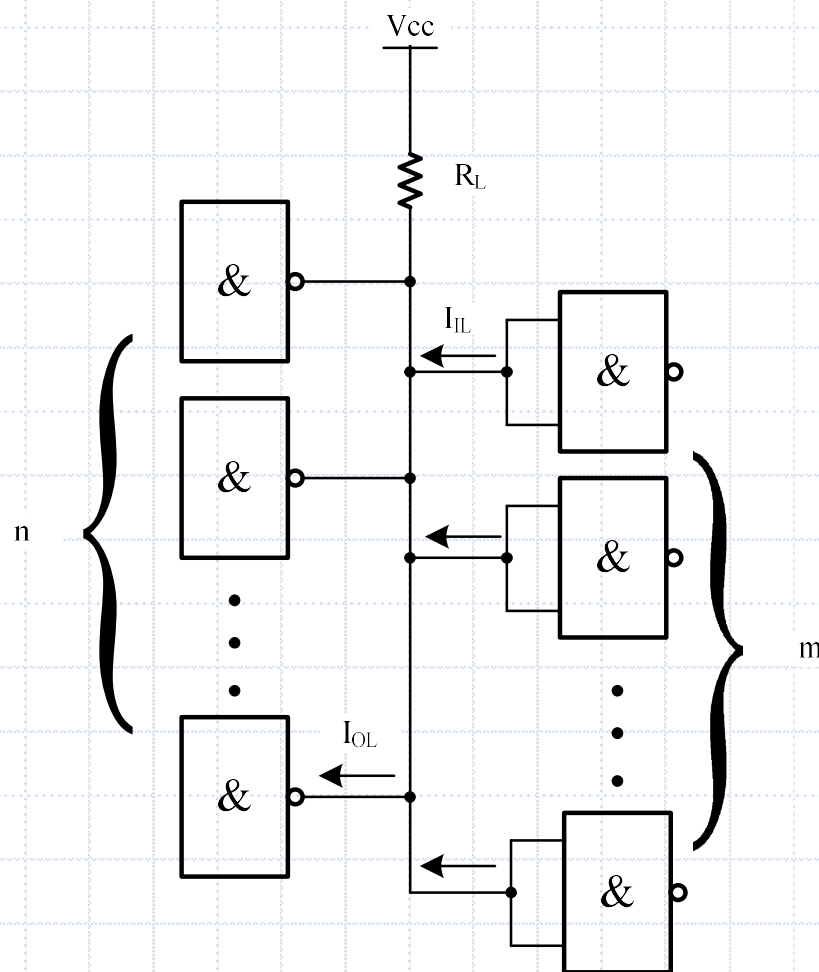
$$R_{L\max} = \frac{V_{CC} - V_{OH\min}}{n \cdot I_{OH} + 2m \cdot I_{IH}}$$

线上挂有n个OC门输出，2m个输入

第三章 数字逻辑电路基础

§ 3.1 集成逻辑门及其基本运用

集成逻辑门的基本应用



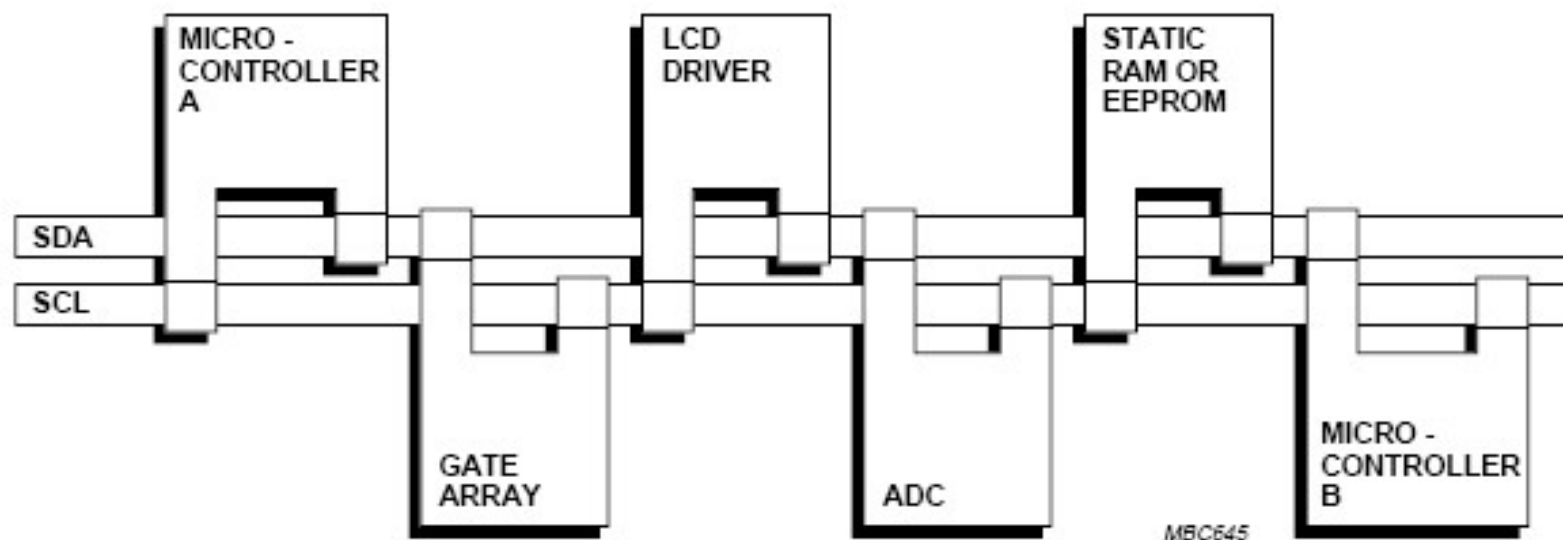
上拉电阻的确定下限——

$$R_{L\min} = \frac{V_{CC} - V_{OL\max}}{I_{OL} - m \cdot I_{IL}}$$

第三章 数字逻辑电路基础

§ 3.1 集成逻辑门及其基本运用

集成逻辑门的基本应用



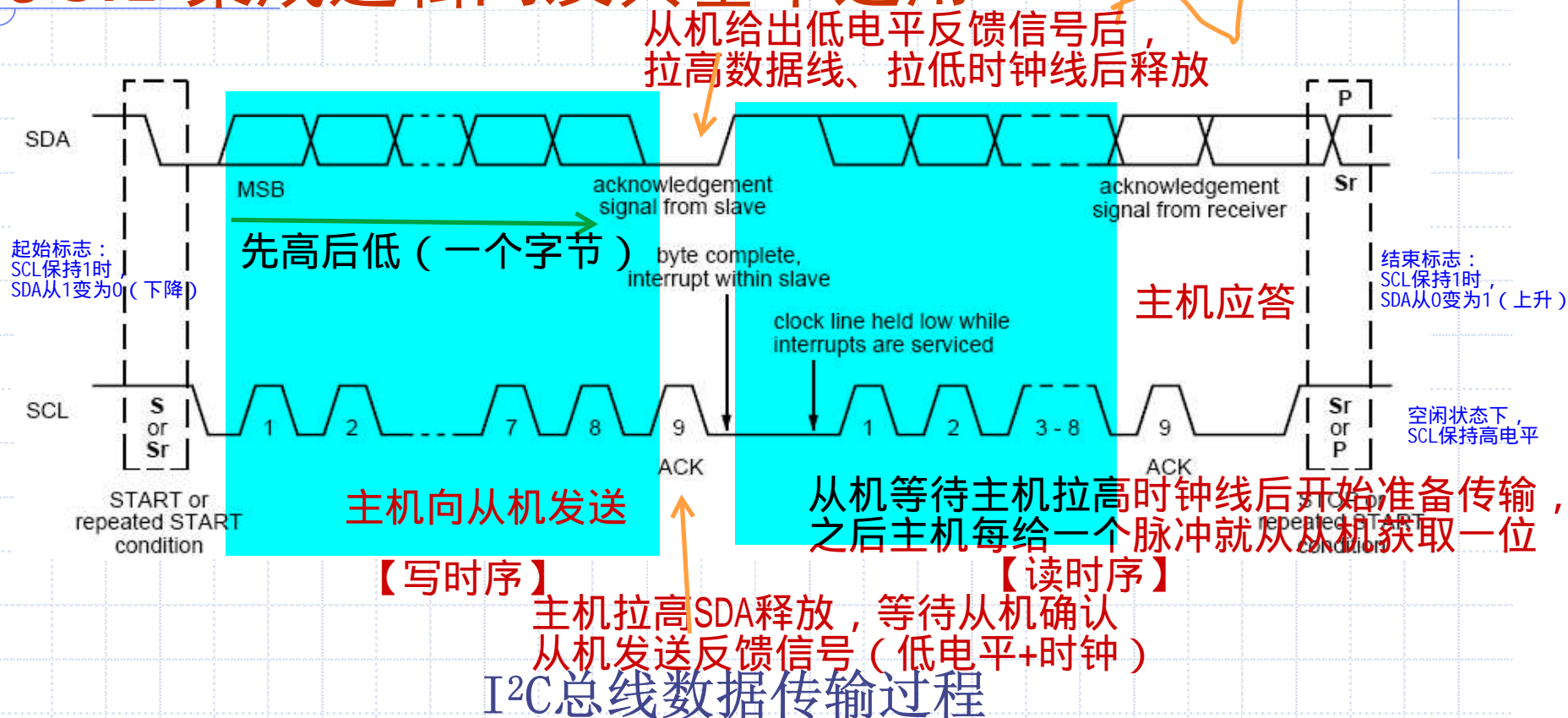
两线：
SDA数据线
SCL时钟线

OC器件典型应用——I²C总线

第三章 数字逻辑电路基础

§ 3.1 集成逻辑门及其基本运用

集成逻辑门的基本应用



第三章 数字逻辑电路基础

§ 3.2 集成触发器及其基本应用

触发方式与使用

常用触发器：D触发器、J-K触发器

触发方式： 上升沿触发、下降沿触发、主从触发

选用： 同一系统采用相同的触发方式；

高速情况下用边沿触发；

器件： 74LS74、74LS107、74LS121、74LS221、…

第三章 数字逻辑电路基础

§ 3.2 集成触发器及其基本应用

触发方式与使用

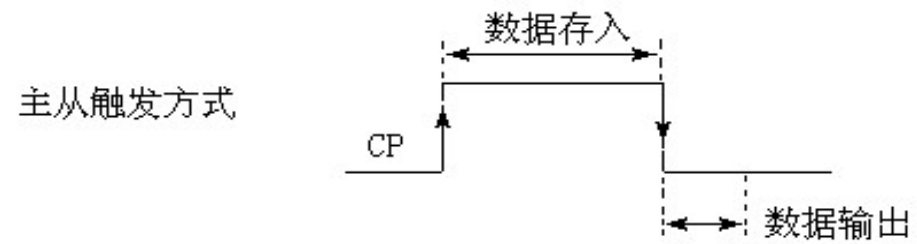
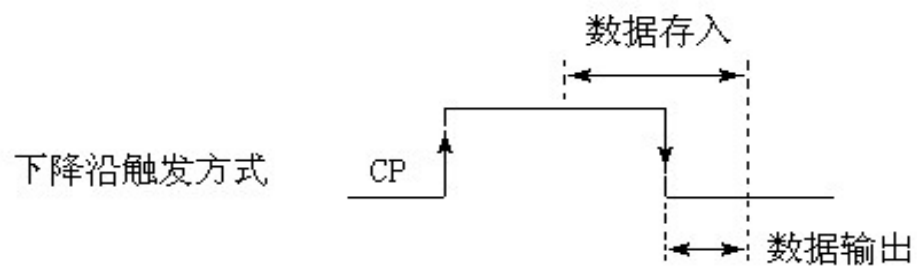
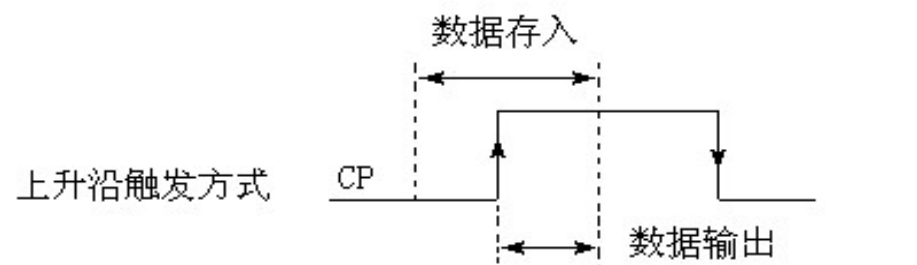
常用触发器：D触发器、J-K触发器

触发方式： 上升沿触发、下降沿触发、主从触发

选用： 同一系统采用相同的触发方式；

高速情况下用边沿触发；

器件： 74LS74、74LS107、74LS121、74LS221、…



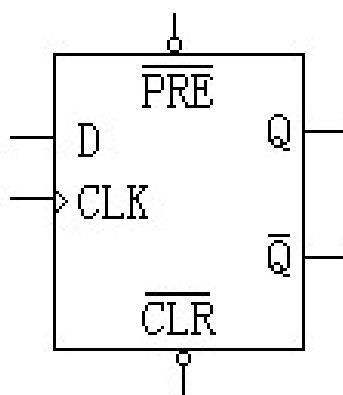
第三章 数字逻辑电路基础

§ 3.2 集成触发器及其基本应用

常用触发器：D触发器、J-K触发器

触发方式：上升沿触发、下降沿触发、主从触发

触发方式与使用



74LS74 功能表					
输入				输出	
$\overline{\text{PRE}}$	$\overline{\text{CLR}}$	CLK	D	Q	$\overline{\text{Q}}$
L	H	X	X	H	L
H	L	X	X	L	H
H	H	↑	L	L	H
H	H	↑	H	H	L

74LS74逻辑符号图及功能表-上升沿触发

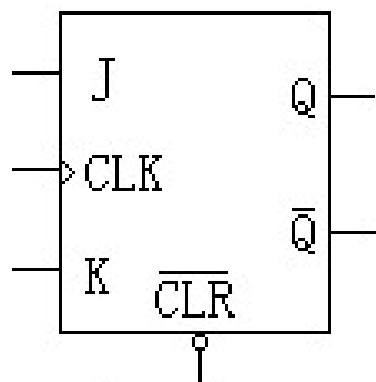
第三章 数字逻辑电路基础

§ 3.2 集成触发器及其基本应用

触发方式与使用

常用触发器：D触发器、J-K触发器

触发方式：上升沿触发、下降沿触发、主从触发



74LS107A 功能表					
输入				输出	
$\overline{\text{CLR}}$	CLK	J	K	Q	\overline{Q}
L	X	X	X	L	H
H	↓	L	L	Q_0	\overline{Q}_0
H	↓	H	L	H	L
H	↓	L	H	L	H

74LS107A逻辑符号图及功能表一下降沿触发

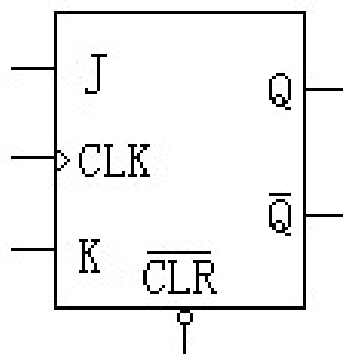
第三章 数字逻辑电路基础

§ 3.2 集成触发器及其基本应用

触发方式与使用

常用触发器：D触发器、J-K触发器

触发方式： 上升沿触发、下降沿触发、主从触发



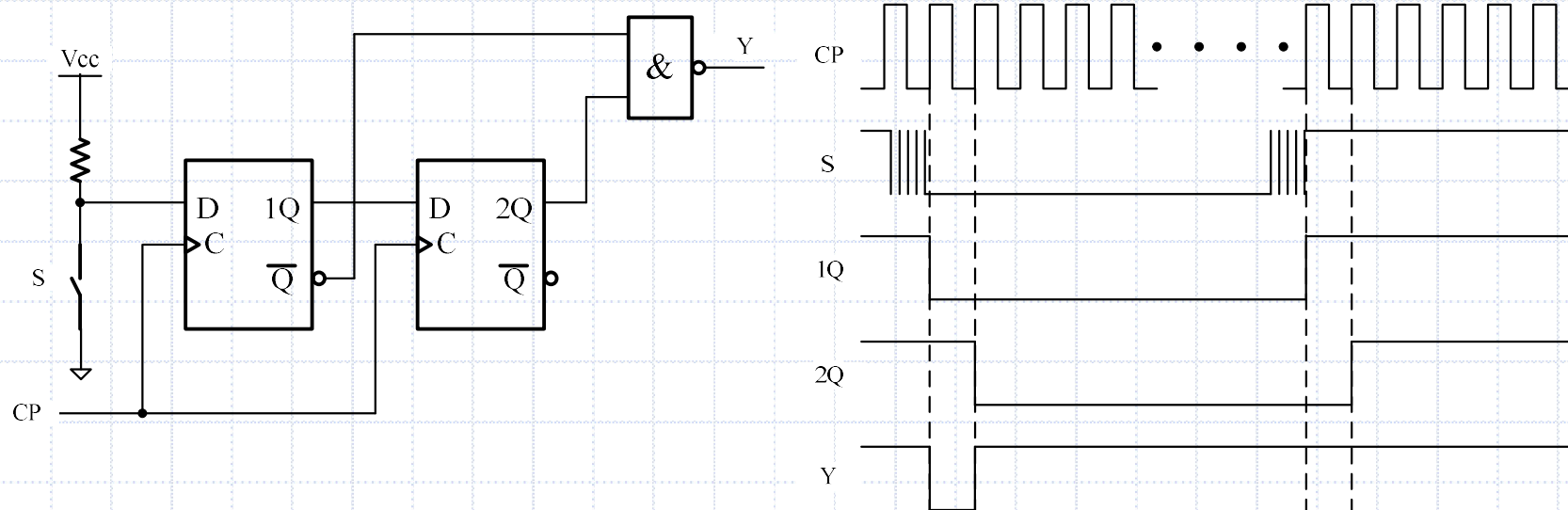
74LS107 功能表					
输入				输出	
$\overline{\text{CLR}}$	CLK	J	K	Q	\overline{Q}
L	X	X	X	L	H
H	\downarrow	L	L	Q_0	\overline{Q}_0
H	\downarrow	H	L	H	L
H	\downarrow	L	H	L	H

74LS107 功能表一 主从触发

第三章 数字逻辑电路基础

§ 3.2 集成触发器及其基本应用

触发方式与使用

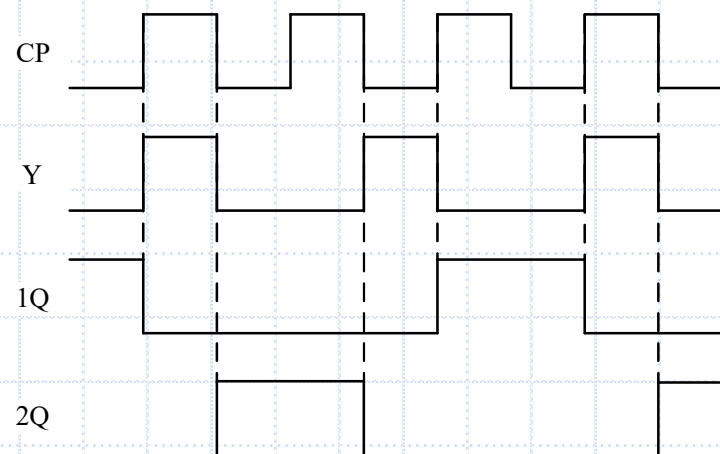
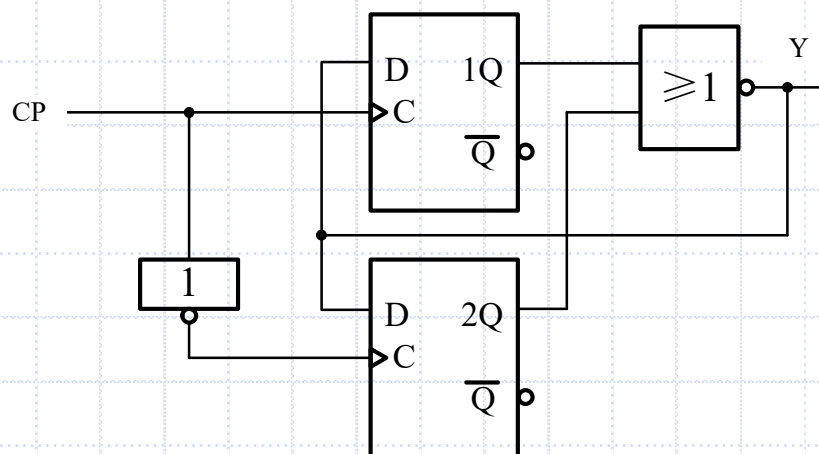


同步单脉冲产生电路

第三章 数字逻辑电路基础

§ 3.2 集成触发器及其基本应用

触发方式与使用

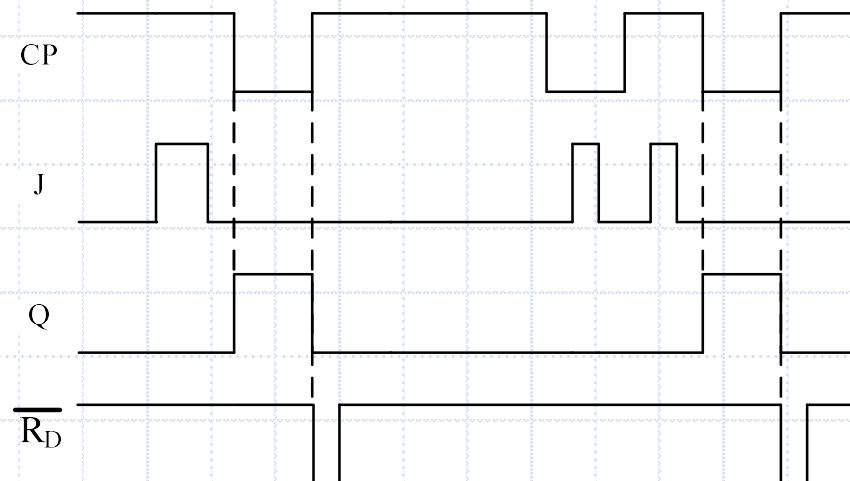
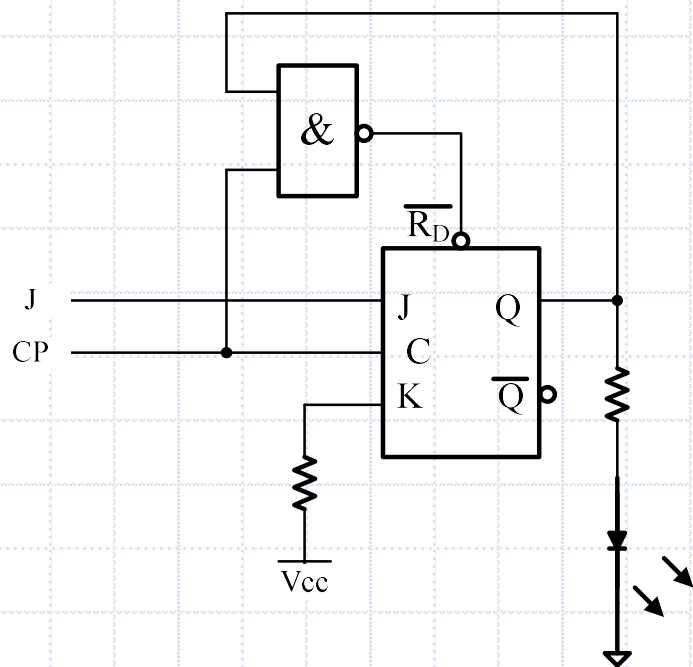


3/2分频电路

第三章 数字逻辑电路基础

§ 3.2 集成触发器及其基本应用

触发方式与使用

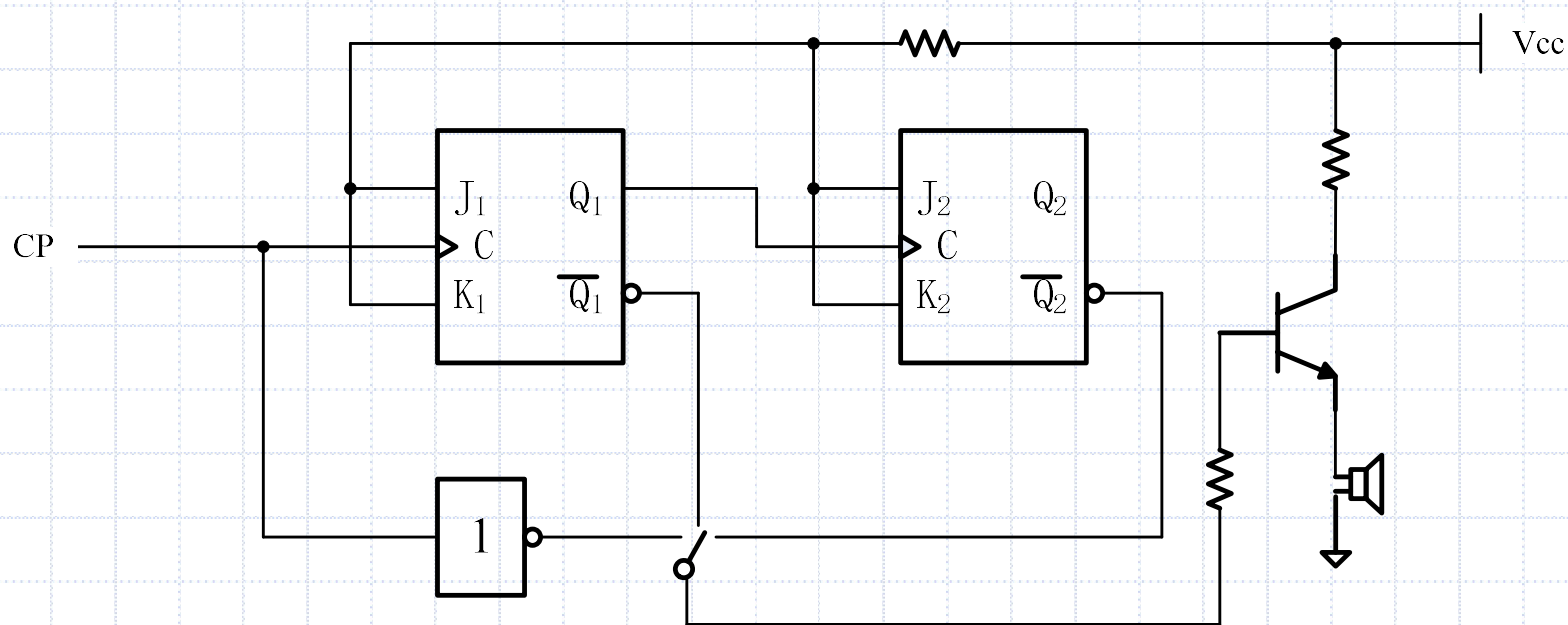


“1” 检出电路

第三章 数字逻辑电路基础

§ 3.2 集成触发器及其基本应用

触发方式与使用



8度音产生器 (2^N 分频电路)

第三章 数字逻辑电路基础

§ 3.2 集成触发器及其基本应用

单稳态触发器的基本应用

触发方式:

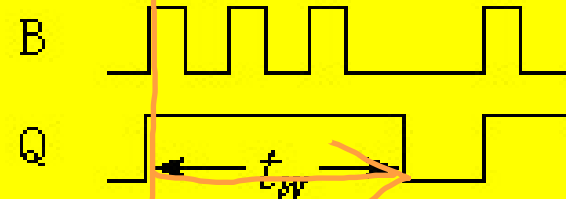
非重触发单稳、

可重触发单稳

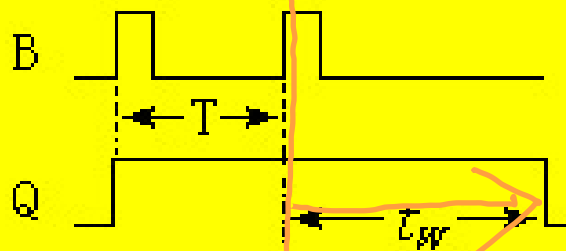
器件:

74LS121

74LS123



非重触发信号模式



可重触发信号模式

$$t_{SP} = 0.7 \cdot R \cdot C$$

第三章 数字逻辑电路基础

§ 3.2 集成触发器及其基本应用

单稳态触发器的基本应用

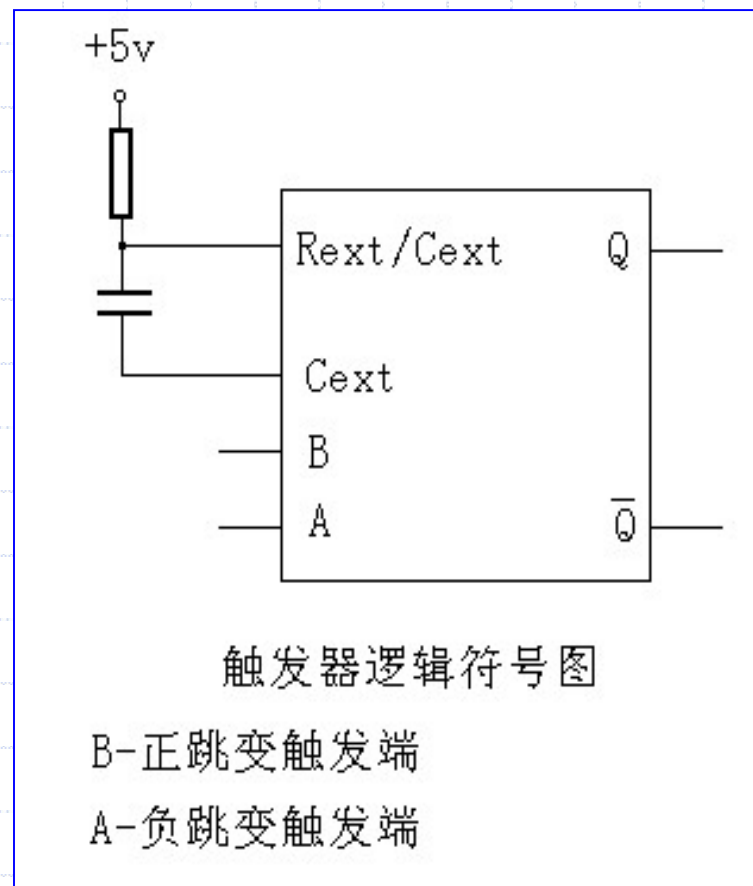
触发方式:

非重触发单稳、
可重触发单稳

器件:

74LS121

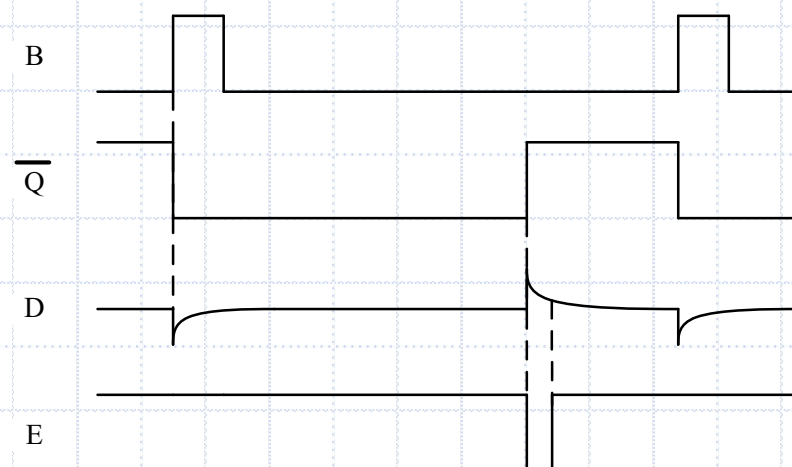
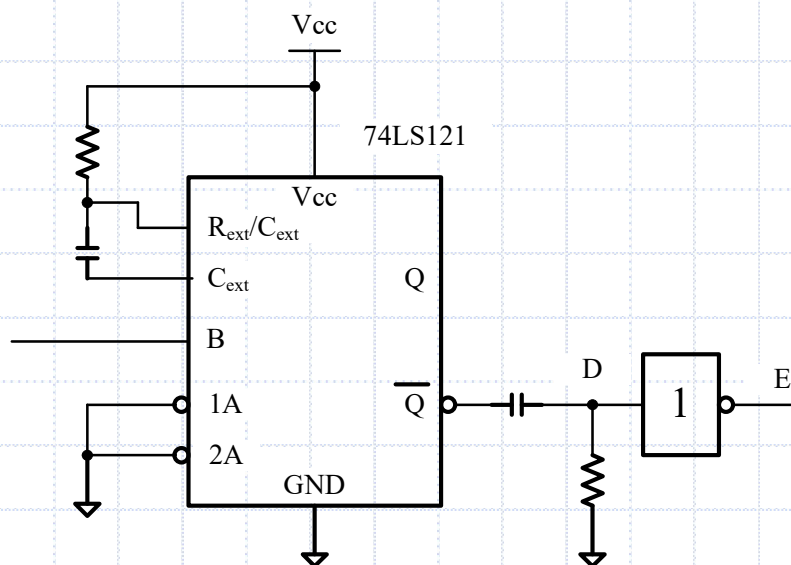
74LS123



第三章 数字逻辑电路基础

§ 3.2 集成触发器及其基本应用

单稳态触发器的基本应用

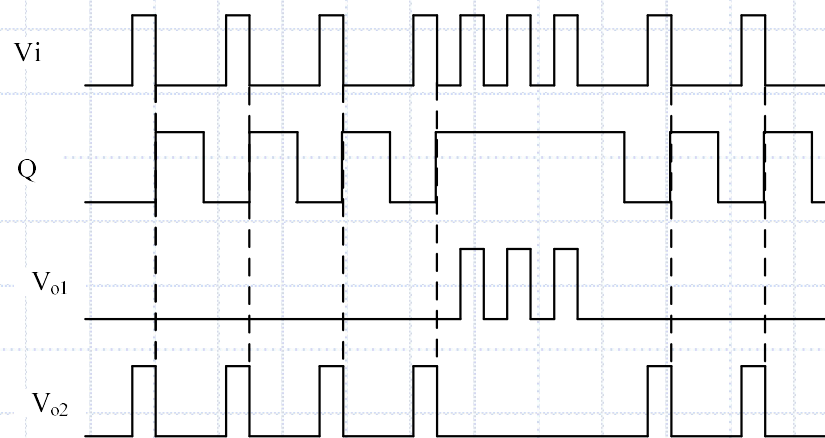
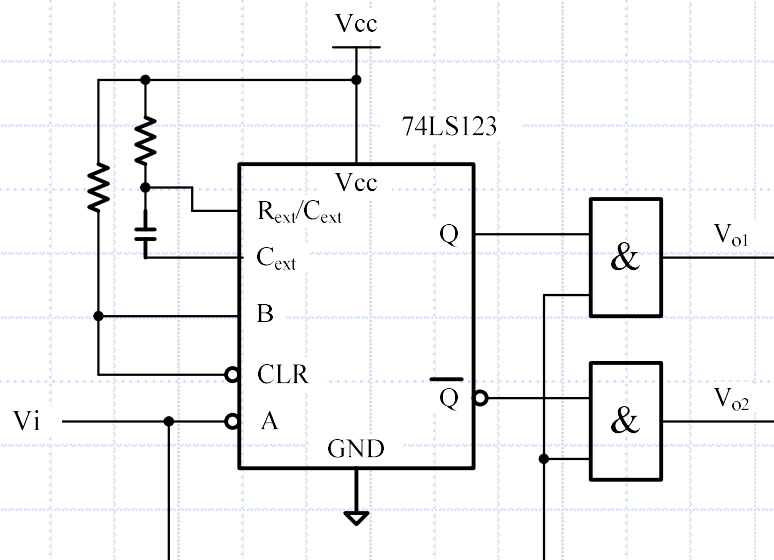


脉冲延时电路

第三章 数字逻辑电路基础

§ 3.2 集成触发器及其基本应用

单稳态触发器的基本应用

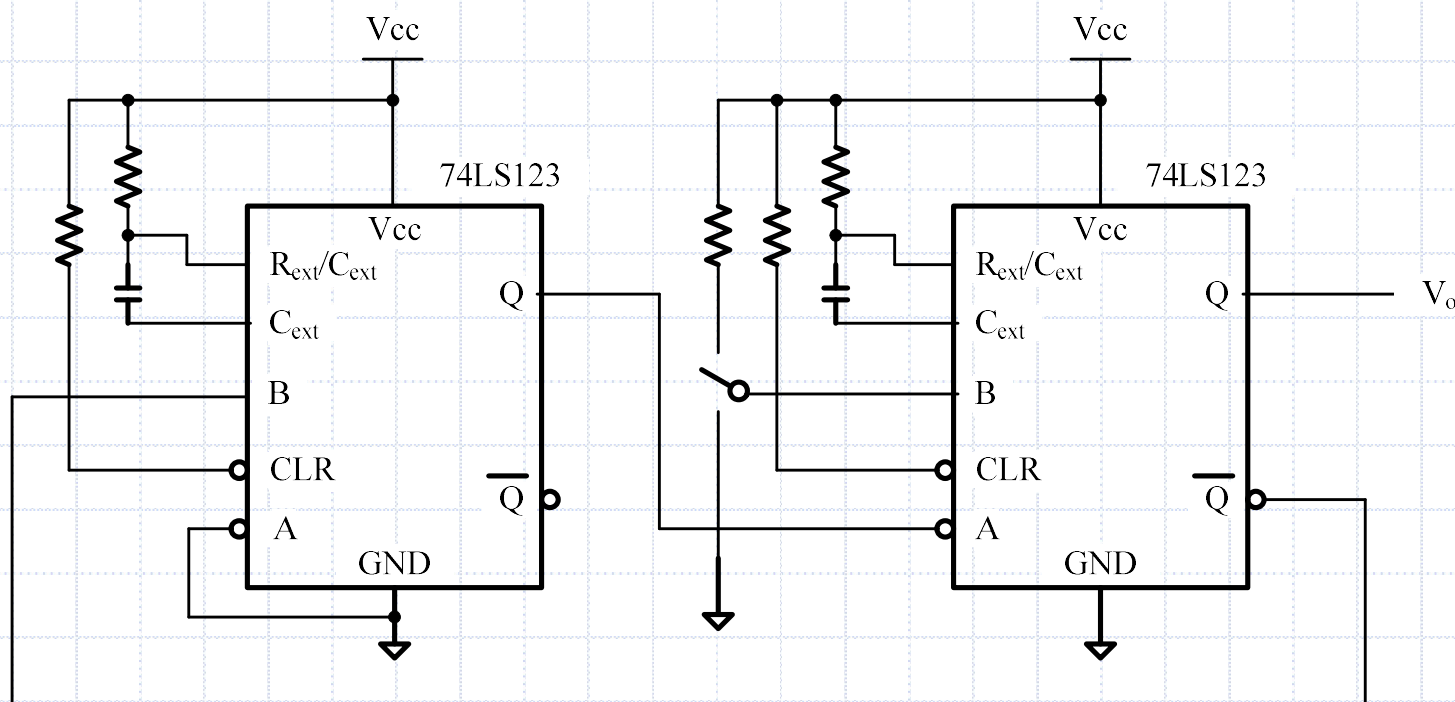


单稳态触发器构成的高通/低通滤波器

第三章 数字逻辑电路基础

§ 3.2 集成触发器及其基本应用

单稳态触发器的基本应用

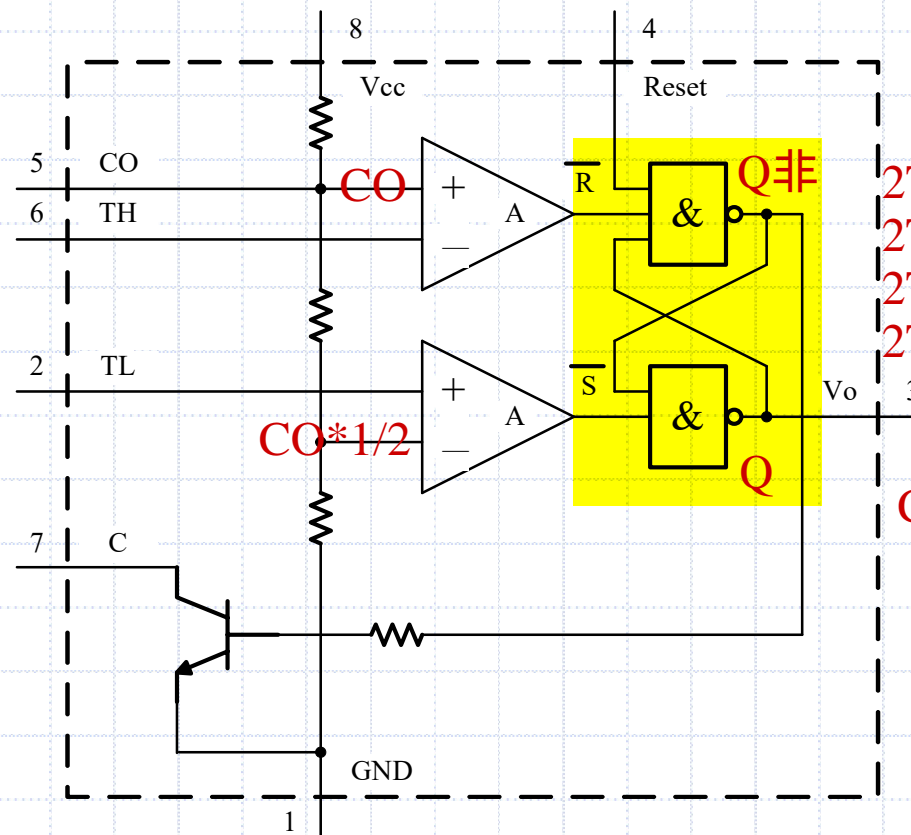


占空比可调的脉冲发生器

第三章 数字逻辑电路基础

§ 3.3 集成定时器555

不需要背内部结构和管脚定义



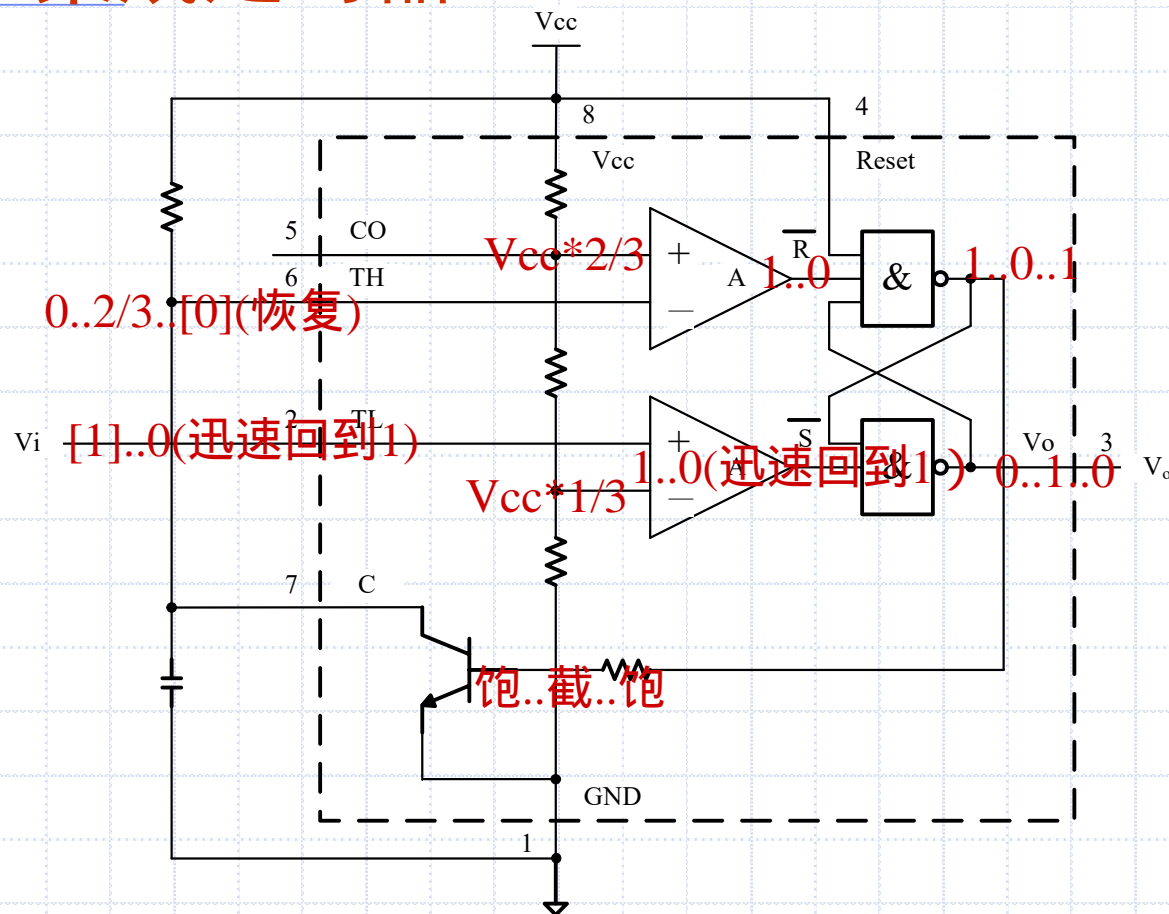
$2TL < CO < TH$, V_o 不确定
 $2TL > CO > TH$, V_o 保持
 $2TL < CO$ 且 $CO > TH$, V_o 输出 1
 $2TL > CO$ 且 $CO < TH$, V_o 输出 0

CO 悬空时为 $VCC * 2/3$

555定时器内部结构

第三章 数字逻辑电路基础

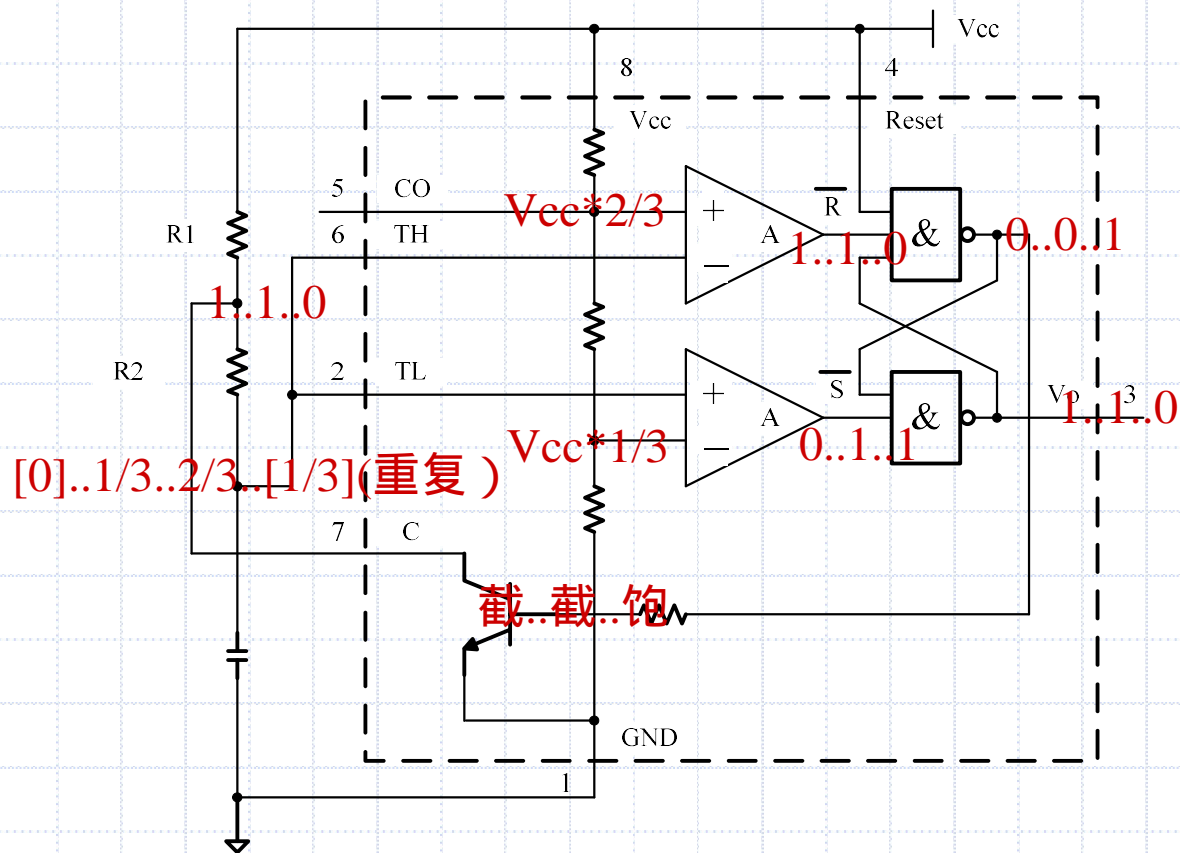
§ 3.3 集成定时器555



555定时器组成的单稳触发器——触摸开关、分频电路

第三章 数字逻辑电路基础

§ 3.3 集成定时器555

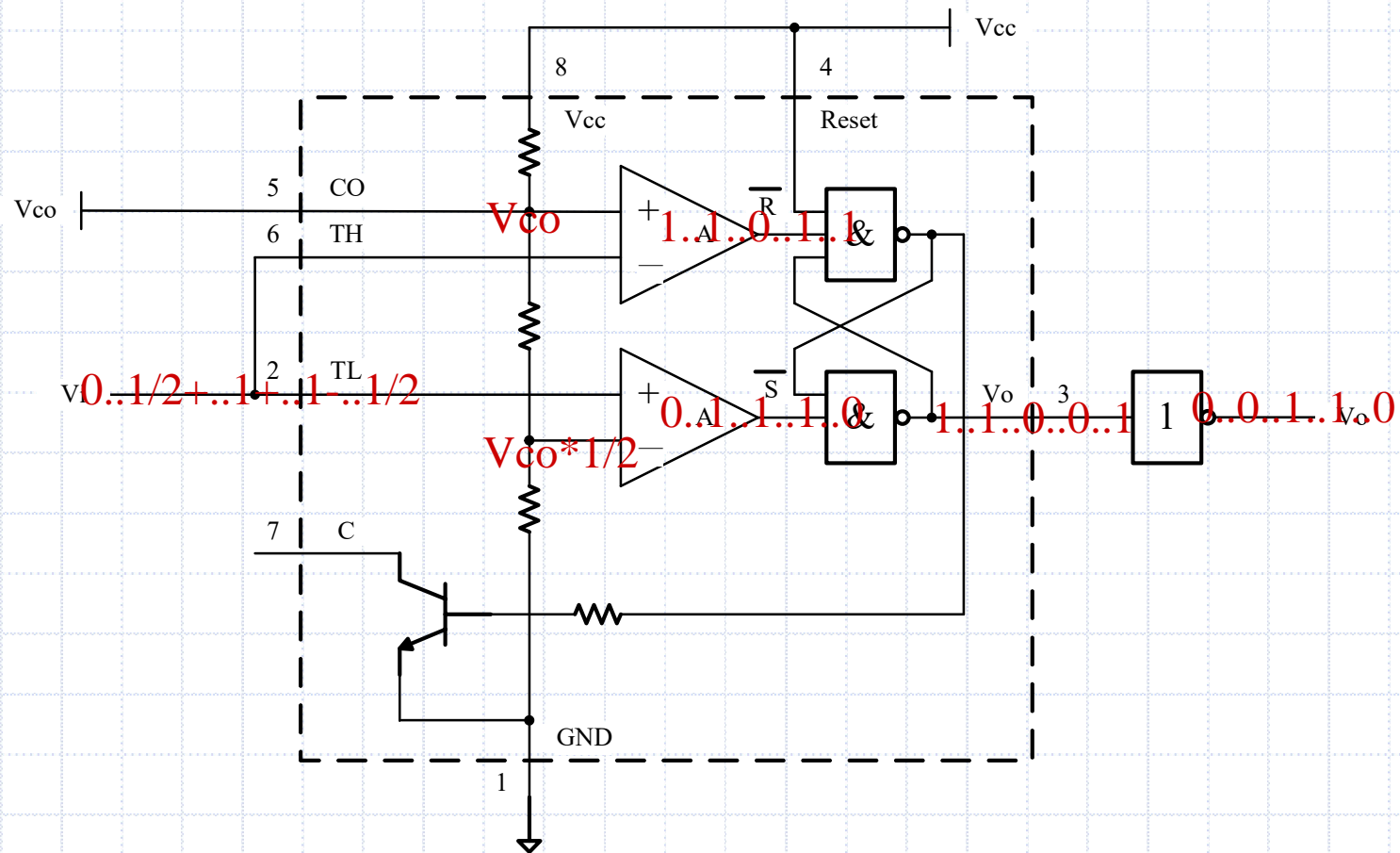


555定时器组成的多谐振荡器

——时钟发生器、通断检测、手控蜂鸣器

第三章 数字逻辑电路基础

§ 3.3 集成定时器555



555定时器组成的施密特触发器

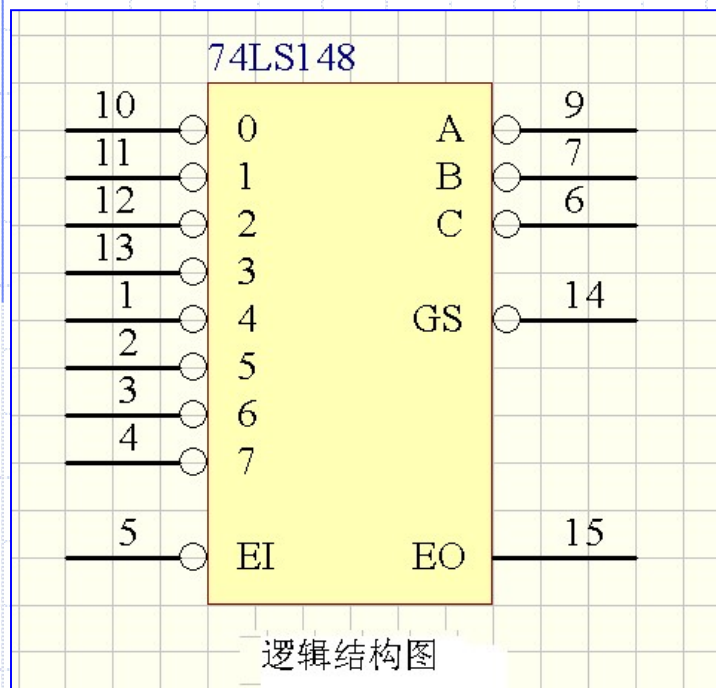
施密特触发器，(=。 =类似滞回比较器)

$V_i > V_{co}$ 时才会输出变为1， $V_i < V_{co} * 1/2$ 时才会输出变成0

第三章 数字逻辑电路基础

§ 3.4 组合逻辑电路

编码器74LS148:



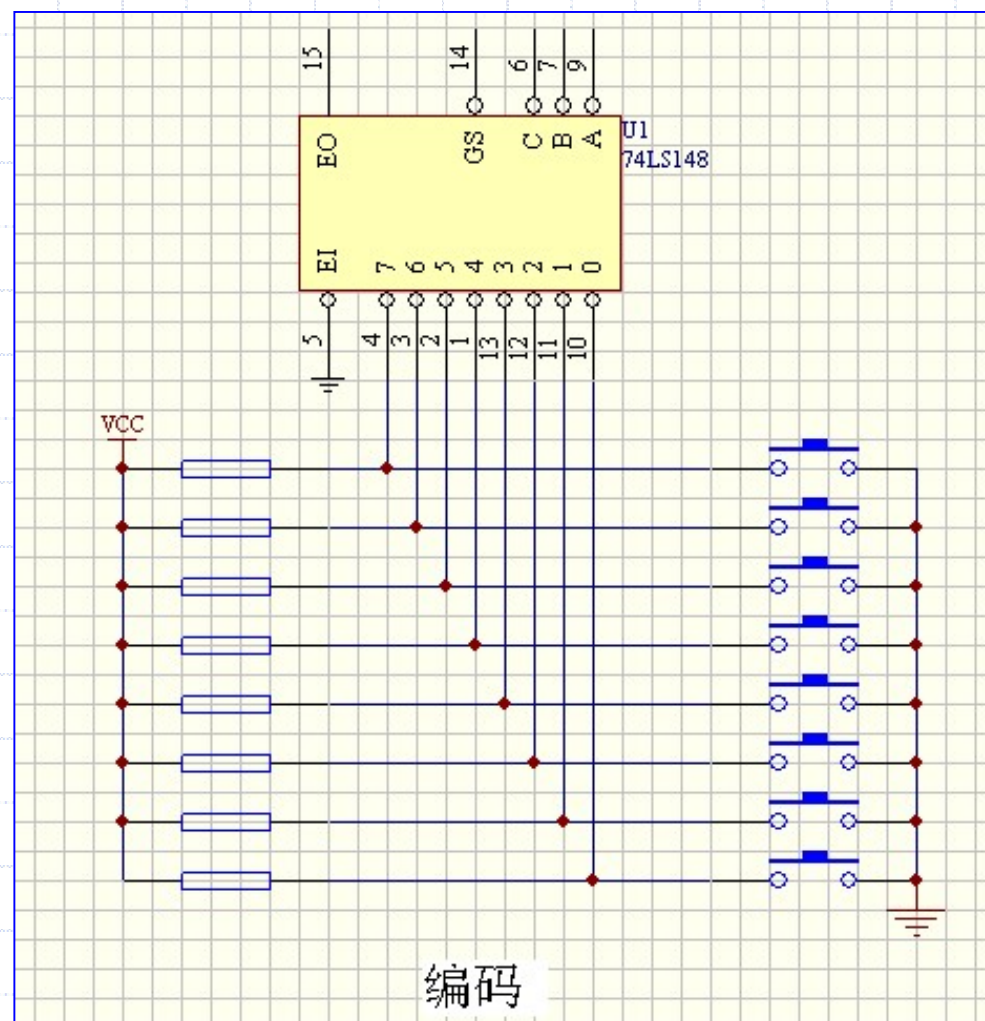
功能表

输入		输出	
EI	0 1 2 3 4 5 6 7	C B A	GS EO
1	x x x x x x x x	1 1 1	1 1
0	1 1 1 1 1 1 1 1	1 1 1	1 0
0	0 1 1 1 1 1 1 1	1 1 1	0 1
0	x 0 1 1 1 1 1 1	1 1 0	0 1
0	x x 0 1 1 1 1 1	1 0 1	0 1
0	x x x 0 1 1 1 1	1 0 0	0 1
0	x x x x 0 1 1 1	0 1 1	0 1
0	x x x x x 0 1 1	0 1 0	0 1
0	x x x x x x 0 1	0 0 1	0 1
0	x x x x x x x 0	0 0 0	0 1

第三章 数字逻辑电路基础

§ 3.4 组合逻辑电路

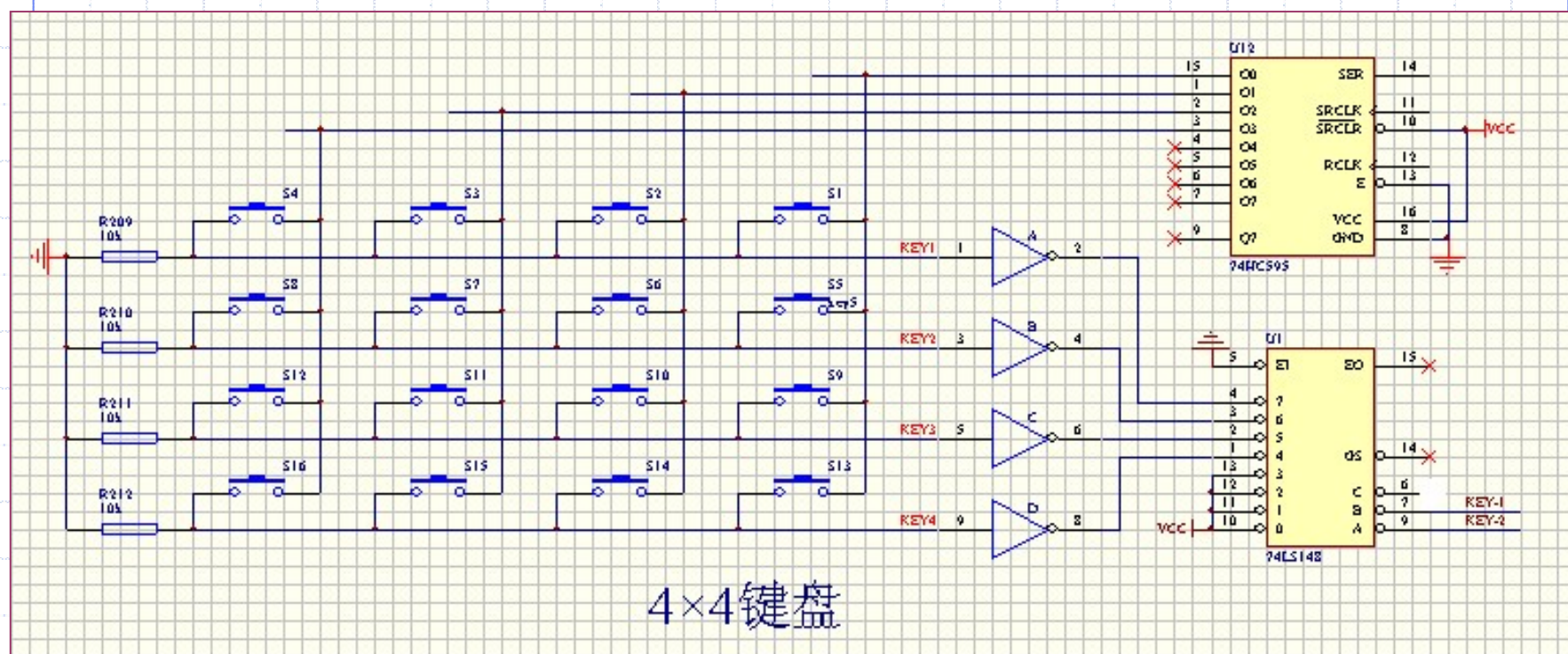
编码器74LS148:



第三章 数字逻辑电路基础

§ 3.4 组合逻辑电路

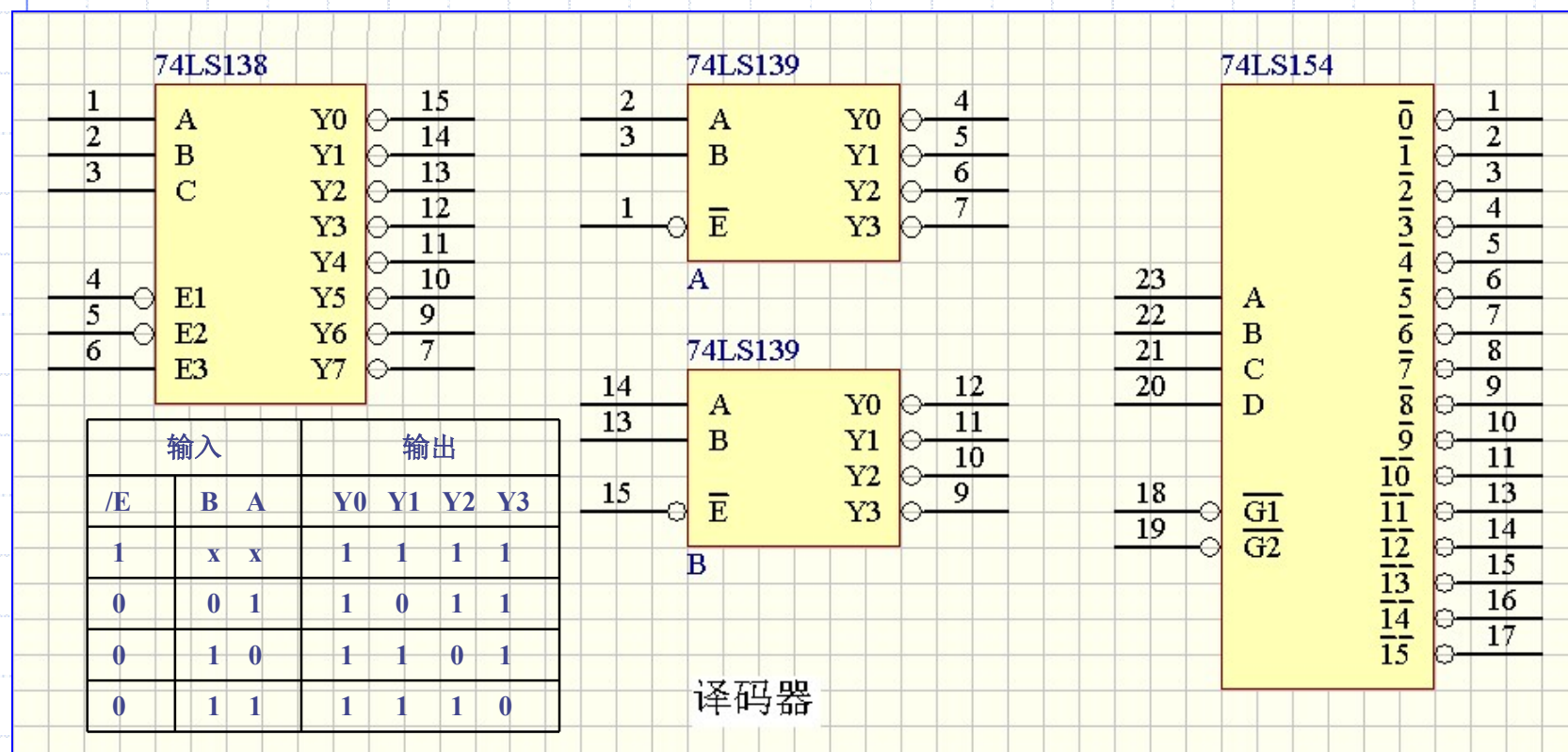
编码器74LS148:

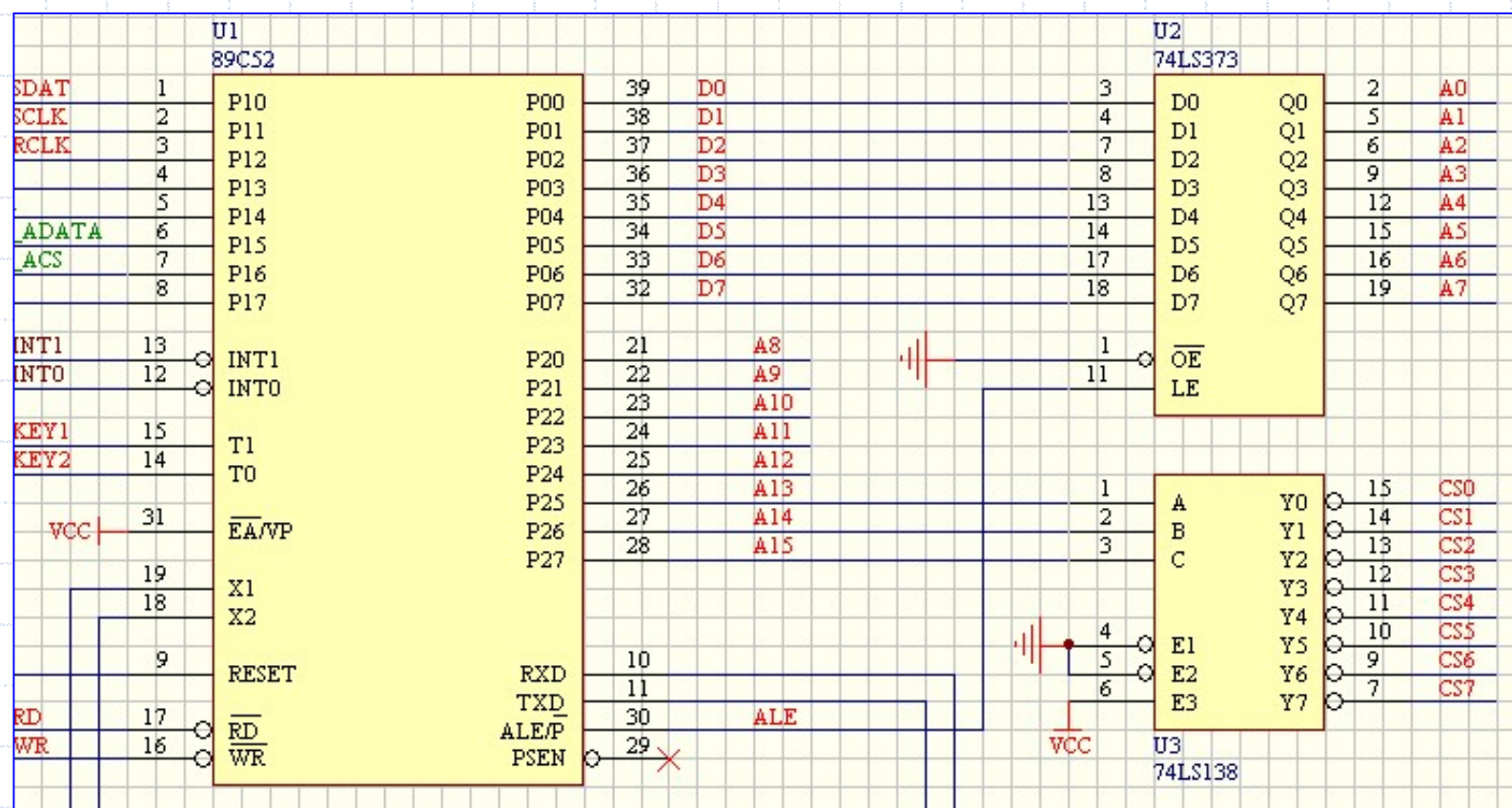


第三章 数字逻辑电路基础

§ 3.4 组合逻辑电路

译码器74LS138/139/154



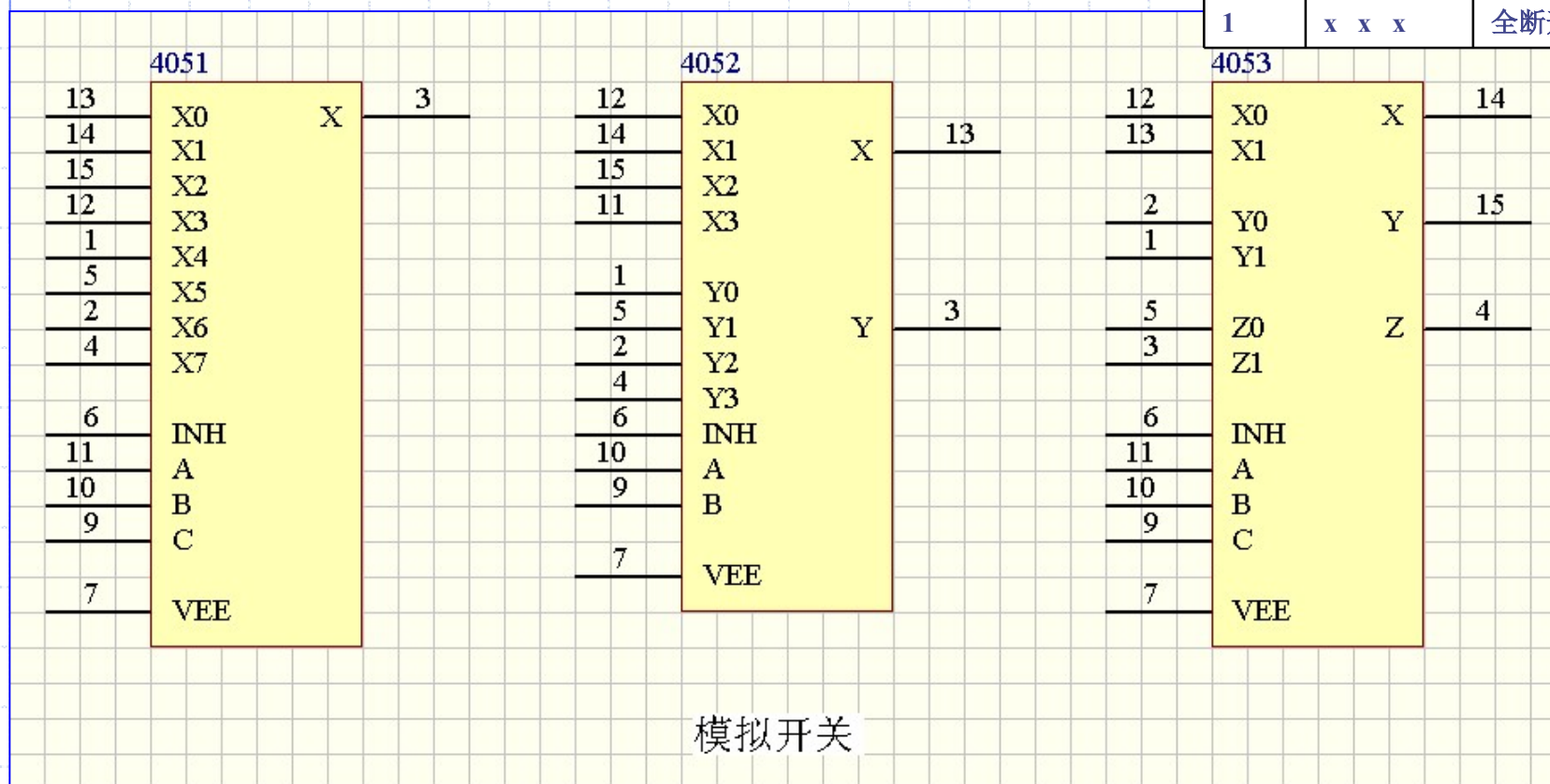


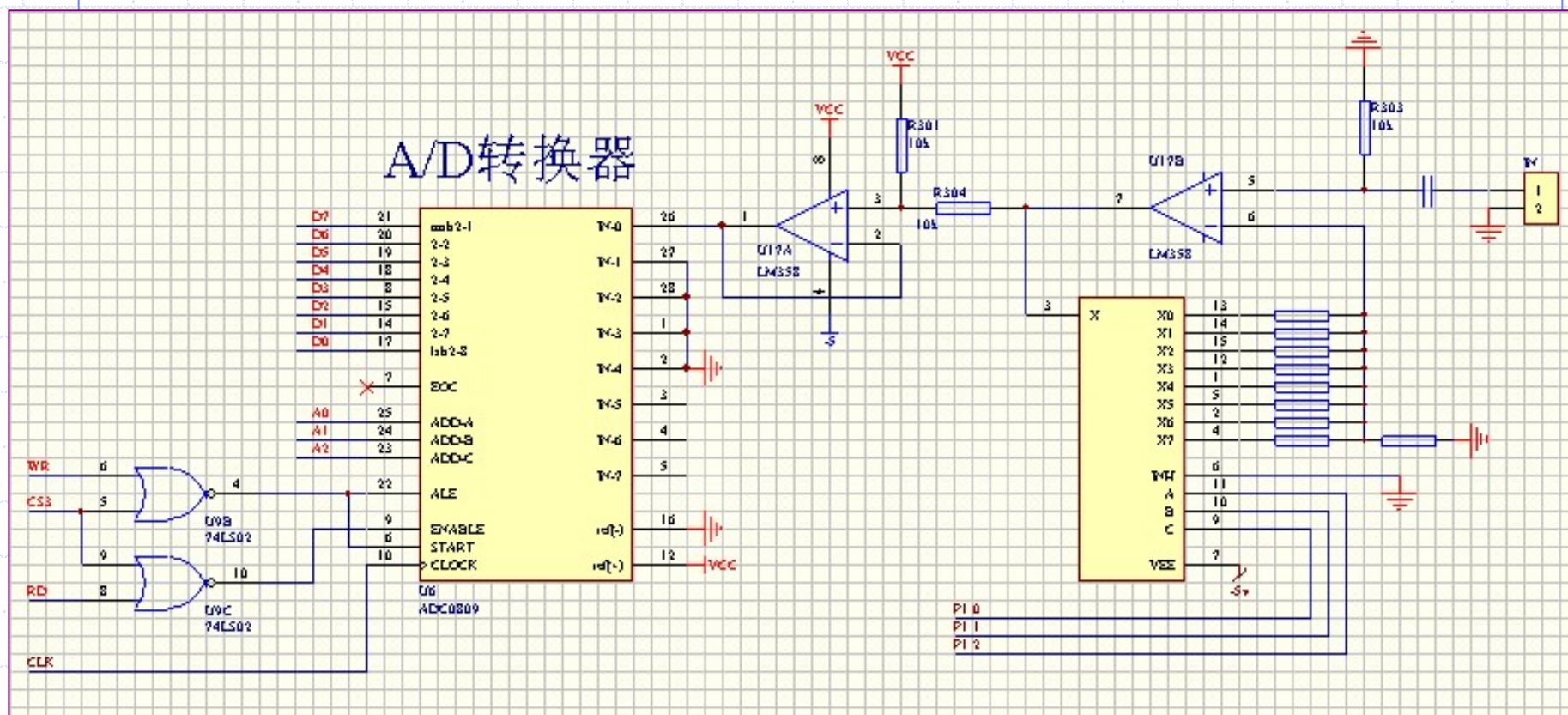
第三章 数字逻辑电路基础

§ 3.4 组合逻辑电路

模拟开关4051/4052/4053

INH	C B A	功能
0	0 0 0	x→x0
0	0 0 1	x→x1
0	0 1 0	x→x2
0	0 1 1	x→x3
0	1 0 0	x→x4
0	1 0 1	x→x5
0	1 1 0	x→x6
0	1 1 1	x→x7
1	x x x	全断开

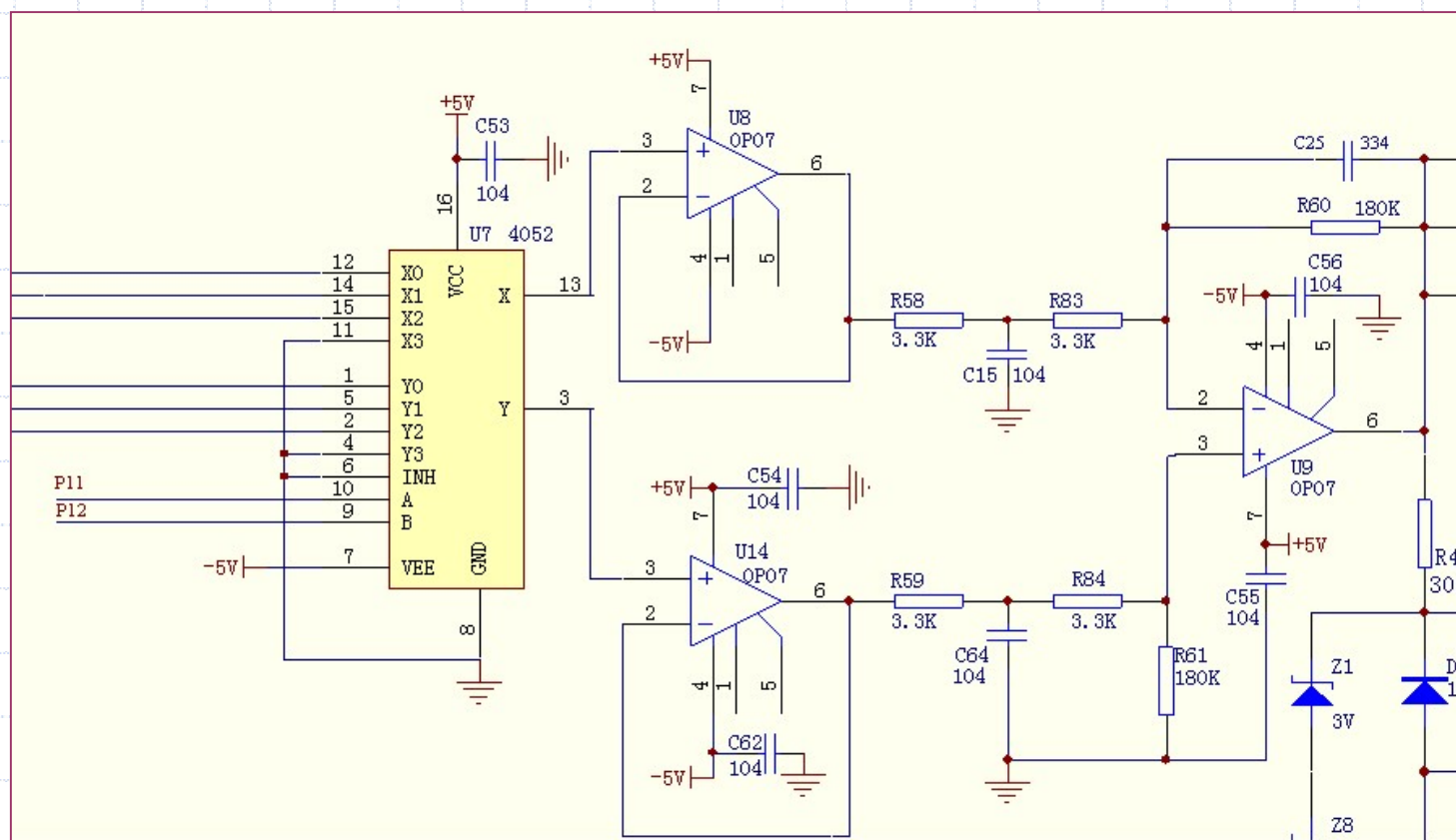




第三章 数字逻辑电路基础

§ 3.4 组合逻辑电路

模拟开关4051/4052/4053



多通道输入

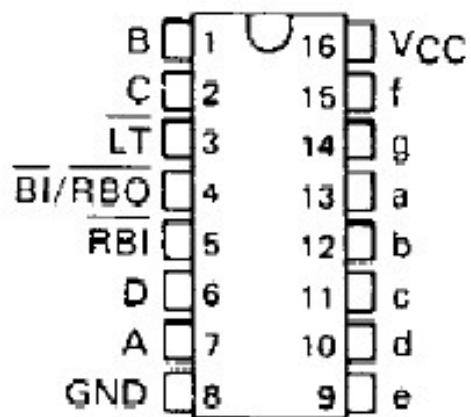
第三章 数字逻辑电路基础

§ 3.4 组合逻辑电路

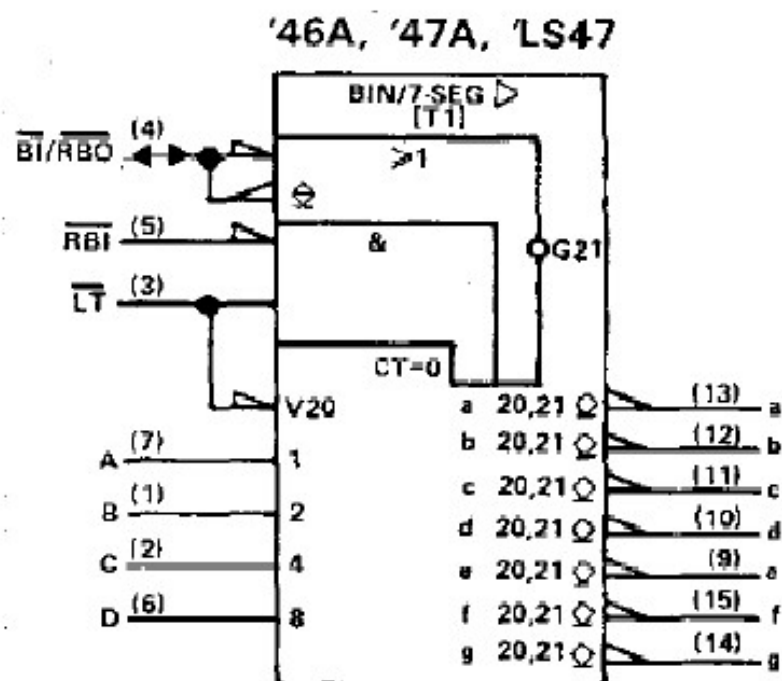
显示译码/驱动器74LS48/47

SN74LS47, SN74LS48 . . . D OR N PACKAGE

(TOP VIEW)



封装引脚图

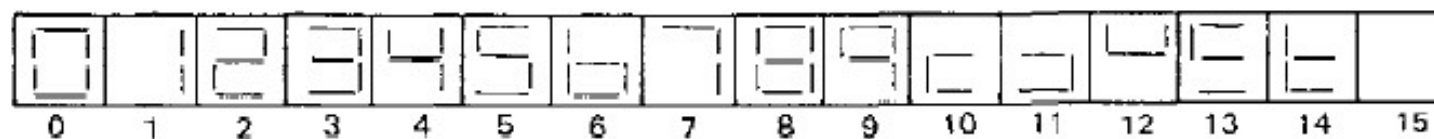
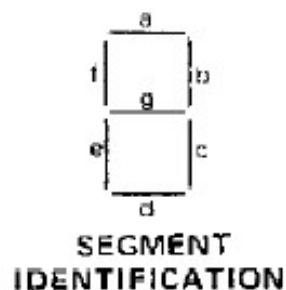


逻辑图

第三章 数字逻辑电路基础

§ 3.4 组合逻辑电路

显示译码/驱动器74LS48/47



NUMERICAL DESIGNATIONS AND RESULTANT DISPLAYS

功能表

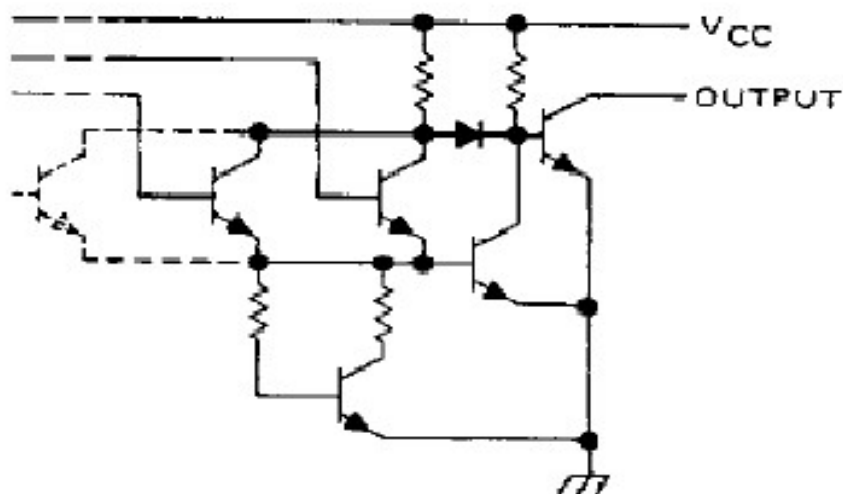
DECIMAL OR FUNCTION	INPUTS						$\overline{BI}/\overline{RBO}^\dagger$	OUTPUTS						
	\overline{LT}	\overline{RBI}	D	C	B	A		a	b	c	d	e	f	g
0	H	H	L	L	L	L	H	ON	ON	ON	ON	ON	ON	OFF
1	H	X	L	L	L	H	H	OFF	ON	ON	OFF	OFF	OFF	OFF
2	H	X	L	L	H	L	H	ON	ON	OFF	ON	ON	OFF	ON
3	H	X	L	L	H	H	H	ON	ON	ON	ON	OFF	OFF	ON

第三章 数字逻辑电路基础

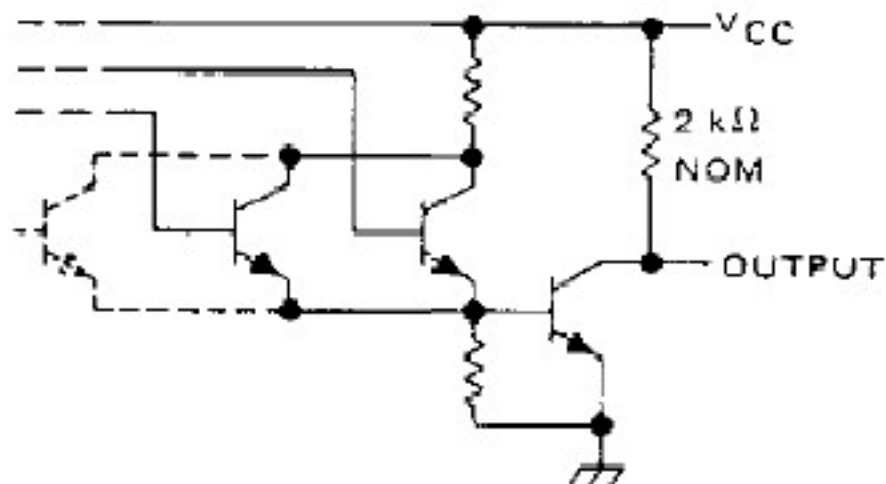
§ 3.4 组合逻辑电路

显示译码/驱动器74LS48/47

'47A TYPICAL OF OUTPUTS
a THRU g



'48 TYPICAL OF OUTPUTS
a THRU g



数字系统设计——多路抢答器

BCD-7段译码驱动器 74LS48

四R-S锁存器 74LS279

8-3线编码器 74LS148

