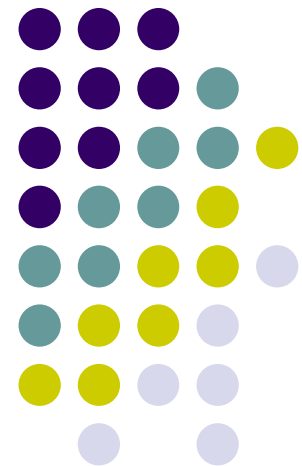
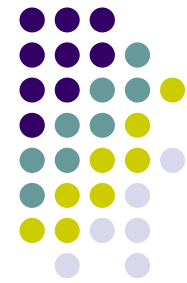


超大规模集成电路基础

Fundamental of VLSI

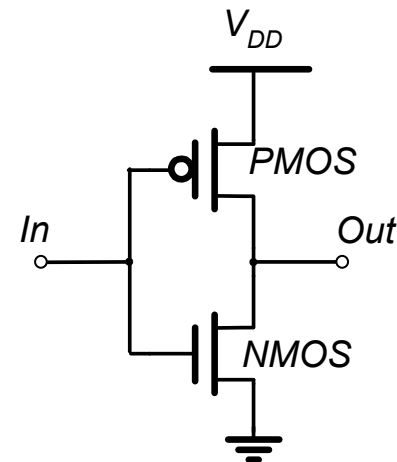
第五章 **CMOS** 反相器



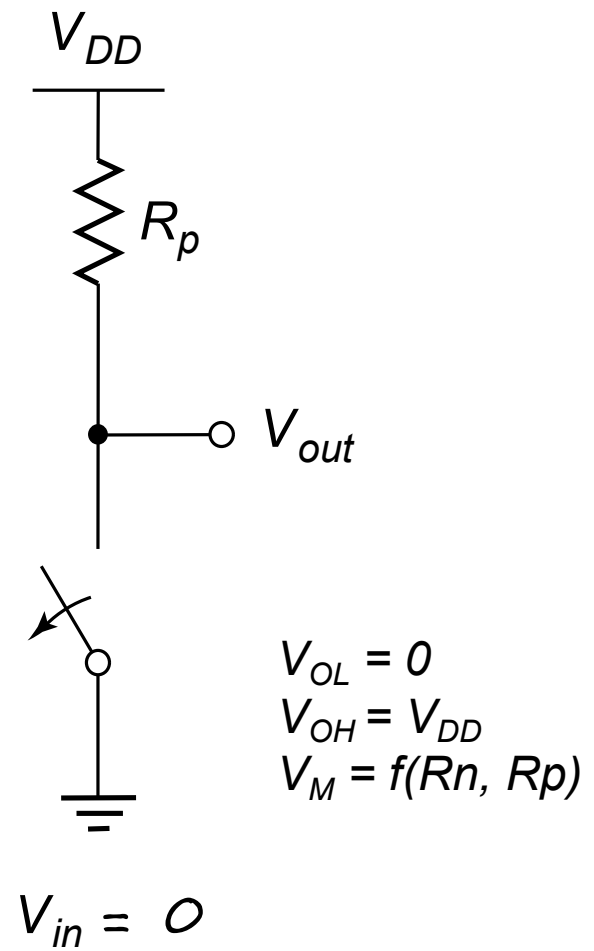
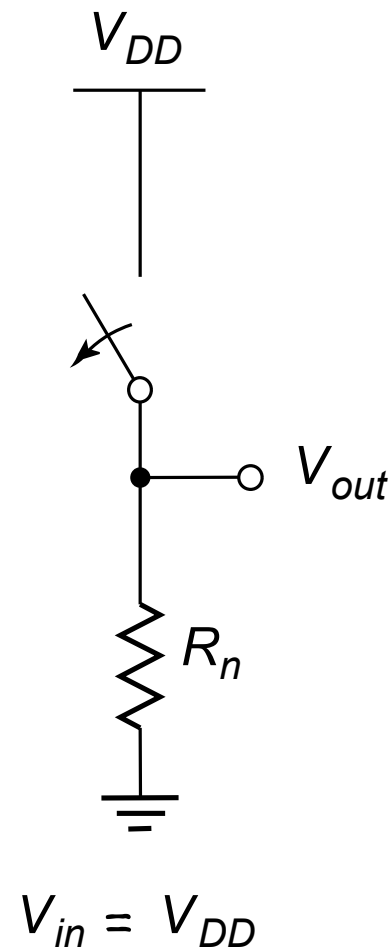
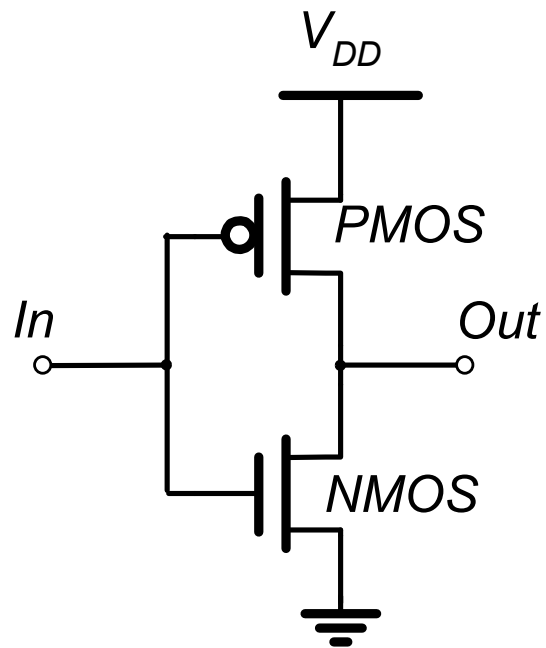


CMOS反相器

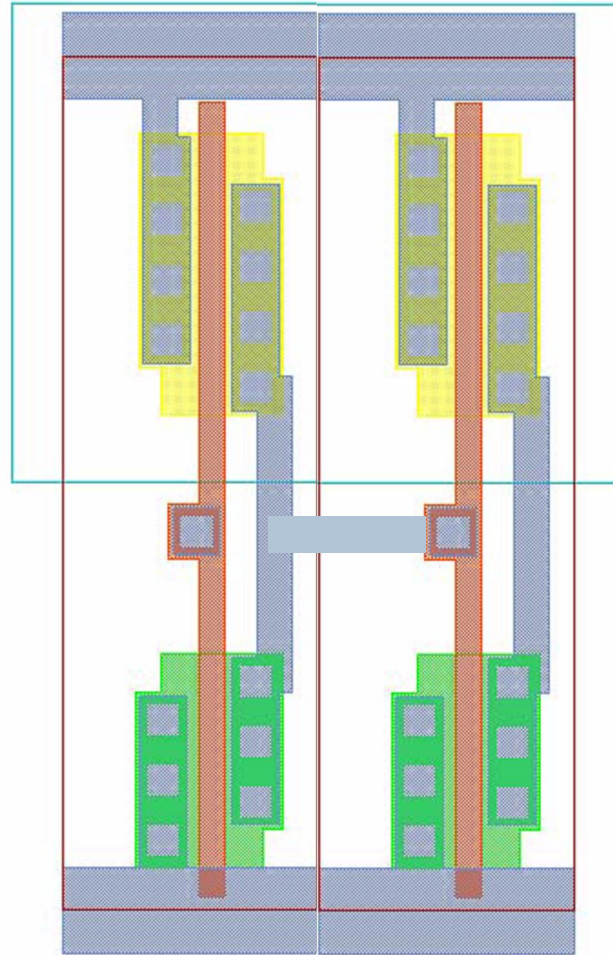
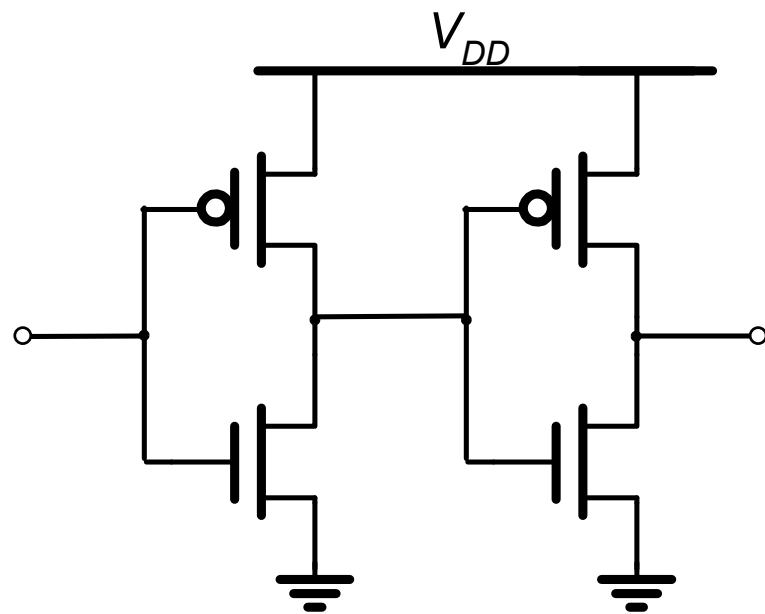
- 输出高电平和低电平分别为 V_{DD} 和GND
- 逻辑电平与器件的相对尺寸无关（无比逻辑），所以晶体管可采用最小尺寸
- 稳态时输出和 V_{DD} 或GND之间总存在一条具有有限电阻的通路
- CMOS反相器输入电阻极高，稳态输入电流几乎为零
- CMOS在稳态情况下电源线和地线没有直接通路，没有电流存在（忽略漏电流），因此该门不消耗任何静态功率



CMOS反相器



CMOS反相器

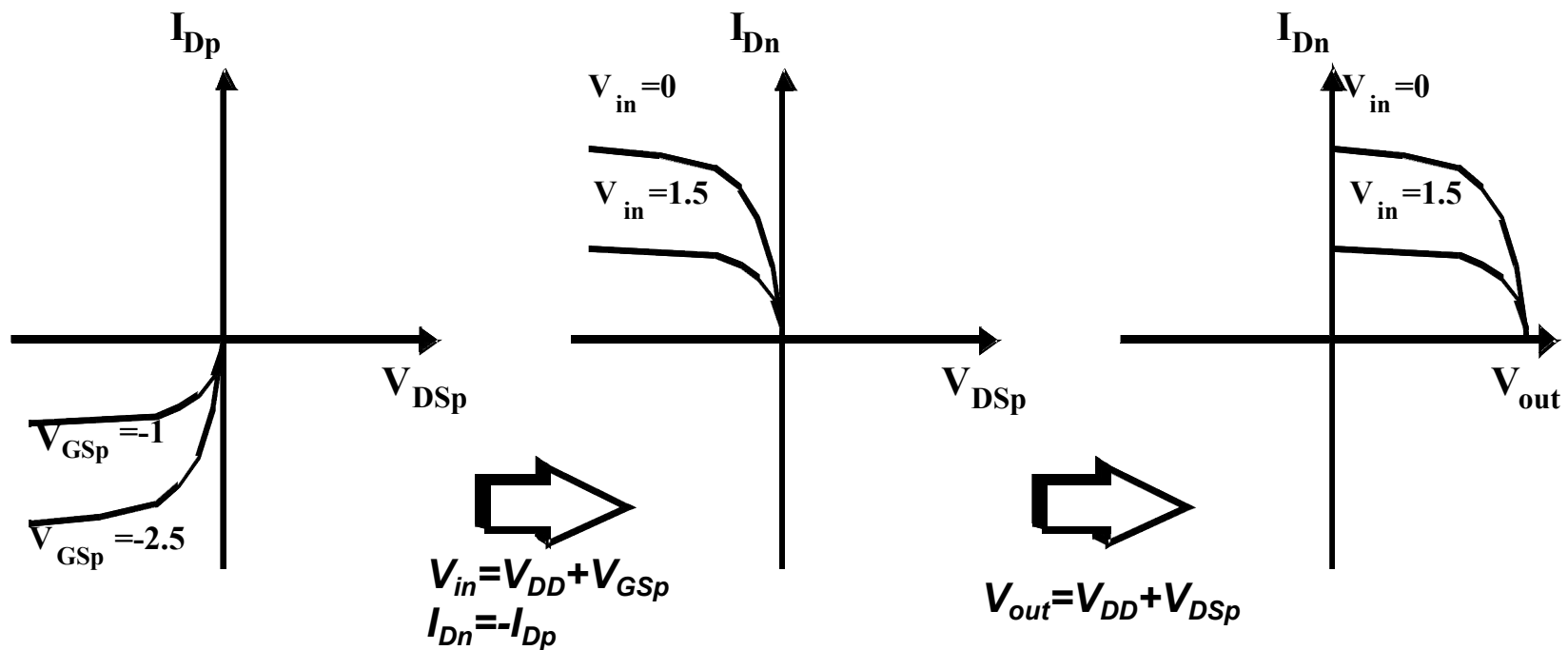
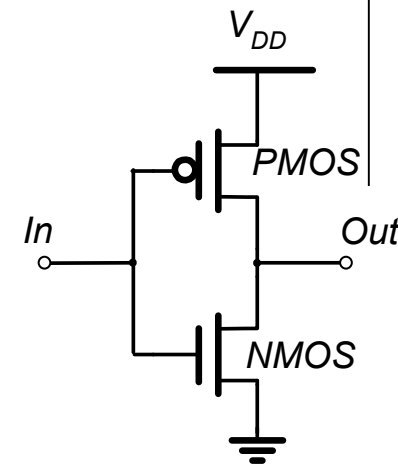


PMOS负载曲线

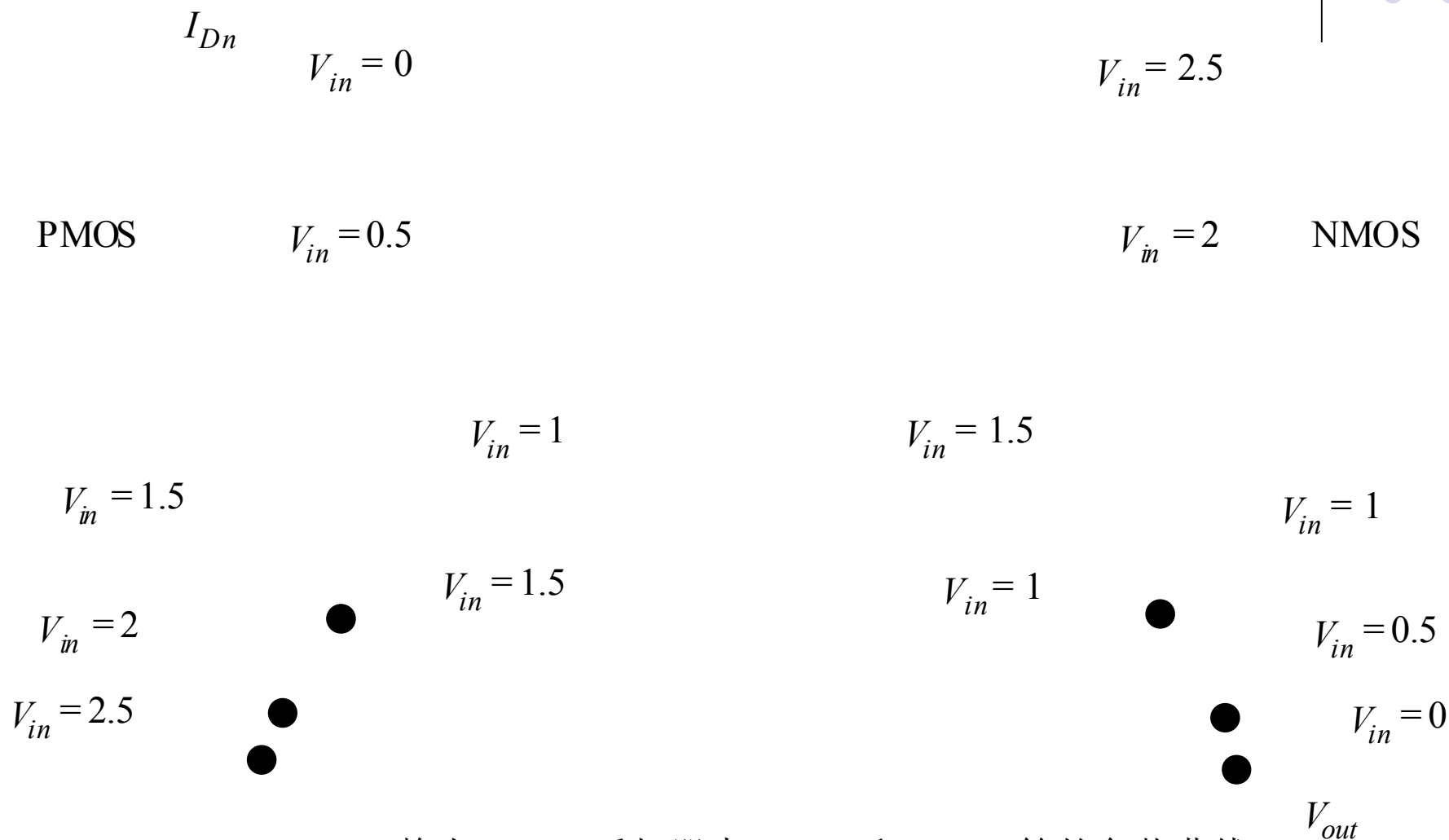
$$I_{Dsp} = -I_{Dsn}$$

$$V_{GSn} = V_{in}; \quad V_{GSp} = V_{in} - V_{DD}$$

$$V_{DSn} = V_{out}; \quad V_{DSp} = V_{out} - V_{DD}$$

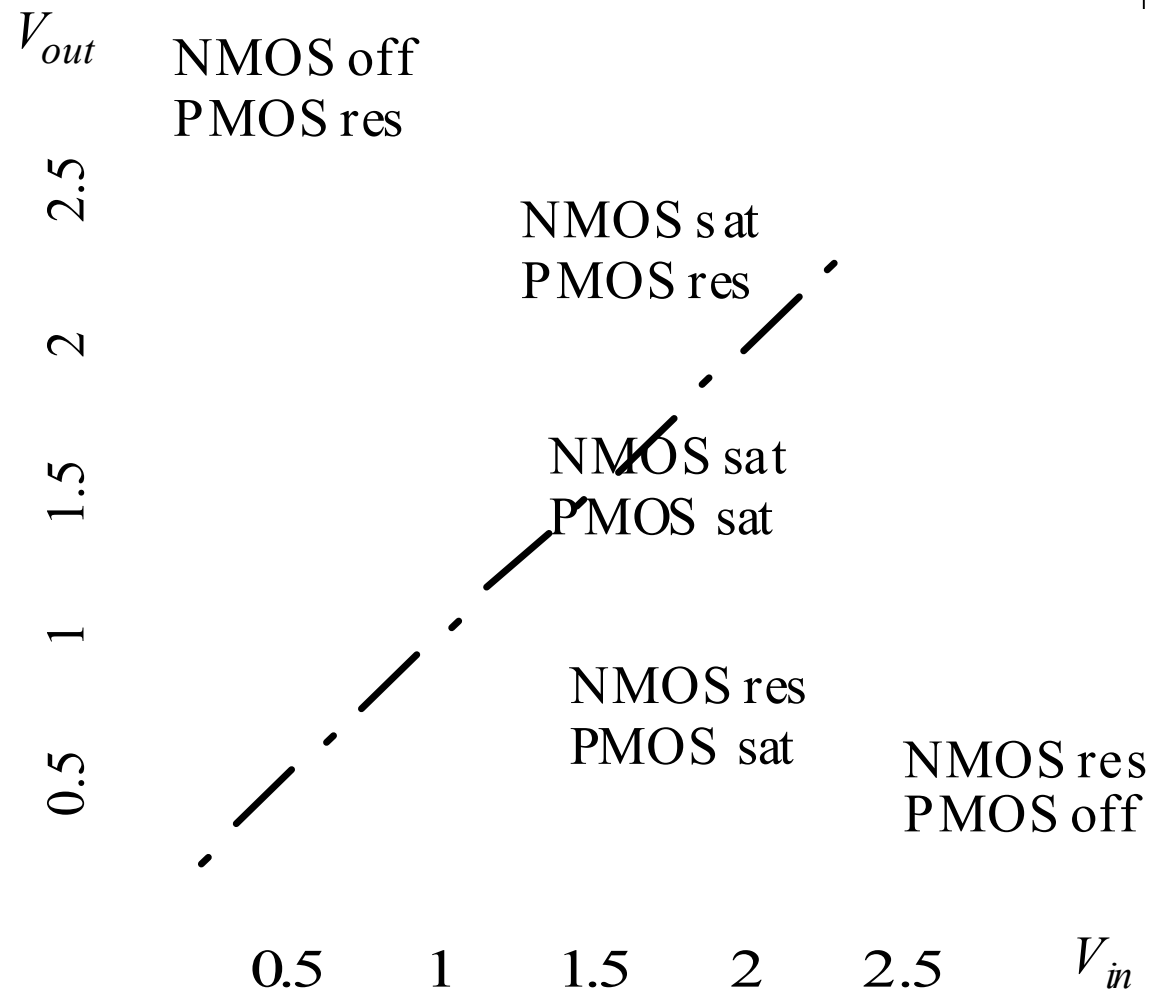


CMOS反相器负载曲线



静态CMOS反相器中NMOS和PMOS管的负载曲线

CMOS反相器VTC





CMOS反相器的静态特性

- 开关阈值 $V_M=f(V_M)$
- 假设电源电压足够高，器件处于速度饱和（即 $V_{DSAT}<V_M-V_T$ ）

$$k_n V_{DSATn} \left(V_M - V_{Tn} - \frac{V_{DSATn}}{2} \right) + k_p V_{DSATp} \left(V_M - V_{DD} - V_{Tp} - \frac{V_{DSATp}}{2} \right) = 0$$

求解 V_M 得到：

$$V_M = \frac{\left(V_{Tn} + \frac{V_{DSATn}}{2} \right) + r \left(V_{DD} + V_{Tp} + \frac{V_{DSATp}}{2} \right)}{1+r} \quad r = \frac{k_p V_{DSATp}}{k_n V_{DSATn}} = \frac{v_{satp} W_p}{v_{satn} W_n}$$

如果 V_{DD} 很大， V_M 计算可进一步简化为 $V_M = \frac{rV_{DD}}{1+r}$



CMOS反相器的静态特性

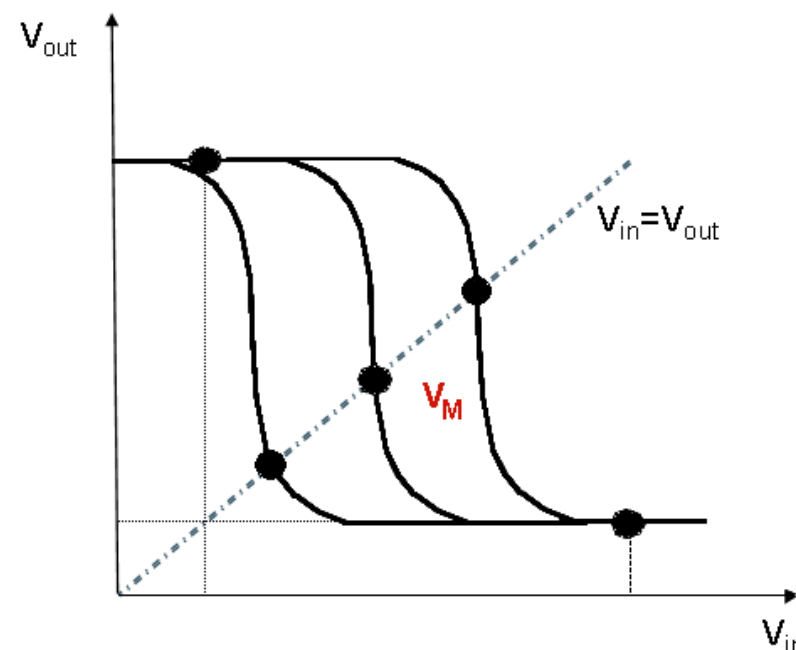
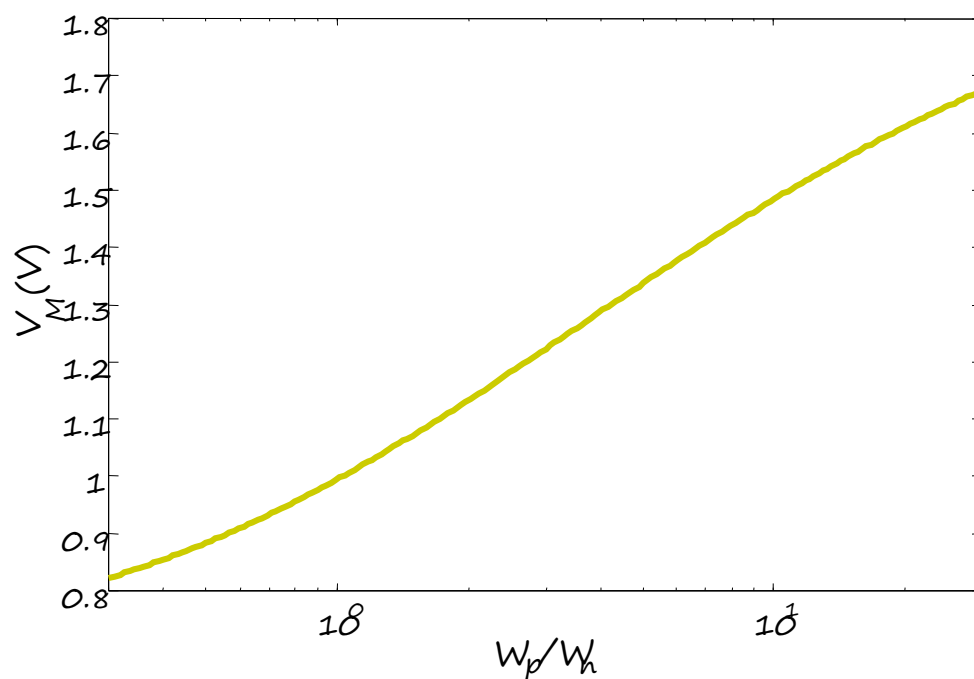
- 给定开关阈值确定PMOS和NMOS器件的尺寸

$$\frac{(W/L)_p}{(W/L)_n} = \frac{k'_n V_{DSATn} \left(V_M - V_{Tn} - \frac{V_{DSATn}}{2} \right)}{-k'_p V_{DSATp} \left(V_M - V_{DD} - V_{Tp} - \frac{V_{DSATp}}{2} \right)}$$



CMOS反相器的静态特性

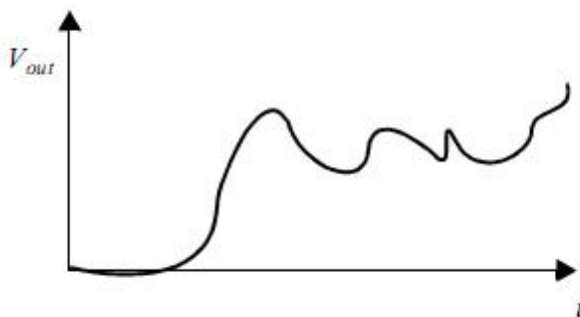
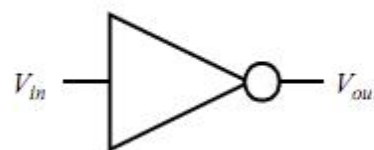
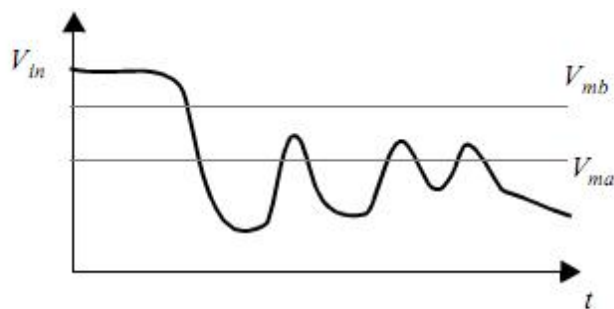
- 反相器阈值 V_M 具有特点
 - V_M 对于器件比值的变化不敏感
 - 改变 W_p/W_n 的影响是使反相器的VTC过渡区平移



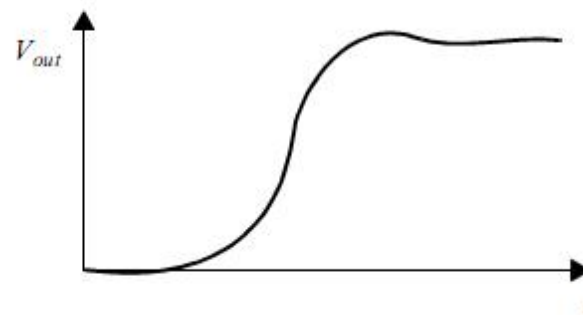


CMOS反相器的静态特性

- 反相器阈值 V_M 调整



标准反相器的响应

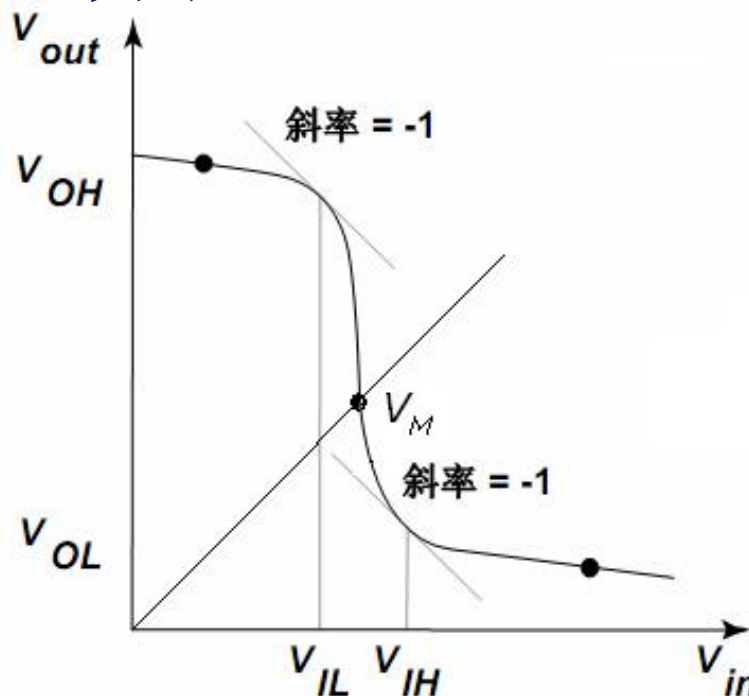
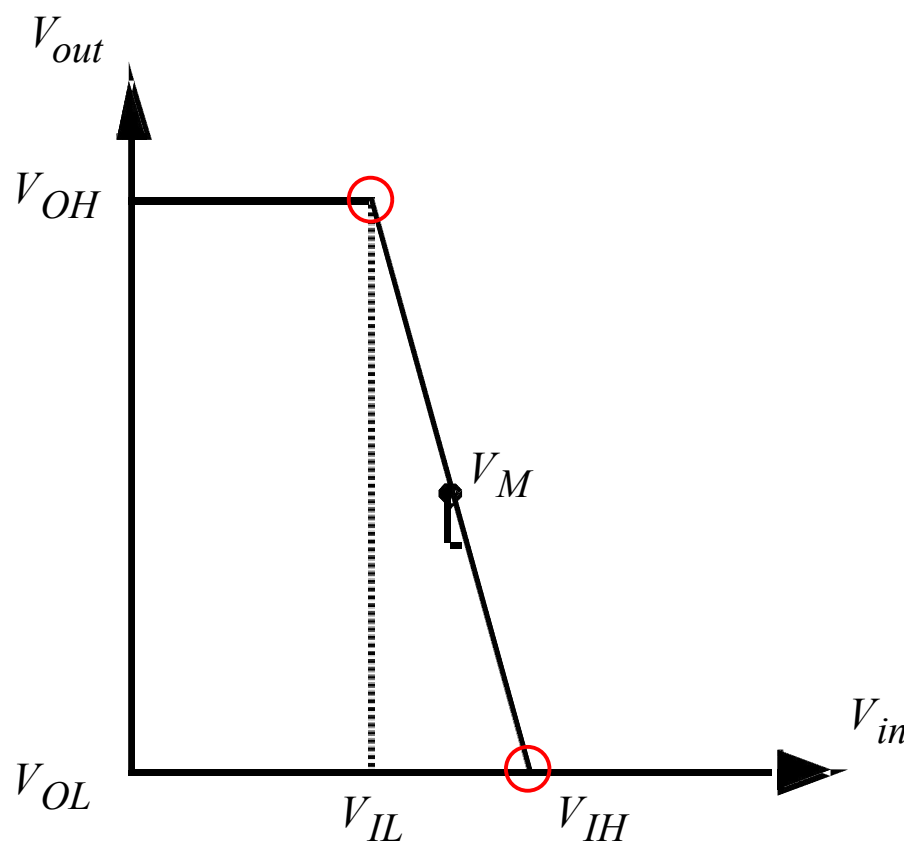


改变阈值后的反相器的响应



CMOS反相器的静态特性

- 噪声容限
 - 反相器VTC线性近似



$$V_{IH} - V_{IL} = -\frac{(V_{OH} - V_{OL})}{g} = \frac{-V_{DD}}{g}$$

$$V_{IH} = V_M - \frac{V_M}{g} \quad V_{IL} = V_M + \frac{V_{DD} - V_M}{g}$$

$$NM_H = V_{DD} - V_{IH} \quad NM_L = V_{IL}$$



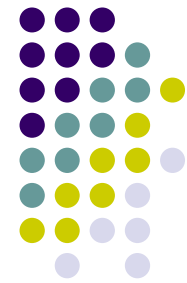
CMOS反相器的静态特性

- 噪声容限
 - 反相器增益g计算

$$k_n V_{DSATn} \left(V_{in} - V_{Tn} - \frac{V_{DSATn}}{2} \right) (1 + \lambda_n V_{out}) + k_p V_{DSATp} \left(V_{in} - V_{DD} - V_{Tp} - \frac{V_{DSATp}}{2} \right) (1 + \lambda_p V_{out} - \lambda_p V_{DD}) = 0$$

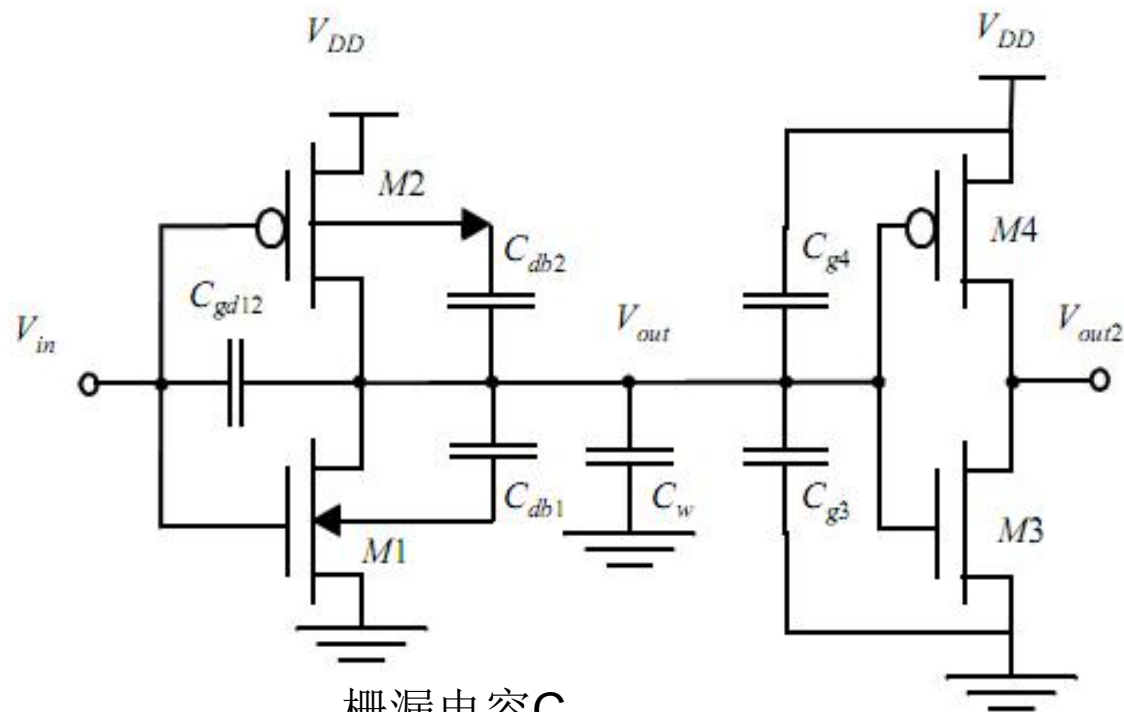
$$g = \frac{dV_{out}}{dV_{in}} = - \frac{k_n V_{DSATn} (1 + \lambda_n V_{out}) + k_p V_{DSATp} (1 + \lambda_p V_{out} - \lambda_p V_{DD})}{\lambda_n k_n V_{DSATn} \left(V_{in} - V_{Tn} - \frac{V_{DSATn}}{2} \right) + \lambda_p k_p V_{DSATp} \left(V_{in} - V_{DD} - V_{Tp} - \frac{V_{DSATp}}{2} \right)}$$

$$g \approx - \frac{k_n V_{DSATn} + k_p V_{DSATp}}{I_D(V_M)(\lambda_n - \lambda_p)} = \frac{1 + r}{(V_M - V_{Tn} - \frac{V_{DSATn}}{2})(\lambda_n - \lambda_p)}$$



CMOS反相器的动态特性

- CMOS反相器寄生电容



栅漏电容 C_{gd12}

扩散电容 C_{db1} 和 C_{db2}

连线电容 C_w

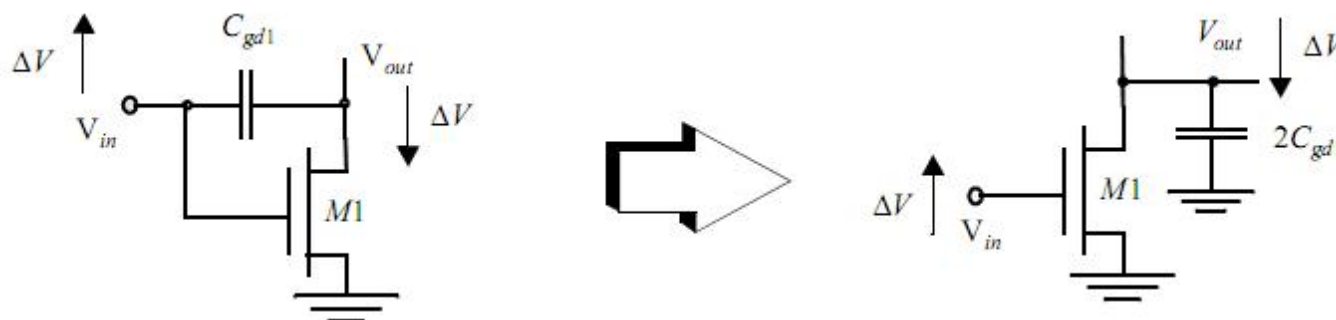
扇出的栅电容 C_{g3} 和 C_{g4}



CMOS反相器的动态特性

- CMOS反相器寄生电容

- 栅漏电容 C_{gd12}
- $C_{gd12} = C_{gd1} + C_{gd2}$
- $C_{gd1} = C_{ox}x_{dM1}W_{M1}$
- 米勒效应





CMOS反相器的动态特性

- CMOS反相器寄生电容

- 扩散电容 C_{db1} 和 C_{db2}

- 扩散电容是高度非线性的，通常对其线性化处理

$$C_{eq} = K_{eq} C_{j0}$$

$$K_{eq} = \frac{-\phi_0^m}{(V_{high} - V_{low})(1-m)} \left[(\phi_0 - V_{high})^{1-m} - (\phi_0 - V_{low})^{1-m} \right]$$

- 连线电容 C_w

- 与连线的长度和宽度及扇出的数目有关



CMOS反相器的动态特性

- CMOS反相器寄生电容

- 扇出的栅电容 C_{g3} 和 C_{g4}
 - 由负载门 M_3 和 M_4 的栅电容构成

$$\begin{aligned} C_{fan-out} &= C_{gate}(NMOS) + C_{gate}(PMOS) \\ &= (C_{GSON} + C_{GDO_n} + W_n L_n C_{ox}) + (C_{GSO_p} + C_{GDO_p} + W_p L_p C_{ox}) \end{aligned}$$

- 表达式简化
 - 假设栅电容的所有部分都连在 V_{out} 和GND（或 V_{DD} ）之间，并且忽略了栅漏电容上的米勒效应
 - 近似认为所连接的门的沟道电容在关注时间内保持不变为 WLC_{ox}



CMOS反相器的动态特性

- 传播延时：一阶分析
 - 传播延时 $t_p=RC$

$$t_p = \int_{v_1}^{v_2} \frac{C_L(v)}{i(v)} dv$$

$$R_{eq} = \frac{1}{-V_{DD}/2} \int_{V_{DD}}^{V_{DD}/2} \frac{V}{I_{DSAT}(1+\lambda V)} dV \approx \frac{3}{4} \frac{V_{DD}}{I_{DSAT}} \left(1 - \frac{7}{9} \lambda V_{DD}\right)$$

$$\text{其中 } I_{DSAT} = k' \frac{W}{L} \left((V_{DD} - V_T) V_{DSAT} - \frac{V_{DSAT}^2}{2} \right)$$

$$t_{pHL} = \ln(2) R_{eqn} C_L = 0.69 R_{eqn} C_L$$

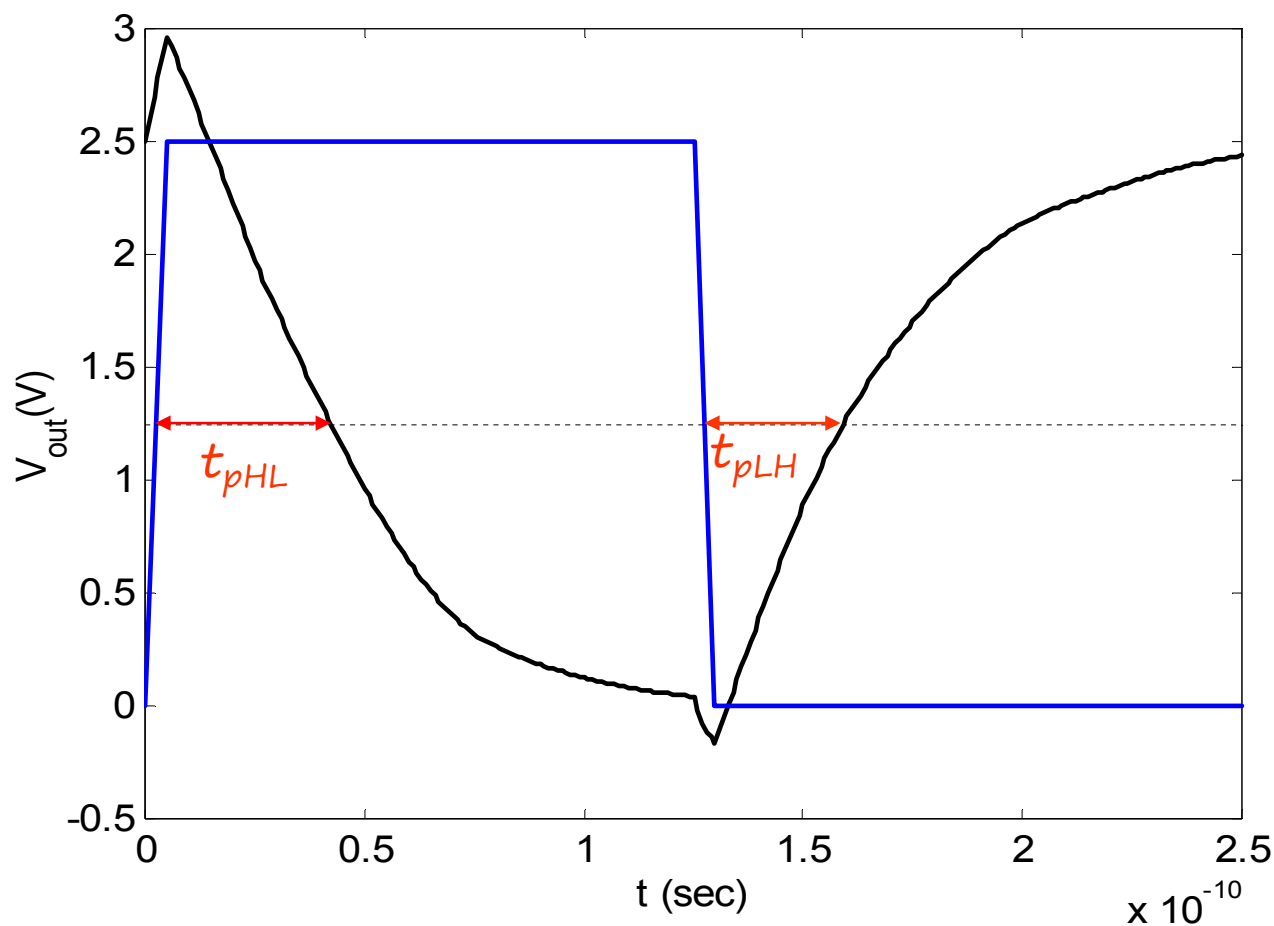
$$t_{pLH} = \ln(2) R_{eqp} C_L = 0.69 R_{eqp} C_L$$

$$t_p = \frac{t_{pHL} + t_{pLH}}{2} = 0.69 C_L \left(\frac{R_{eqn} + R_{eqp}}{2} \right)$$



CMOS反相器的动态特性

- 传播延时：一阶分析





CMOS反相器的动态特性

- 减少CMOS门传播延时的设计技术
 - 减少 C_L
 - 使门本身的内部扩散电容、互连线电容和扇出电容减少
 - 增加晶体管的 W/L 比
 - 减少电阻负载，但反过来会增加电容，称为自载效应
 - 较宽的晶体管具有较大的栅电容，增加了驱动门的扇出系数
 - 提高 V_{DD}

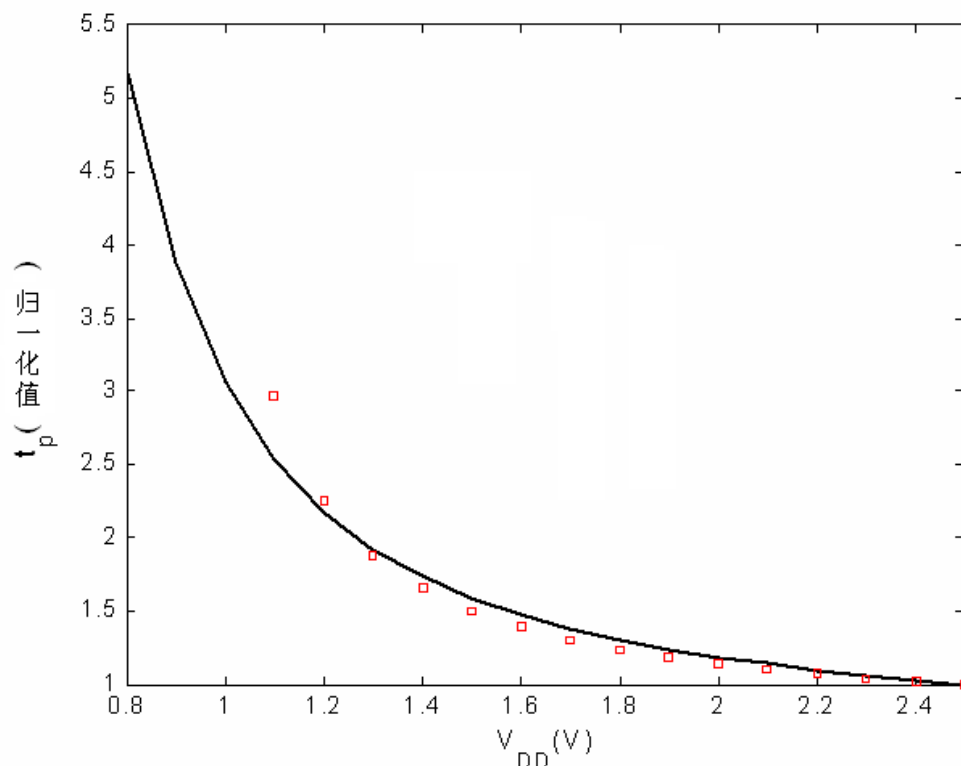


CMOS反相器的动态特性

- 减少CMOS门传播延时的设计技术

- 电源电压 V_{DD} 对延时的影响

忽略沟道调制系数 λ $t_{pHL} = 0.69 \frac{3 C_L V_{DD}}{4 I_{DSATn}} = 0.52 \frac{C_L V_{DD}}{(W/L)_n k'_n V_{DSATn} (V_{DD} - V_{Tn} - V_{DSATn} / 2)}$



如果 $V_{DD} \square V_{Tn} - V_{DSATn} / 2$

$$t_{pHL} = 0.52 \frac{C_L}{(W/L)_n k'_n V_{DSATn}}$$



CMOS反相器的动态特性

- 从设计角度考虑延时

- NMOS与PMOS比

$$C_L = (C_{dp1} + C_{dn1}) + (C_{gp2} + C_{gn2}) + C_W$$

$$\beta = (W/L)_p / (W/L)_n \quad \begin{matrix} C_{dp1} \approx \beta C_{dn1} \\ C_{gp2} \approx \beta C_{gn2} \end{matrix} \quad C_L = (1 + \beta)(C_{dn1} + C_{gn2}) + C_W$$

$$t_p = \frac{0.69}{2} \left((1 + \beta)(C_{dn1} + C_{gn2}) + C_W \right) \left(R_{eqn} + \frac{R_{eqp}}{\beta} \right) \quad r = \frac{R_{eqp}}{R_{eqn}}$$

$$= 0.345 \left((1 + \beta)(C_{dn1} + C_{gn2}) + C_W \right) R_{eqn} \left(1 + \frac{r}{\beta} \right)$$

$$\frac{\partial t_p}{\partial \beta} = 0.345 R_{eqn} \left[\left(C_{dn1} + C_{gn2} \right) \left(1 + \frac{r}{\beta} \right) - \left((1 + \beta)(C_{dn1} + C_{gn2}) + C_W \right) \frac{r}{\beta^2} \right] = 0$$

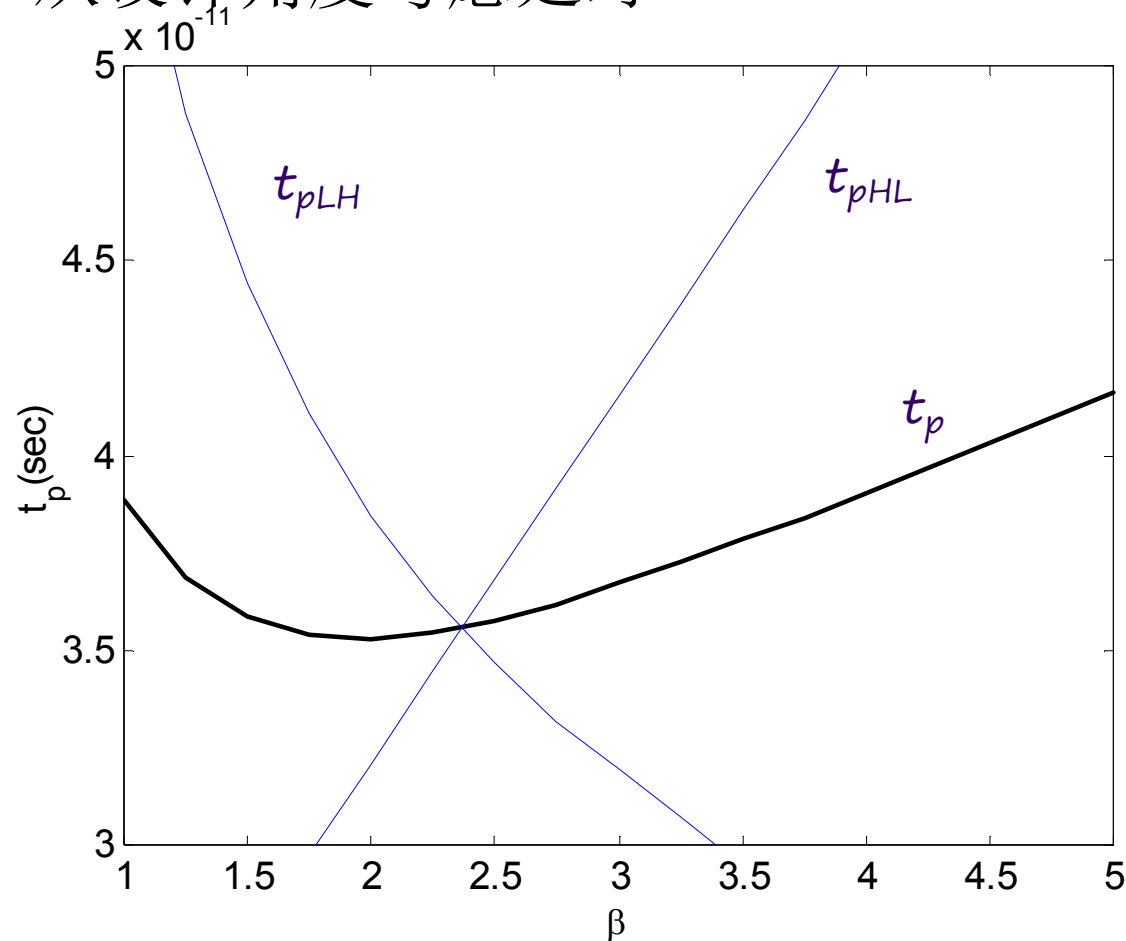
$$(\beta^2 + r\beta) = \left((1 + \beta) + \frac{C_W}{(C_{dn1} + C_{gn2})} \right) r$$

$$\beta^2 = r \left(1 + \frac{C_W}{(C_{dn1} + C_{gn2})} \right) \quad \beta_{opt} = \sqrt{r \left(1 + \frac{C_W}{(C_{dn1} + C_{gn2})} \right)}$$



CMOS反相器的动态特性

- 从设计角度考虑延时



$$\beta = W_p/W_n$$

$$\beta_{opt} = \sqrt{r \left(1 + \frac{C_w}{(C_{dn1} + C_{gn2})} \right)}$$



CMOS反相器的动态特性

- 考虑性能时反向器尺寸的确定
 - 负载电容可以分为本征和外部电容两部分
 - 本征电容 C_{int} : 扩散电容和栅漏覆盖电容
 - 外部电容 C_{ext} : 扇出和导线电容

$$C_L = C_{int} + C_{ext}$$

$$\begin{aligned} t_p &= 0.69 R_{eq} (C_{int} + C_{ext}) \\ &= 0.69 R_{eq} C_{int} (1 + C_{ext} / C_{int}) = t_{p0} (1 + C_{ext} / C_{int}) \end{aligned}$$

引入尺寸系数 S $C_{int} = SC_{iref}$ $R_{eq} = R_{ref} / S$

$$\begin{aligned} t_p &= 0.69 (R_{ref} / S) (SC_{iref}) (1 + C_{ext} / SC_{iref}) \\ &= 0.69 R_{ref} C_{iref} (1 + C_{ext} / SC_{iref}) = t_{p0} (1 + C_{ext} / SC_{iref}) \end{aligned}$$

- 从上式可以得出两个重要的结论
 - 反相器的本征延时 t_{p0} 与门的尺寸无关
 - 使 S 无穷大可使性能最大可能的得到改善



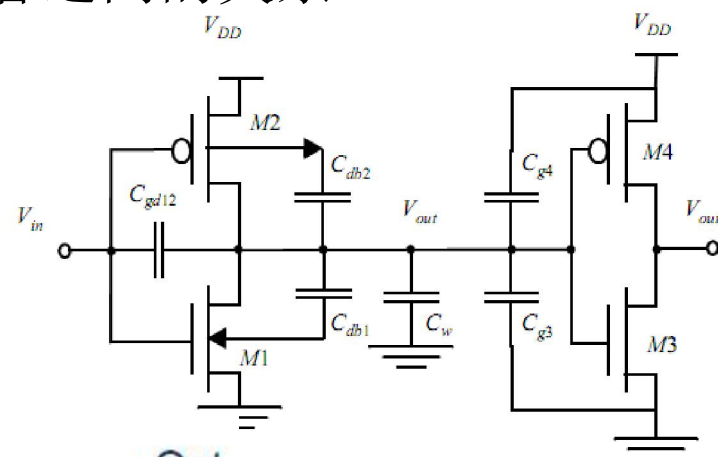
CMOS反相器的动态特性

- 反相器链的尺寸优化

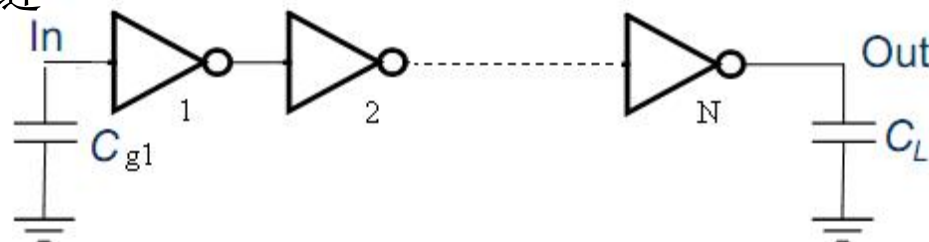
- 反相器的输入电容 C_g 与本征输出电容之间的关系

$$C_{int} = \gamma C_g \quad C_{ext} = f C_g$$

$$t_p = t_{p0} \left(1 + \frac{C_{ext}}{\gamma C_g} \right) = t_{p0} \left(1 + \frac{f C_g}{\gamma C_g} \right) = t_{p0} \left(1 + \frac{f}{\gamma} \right)$$



- 反相器链

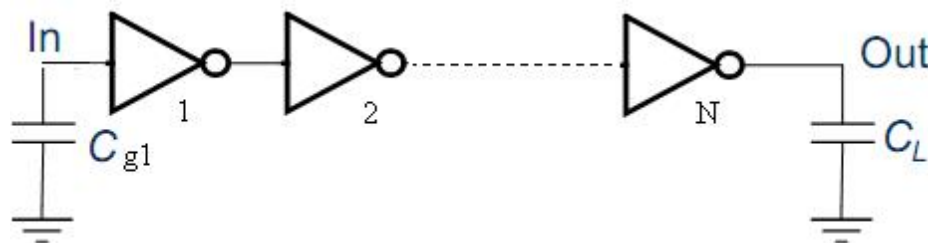


$$t_{p,j} = t_{p0} \left(1 + \frac{C_{g,j+1}}{\gamma C_{g,j}} \right) = t_{p0} \left(1 + \frac{f_j}{\gamma} \right)$$



CMOS反相器的动态特性

- 反相器链的尺寸优化



$$t_p = \sum_{j=1}^N t_{p,j} = t_{p0} \sum_{j=1}^N \left(1 + \frac{C_{g,j+1}}{\gamma C_{g,j}} \right) \quad \text{其中 } C_{g,N+1} = C_L$$

求 t_p 关于 $C_{g,j}$ 的导数可得最小延时的约束条件

$$C_{g,j+1} / C_{g,j} = C_{g,j} / C_{g,j-1} \quad \text{其中 } (j=2 \dots N)$$

$$C_{g,j} = \sqrt{C_{g,j-1} C_{g,j+1}}$$

每个反相器有相同的等效扇出 $f = f_j = C_{g,j} / C_{g,j-1}$

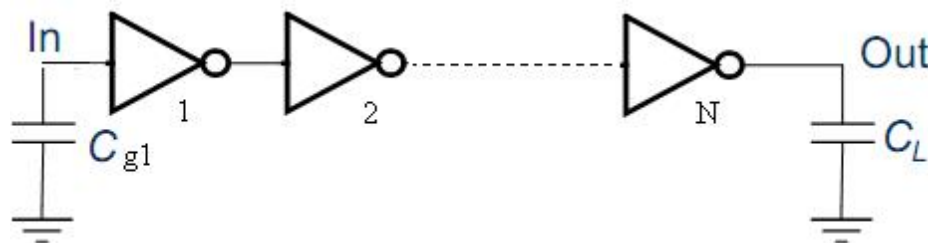
给定 $C_{g,1}$ 和 C_L , 可得尺寸系数 $f = \sqrt[N]{C_L / C_{g,1}}$

因此反相器链的最小延时: $t_p = N t_{p0} (1 + \sqrt[N]{F} / \gamma)$



CMOS反相器的动态特性

- 反相器链的正确级数



$$t_p = N t_{p0} (1 + \sqrt[N]{F} / \gamma)$$

求 t_p 关于级数 N 的导数可得最优解

$$\gamma + \sqrt[N]{F} - \frac{\sqrt[N]{F} \ln F}{N} = 0$$

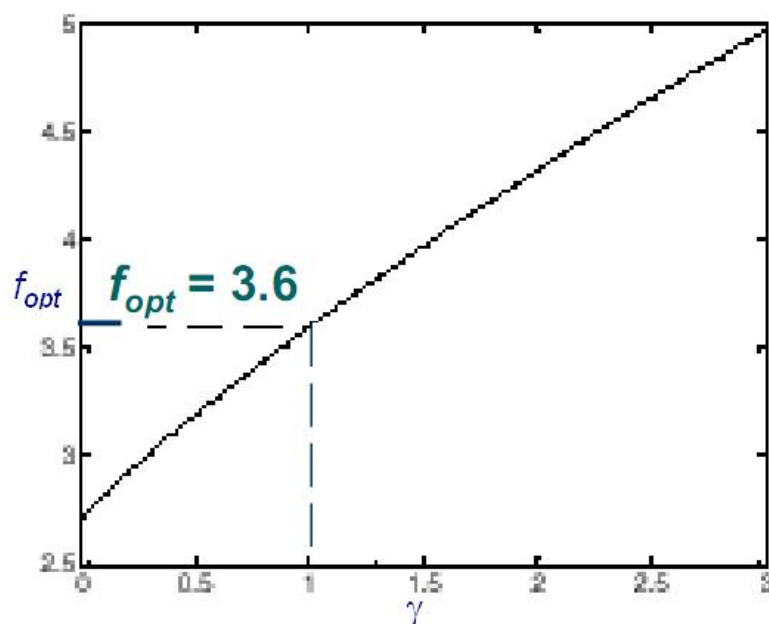
$$f = e^{(1+\gamma/f)}$$

上式只有一个收敛解 $\gamma = 0$ 此时忽略自载

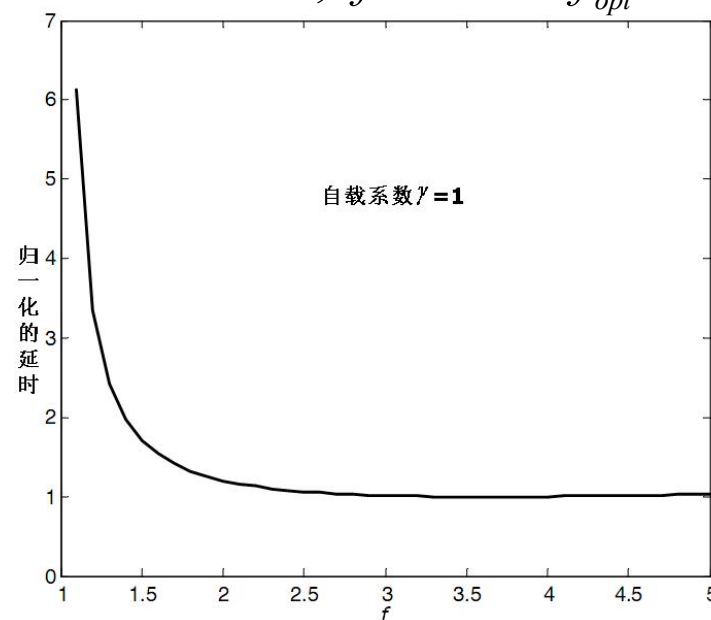


CMOS反相器的动态特性

- 反相器链的正确级数



$$f_{opt} = \sqrt[4]{F}$$
$$N > 4, f = \sqrt[N]{F} < f_{opt}$$



不同驱动器结构的 t_{opt}/t_{p0} 与 F 的关系





F	无缓冲器	两级反相器	反相器链
10	11	8.3	8.3
100	101	22	16.5
1000	1001	65	24.8
10,000	10,001	202	33.1



CMOS反相器的动态特性

- 反相器链的正确级数

$$t_p = Nt_{p0}(1 + \sqrt[N]{F} / \gamma)$$

	N	f	t _p
	1	64	65
	2	8	18
	3	4	<u>15</u>
	4	2.8	15.3

CMOS反相器的功耗能量和能量延时

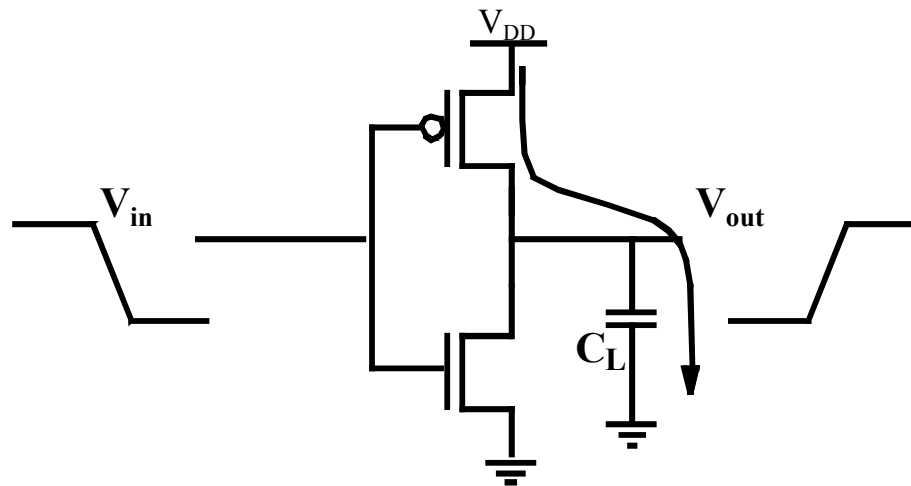


- CMOS反相器的功耗包括
 - 动态功耗
 - 充放电电容
 - 短路电流
 - 静态功耗
 - 漏电电流

CMOS反相器的功耗能量和能量延时



- 动态功耗



能量/翻转 $C_L V_{DD}^2$

$$\text{功率} = \text{能量/翻转} \times \text{频率} = C_L V_{DD}^2 f_{0 \rightarrow 1}$$

- 从上式可以看出
 - 动态（翻转）的能量和功耗与驱动器件的电阻无关
 - 为减少功耗需要减少 C_L , V_{DD} , $f_{0 \rightarrow 1}$

CMOS反相器的功耗能量和能量延时



- 为减少能耗的尺寸优化

In

Out

C_{g1} 1

f

C_{ext}

$$t_p = t_{p0} \left(\left(1 + \frac{f}{\gamma} \right) + \left(1 + \frac{F}{f\gamma} \right) \right)$$

$$t_{pHL} = 0.69 \frac{3}{4} \frac{C_L V_{DD}}{I_{DSATn}} = 0.52 \frac{C_L V_{DD}}{(W/L)_n k'_n V_{DSATn} (V_{DD} - V_{Tn} - V_{DSATn} / 2)}$$

$$t_{p0} \propto \frac{V_{DD}}{V_{DD} - V_T - V_{DSAT} / 2}$$

$$C_L = C_{g1} + (\gamma C_{g1} + f C_{g1}) + (f \gamma C_{g1} + F C_{g1}) = C_{g1} ((1 + \gamma)(1 + f) + F)$$

$$E = V_{DD}^2 C_{g1} ((1 + \gamma)(1 + f) + F)$$

CMOS反相器的功耗能量和能量延时



- 为减少能耗的尺寸优化

$$t_p = t_{p0} \left(\left(1 + \frac{f}{\gamma} \right) + \left(1 + \frac{F}{f\gamma} \right) \right)$$

$\begin{matrix} In & & Out \\ C_{g1} & 1 & f \\ & C_{ext} & \end{matrix}$

- 性能约束就是指尺寸放大电路的传播延时应当等于或小于参考电路 ($f=1$, $V_{dd}=V_{ref}$) 的延时

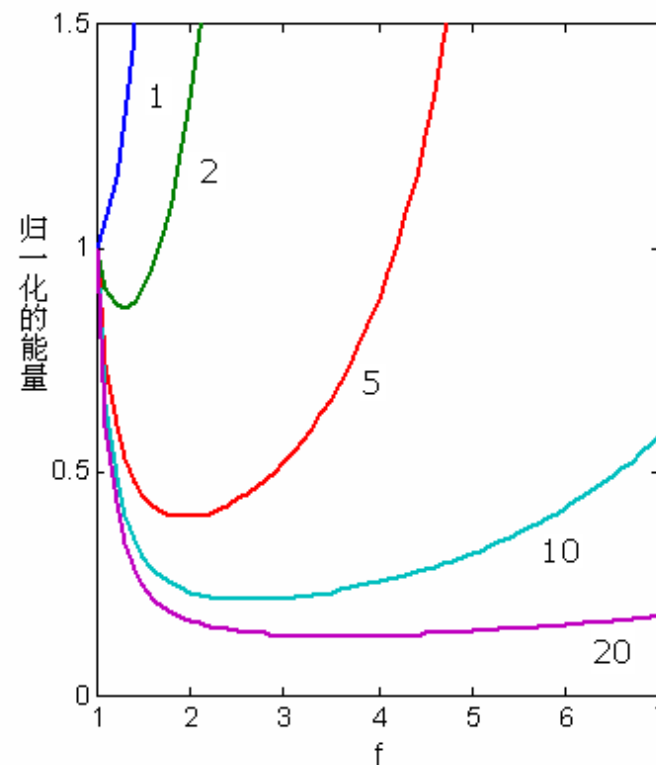
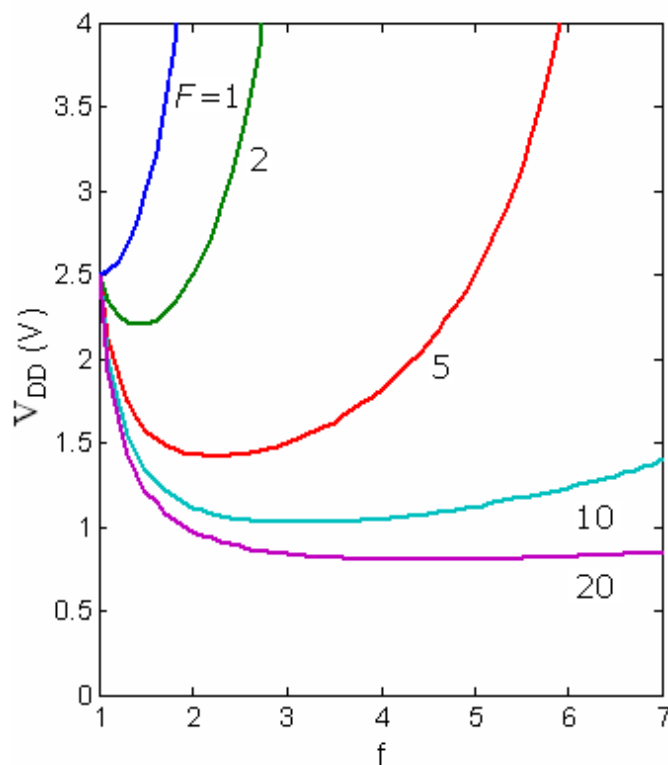
$$\frac{t_p}{t_{pref}} = \frac{t_{p0} \left(2 + f + \frac{F}{f} \right)}{t_{p0ref} (3 + F)} = \left(\frac{V_{DD}}{V_{ref}} \right) \left(\frac{V_{ref} - V_{TE}}{V_{DD} - V_{TE}} \right) \left(\frac{2 + f + \frac{F}{f}}{3 + F} \right) = 1$$

$$\frac{E}{E_{ref}} = \left(\frac{V_{DD}}{V_{ref}} \right)^2 \left(\frac{2 + 2f + F}{4 + F} \right)$$

CMOS反相器的功耗能量和能量延时



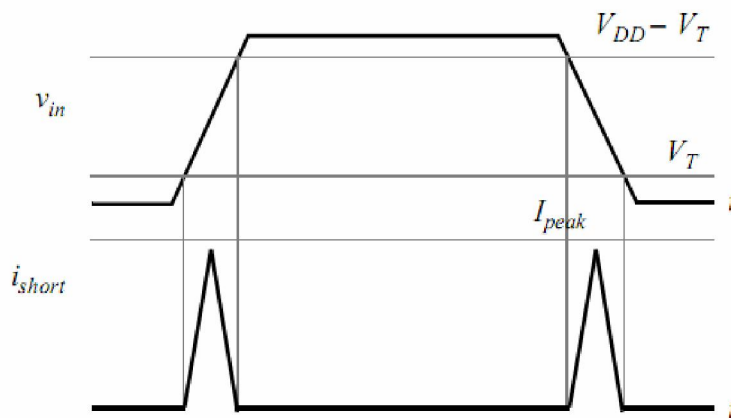
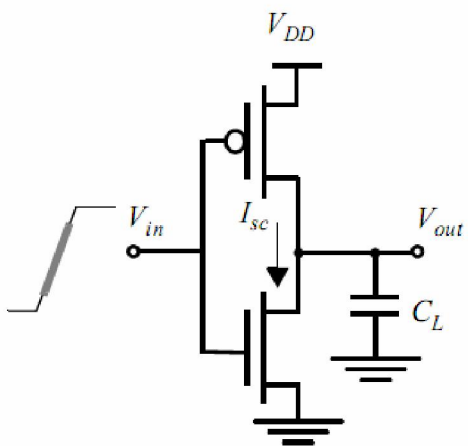
- 为减少能耗的尺寸优化
 - 改变器件尺寸并降低电源电压时减小逻辑电路能好的有效办法
 - 在最优值之外过多加大晶体管尺寸会消耗更多能量



CMOS反相器的功耗能量和能量延时



- 直接通路电流引起的功耗
 - 输入信号的逐渐变化造成了开关过程中 V_{DD} 和GND之间在短期内出现一条直流通路，此时NMOS和PMOS管同时导通

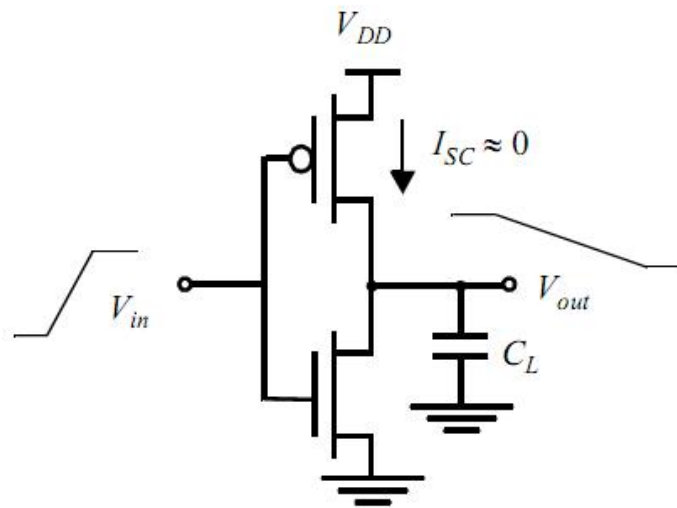


$$E_{dp} = V_{DD} \frac{I_{peak} t_{sc}}{2} + V_{DD} \frac{I_{peak} t_{sc}}{2} = V_{DD} I_{peak} t_{sc}$$
$$P_{dp} = V_{DD} I_{peak} t_{sc} f = C_{sc} V_{DD}^2 f$$

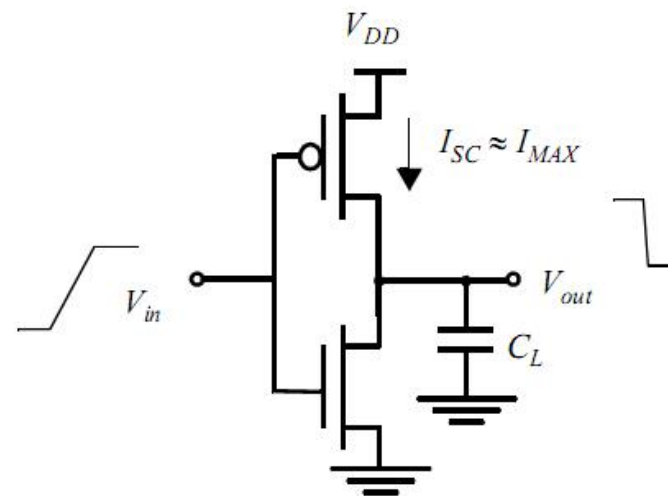
CMOS反相器的功耗能量和能量延时



- 直接通路电流引起的功耗
 - 峰值短路电流
 - 取决于器件的饱和电流，因此与器件的尺寸有关
 - 降低电源电压可以减少短路电流
 - 与输入输出的斜率比有关



大电容负载

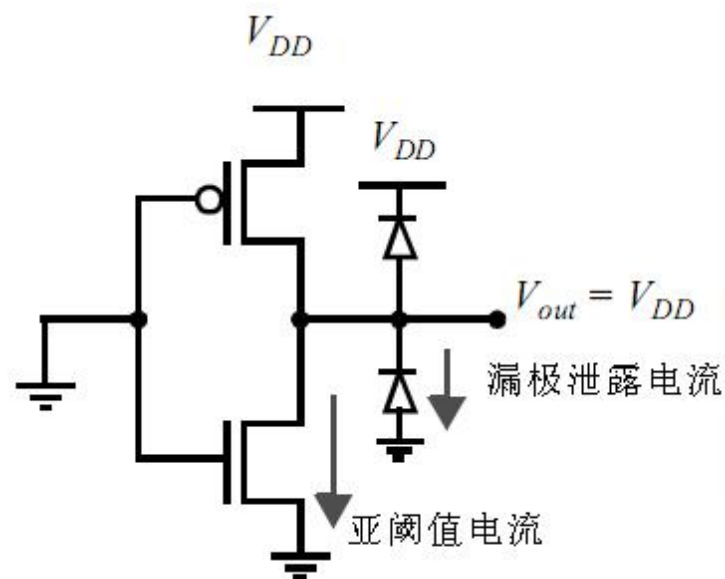


小电容负载

CMOS反相器的功耗能量和能量延时



- 静态功耗
 - 峰值短路电流（漏电流功耗）



$$P_{stat} = I_{stat} V_{DD}$$

CMOS反相器的功耗能量和能量延时



- 综合考虑
 - 总功耗

$$P_{tot} = P_{dyn} + P_{dp} + P_{stat} = (C_L V_{DD}^2 + V_{DD} I_{peak} t_s) f_{0 \rightarrow 1} + V_{DD} I_{leak}$$

- 功耗-延时积或每操作的能量损耗

$$PDP = P_{av} t_p$$
$$PDP = C_L V_{DD}^2 f_{max} t_p = \frac{C_L V_{DD}^2}{2}$$

- 能量-延时积

$$EDP = PDP \times t_p = P_{av} t_p^2 = \frac{C_L V_{DD}^2}{2} t_p$$