

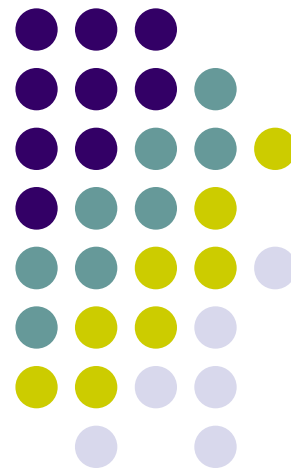
超大规模集成电路基础

Fundamental of VLSI

齐洪钢

hgqi@ucas.ac.cn

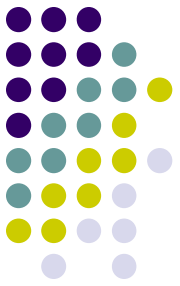
中国科学院大学
计算机与控制学院



课程



- 上课时间：每周二，第5、6、7节课
- 学时：40，学分：2
- 上课地点：雁栖湖园区，教1-214
- 教材：
 - 数字集成电路—电路、系统与设计（第二版），Jan M. Rabaey著，周润德等译，电子工业出版社，2004年。
- 参考教材：
 - 超大规模集成电路与系统导论，John P. Uyemura著，周润德译，电子工业出版社，2004年。
 - 纳米CMOS集成电路—从基本原理到专用芯片实现，Harry Veendrick著，周润德译，电子工业出版社，2011年。
 - 不仅限于以上教材



成绩

- 平时成绩：35%
 - 文献阅读

要求：认真思考，独立完成，按时提交。
- 期末成绩：65%（课堂开卷考试）
 - 课堂讲述的重点内容



开课目的

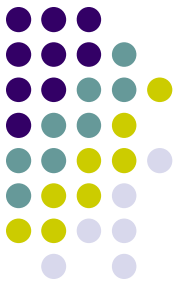
- 集成电路设计一直是科技发展的重要研究方向。
- 集成电路设计有非常广阔的行业发展前景。
 - Intel
 - AMD
 - Xilinx
 - Altera
 - TI
 - ST
 - MTK
 - 龙芯
 - 中星微...





课程目标

- 广泛了解集成电路的基础知识，但对深度不做要求。
- 培养科研型和工程型人才。



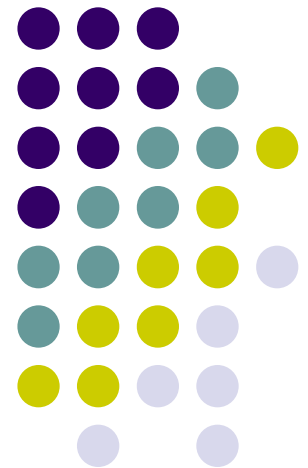
课程内容

- 第一章：介绍
- 第二章：制造工艺
- 第三章：器件
- 第四章：导线
- 第五章：**CMOS**反相器
- 第六章：组合逻辑电路
- 第七章：时序逻辑电路
- 第八章：互连问题
- 第九章：时序问题
- 第十章：运算单元设计

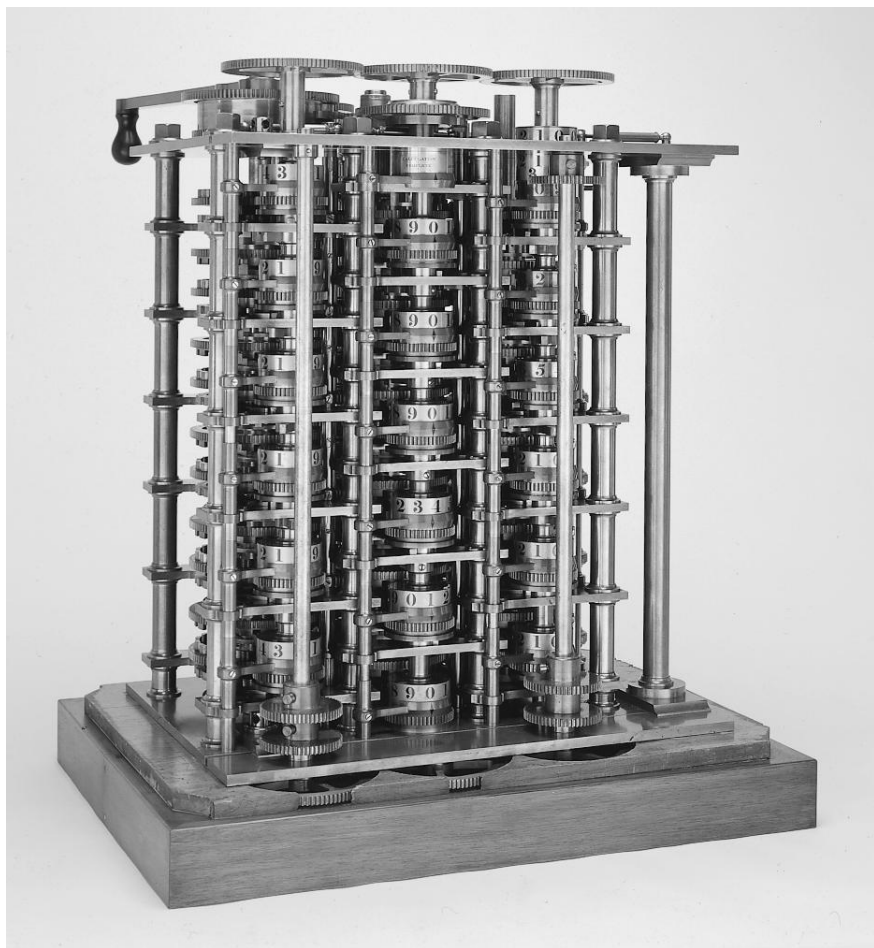
超大规模集成电路基础

Fundamental of VLSI

第一章 介绍



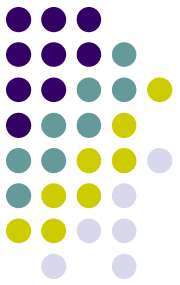
集成电路



世界上第一台差分机(计算器)



计算机CPU



集成电路

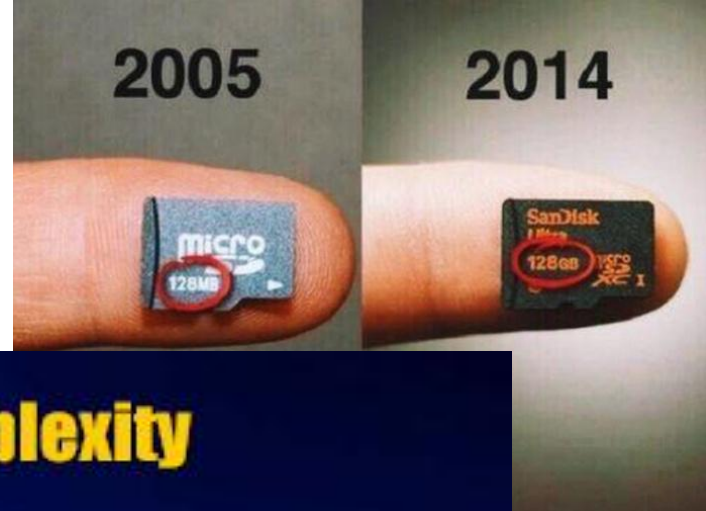
- 集成电路
 - 将晶体管和电阻电容等器件组合在一起完成特定功能的电路
- 目标：高集成度，低成本，低功耗
 - 在集成电路上“塞进”更多的元件
- 集成电路的规模

小规模	中规模	大规模	超大规模	特大规模	吉规模
2-30	$30-10^3$	10^3-10^5	10^5-10^7	10^7-10^9	$>10^9$

摩尔法则

2005

2014



Integrated Circuit Complexity

Transistors
Per Die

10^{10}

◆ 1965 Actual Data

■ MOS Arrays ▲ MOS Logic 1975 Actual Data

● 1975 Projection

■ Memory

▲ Microprocessor

10^9

10^8

10^7

10^6

10^5

10^4

10^3

10^2

10^1

10^0

1960

1965

1970

1975

1980

1985

1990

1995

2000

2005

2010

1K

4K

16K

64K

256K

1M

4M

16M

64M

128M

256M

512M

1G

2G

4G

4004

8080

8086

80286

i386™

i486™

Pentium®

Pentium® II

Pentium® III

Pentium® 4

Itanium™

1965 Actual Data

MOS Arrays

MOS Logic

1975 Actual Data

1975 Projection

Memory

Microprocessor

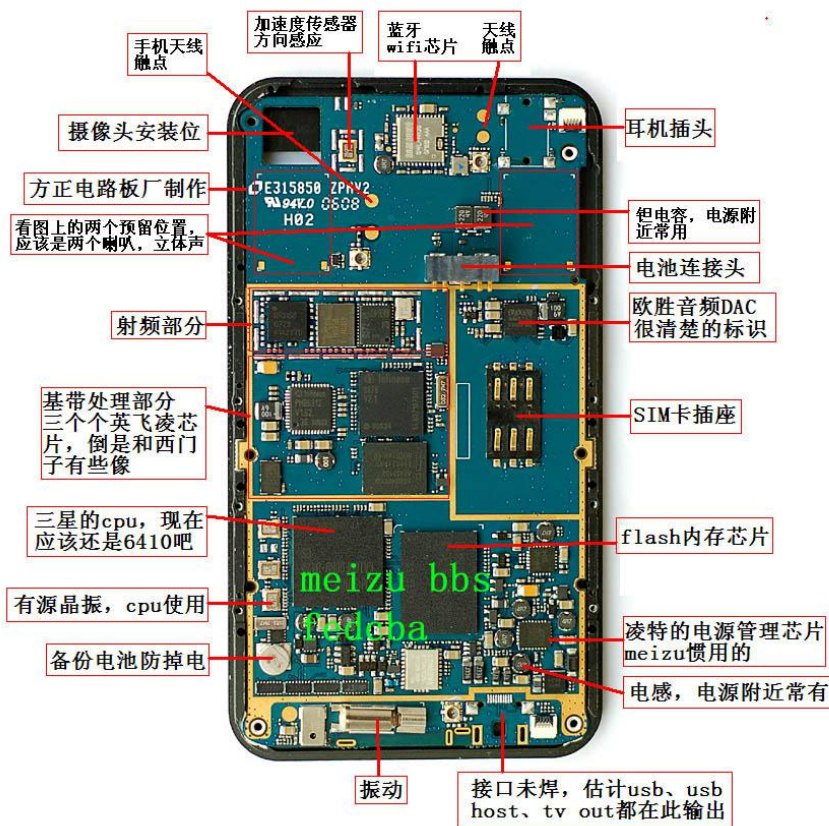


戈登·摩尔 (Gordon Moore)

集成电路应用

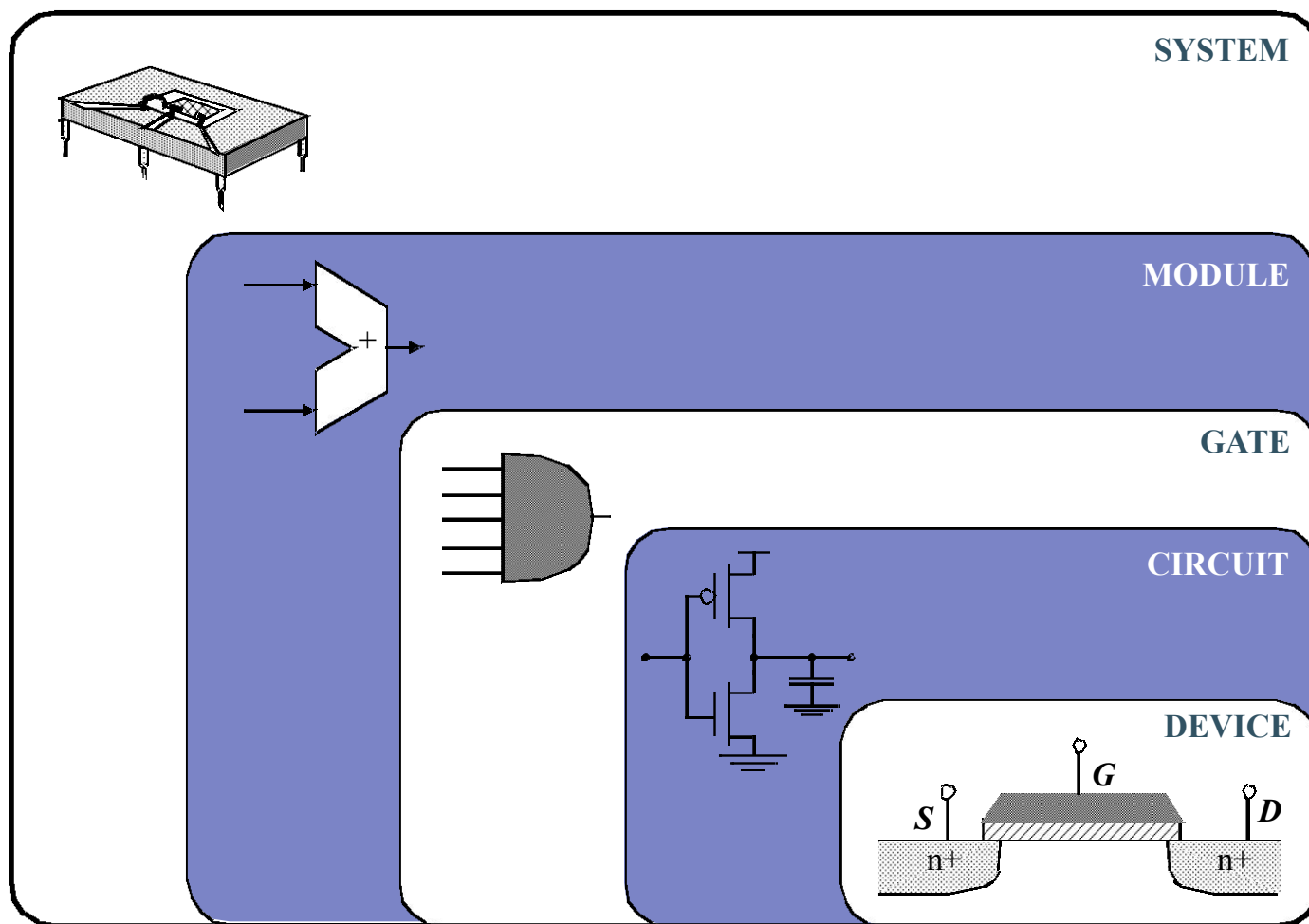
● 应用范围

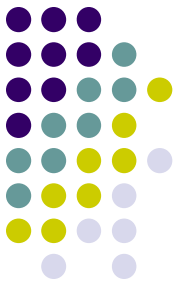
- 计算机
- 网络
- 移动通信
- 系统控制
- 消费电子



集成电路在手机中应用

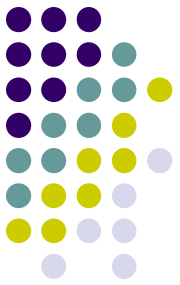
数字电路设计层次抽象





设计尺度

- 如何评估集成电路的性能
 - 成本
 - 可靠性
 - 速度
 - 功耗



集成电路成本

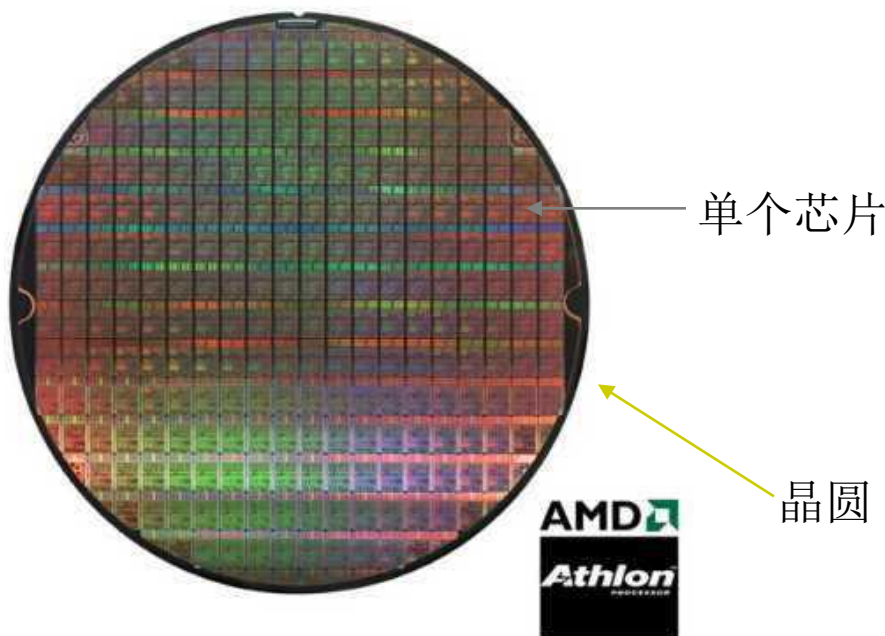
- 固定成本 NRE (non-recurrent engineering) cost
 - 与产品销售量无关
 - 设计开发时间和人力
 - 一次性投入：设备、基础设施、市场、销售
- 可变成本
 - 直接用于制造产品的费用，与产量成比例
 - 部件生产成本
 - 组装费
 - 测试费

集成电路成本



● 成本计算

- 每个集成电路成本=每个集成电路的可变成本+固定成本/产量
- 可变成本=（芯片成本+芯片测试成本+封装成本）/最终测试的成品率
- 芯片成本=晶圆成本/（每个晶圆包含芯片数x芯片成品率）

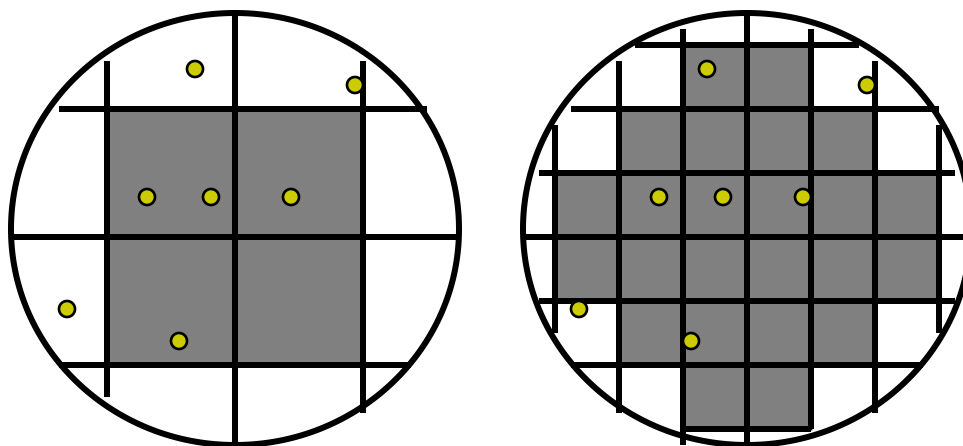


集成电路成本

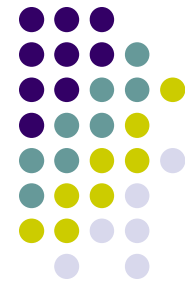


- 芯片成品率

- 芯片成品率 = $(1 + \text{单位面积缺陷数} \times \text{芯片面积} / \alpha)^{-\alpha}$ (α 约等于 3)
- 芯片成本 = $f(\text{芯片面积}^4)$

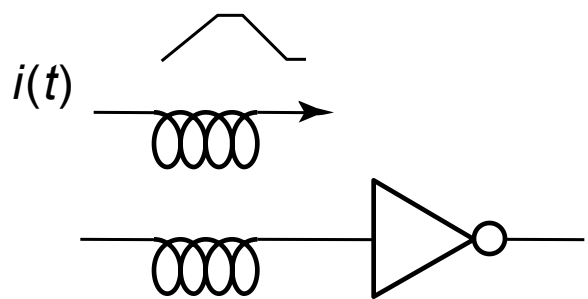


功能性和稳定性

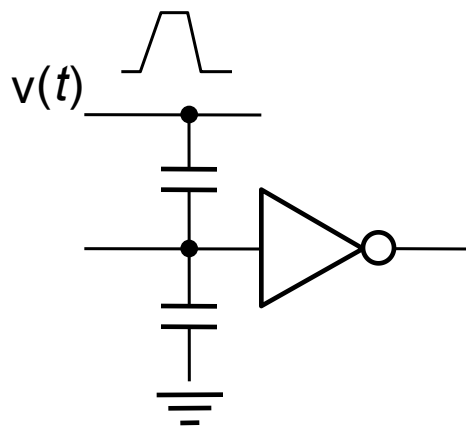


- 电路噪声

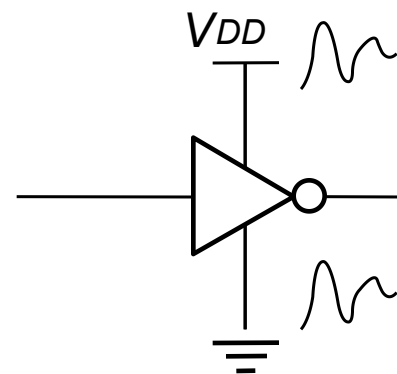
- 逻辑点上不希望发生的电压和电流变化



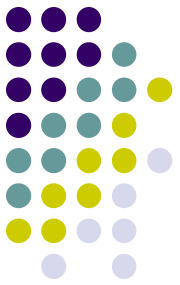
电感耦合



电容耦合



电源线和地线噪声

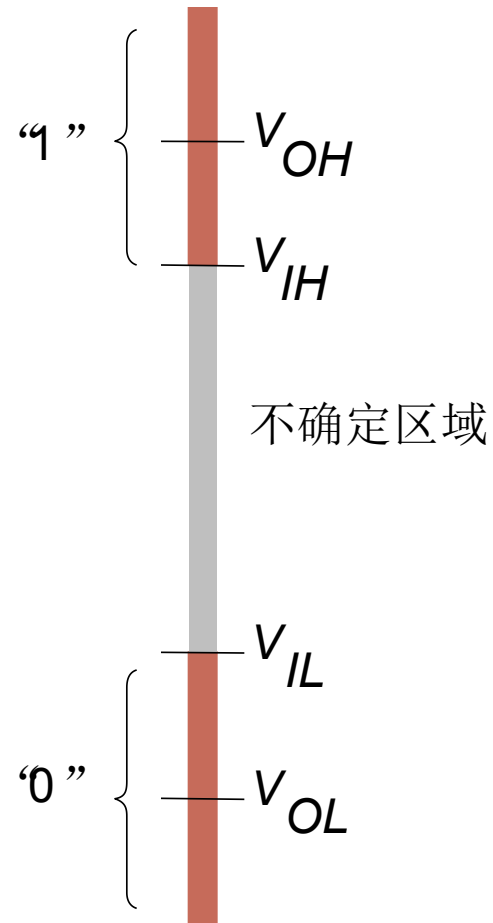


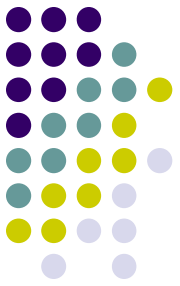
功能性和稳定性

- 数字信号表示
 - 数字信号
 - 信号离散化表示 $x \in \{0, 1\}$
 - 二进制数字信号

- 电平与数字信号转换

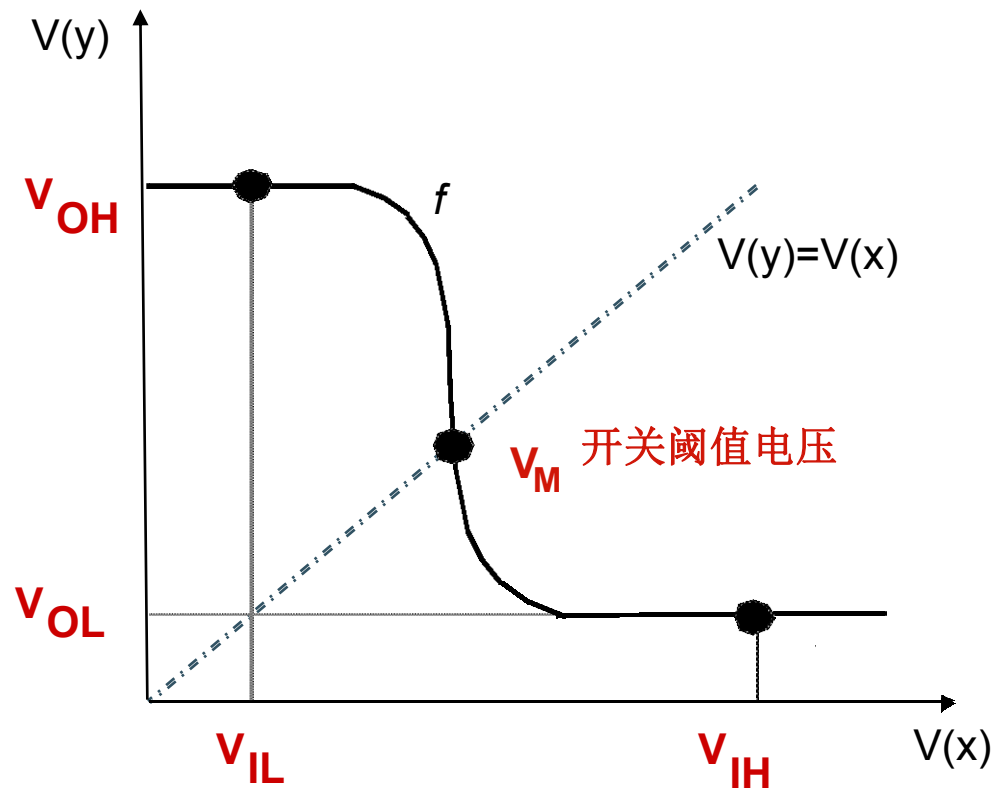
$$1 \Leftrightarrow V_{OH}, 0 \Leftrightarrow V_{OL}$$



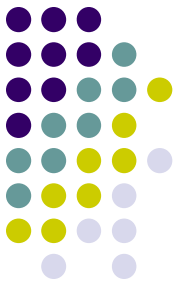


功能性和稳定性

- 电压传输特性VTC
 - 表示反相器的输入输出电压关系

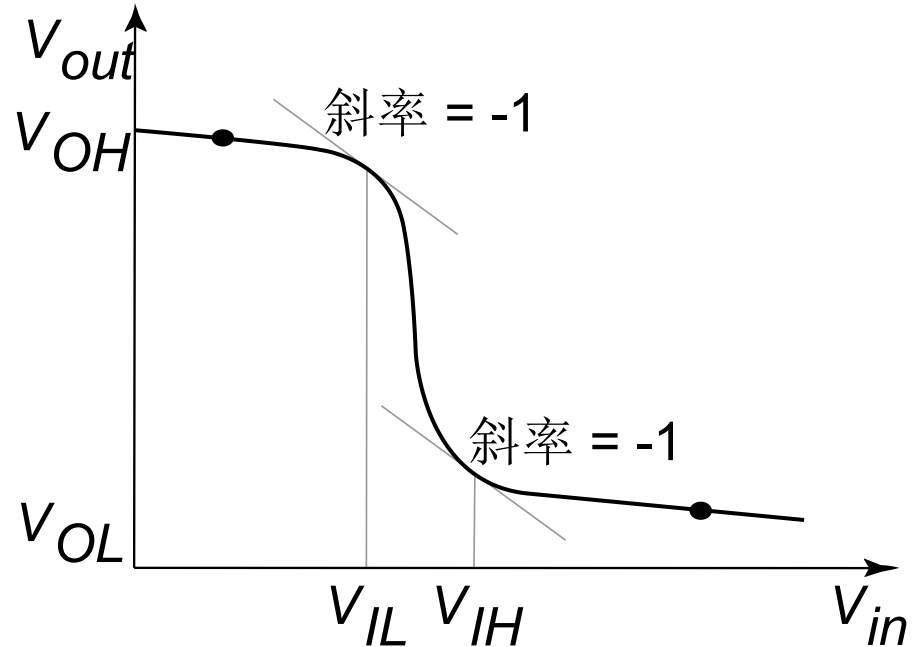
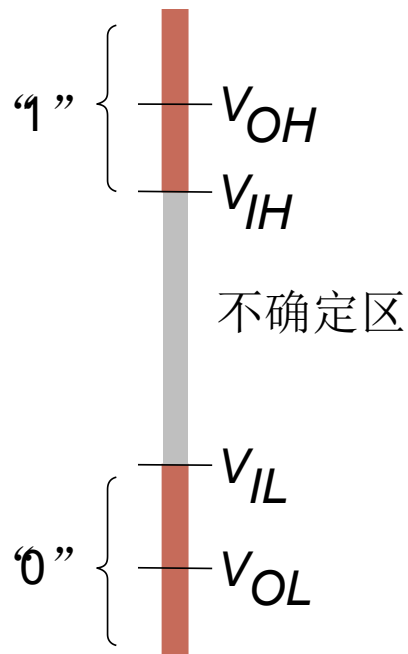


$$\begin{aligned} V_{OH} &= f(V_{OL}) \\ V_{OL} &= f(V_{OH}) \\ V_M &= f(V_M) \end{aligned}$$

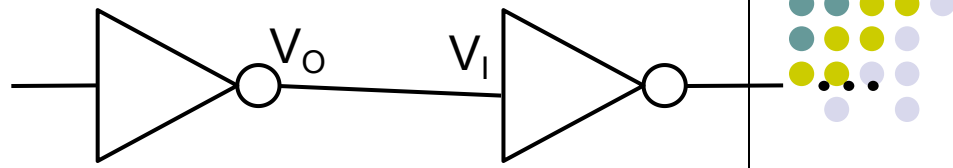


功能性和稳定性

- VTC增益
 - 表示输入输出电压在局部的关系
 - $=dV_{out}/dV_{in}$

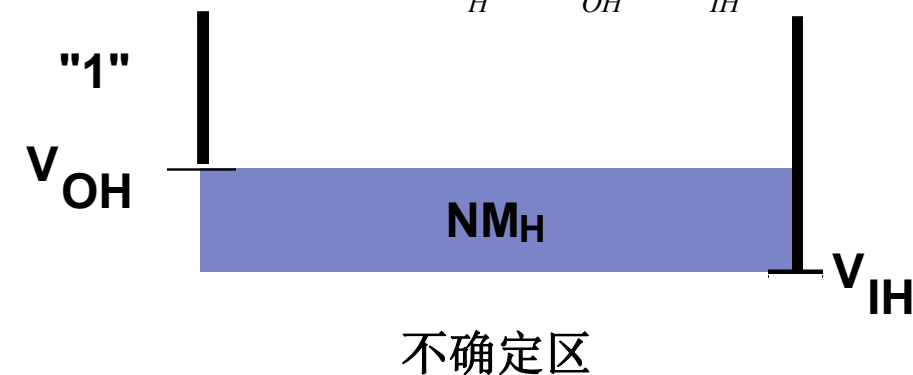


功能性和稳定性

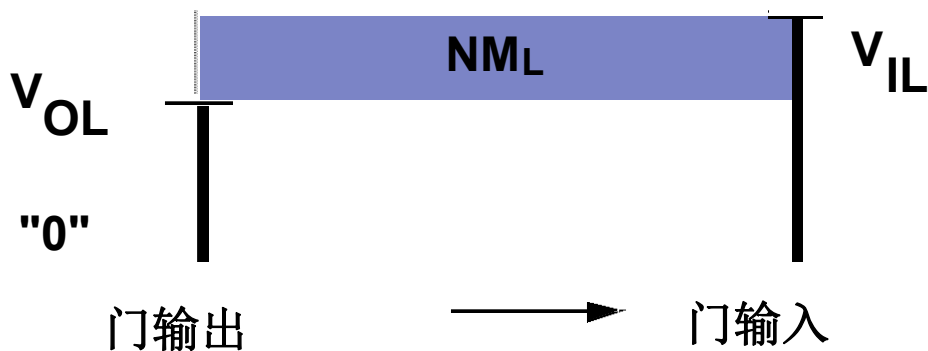


- 噪声容限

$$NM_L = V_{IL} - V_{OL}$$
$$NM_H = V_{OH} - V_{IH}$$



高电平噪声容限

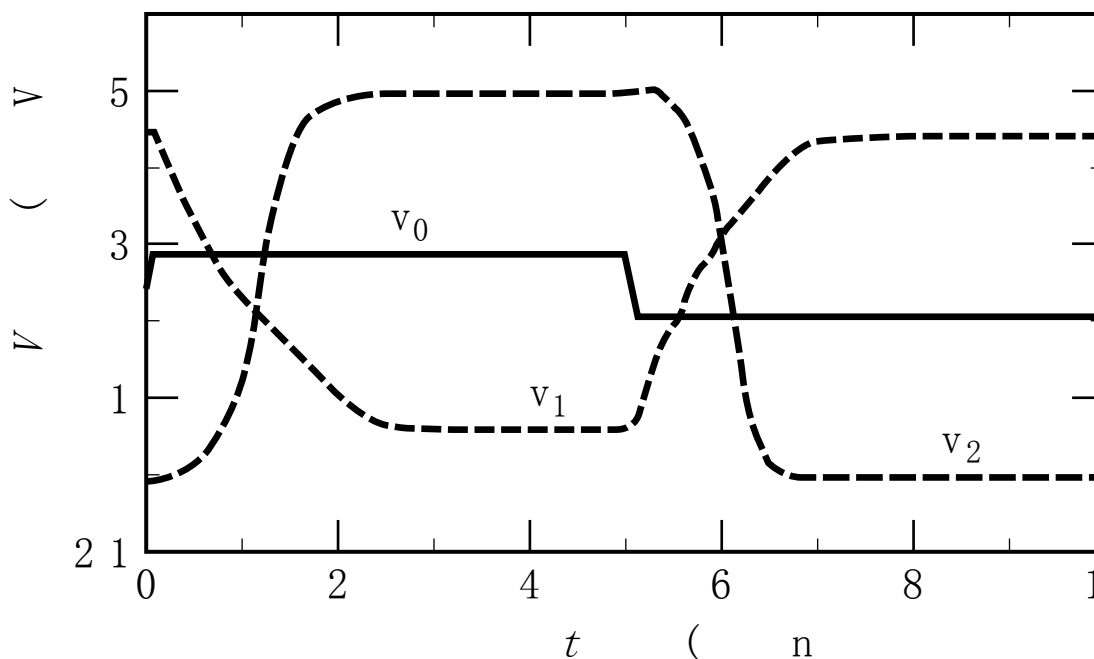
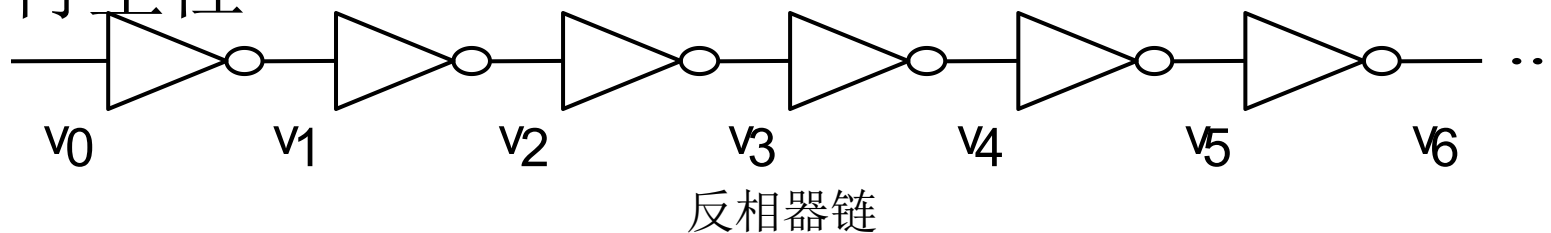


低电平噪声容限

功能性和稳定性



- 再生性

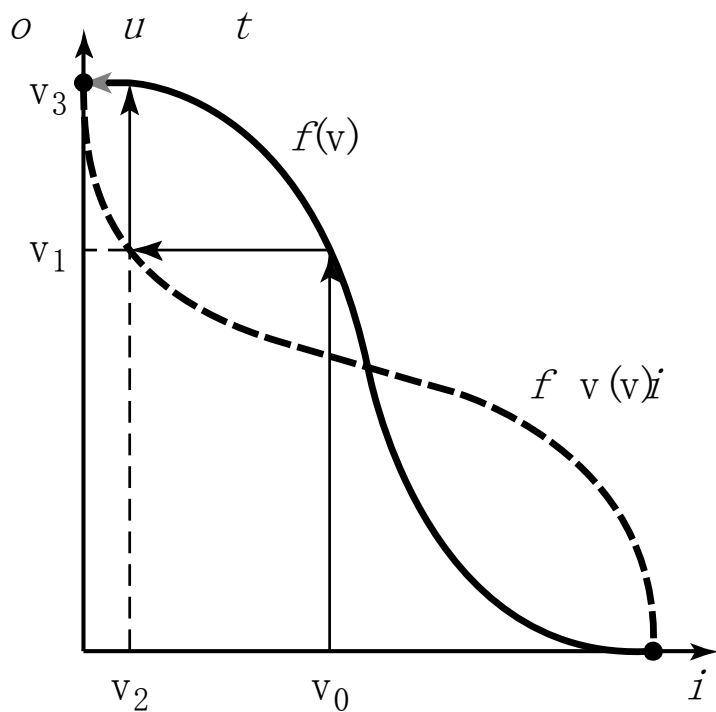


MOS反相器链的模拟响应

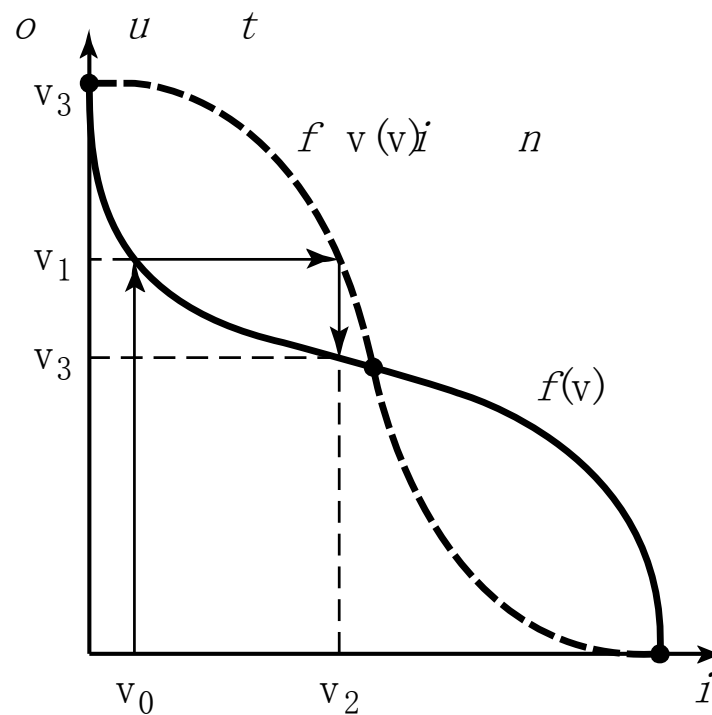
功能性和稳定性



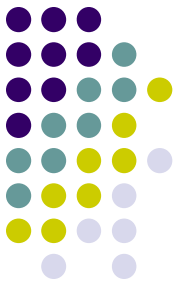
● 再生性



具有再生性门



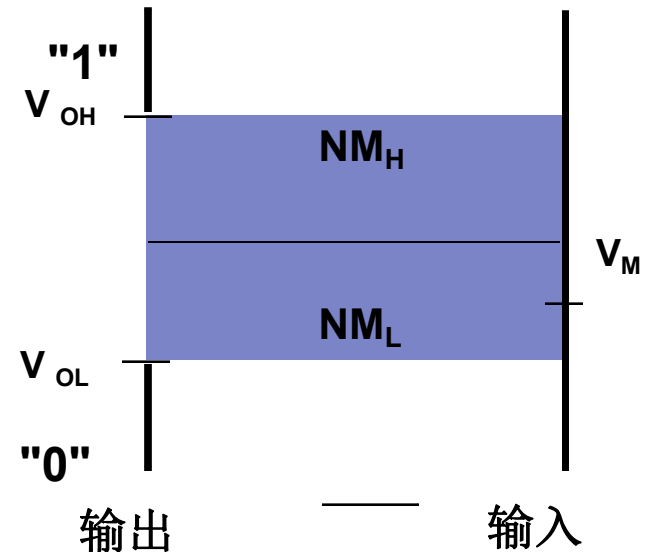
不具有再生性门



功能性和稳定性

- 抗噪声能力
 - 系统在噪声存在的情况下正确处理和传递信息的能力。
- 噪声源类型
 - 与信号摆幅 V_{sw} 成比例的噪声 gV_{sw} （节点内部噪声源）
 - 固定噪声源 fV_{Nf}

$$V_{NM} = \frac{V_{sw}}{2} \geq \sum_i f_i V_{Nf_i} + \sum_j g_j V_{sw}$$
$$V_{sw} \geq \frac{2 \sum_i f_i V_{Nf_i}}{1 - 2 \sum_j g_j}$$





功能性和稳定性

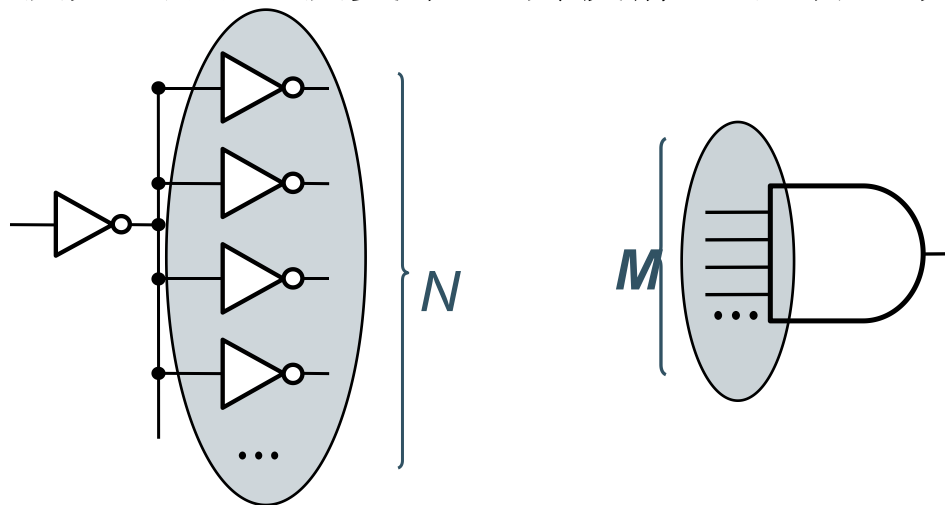
- 扇入和扇出

- 扇出

- 连接到驱动门输出端的负载门的数目
- 扇出影响门的逻辑输出电平

- 扇入

- 逻辑门的输入数目
- 扇入较大的门比较复杂，会使静态和动态特性变差

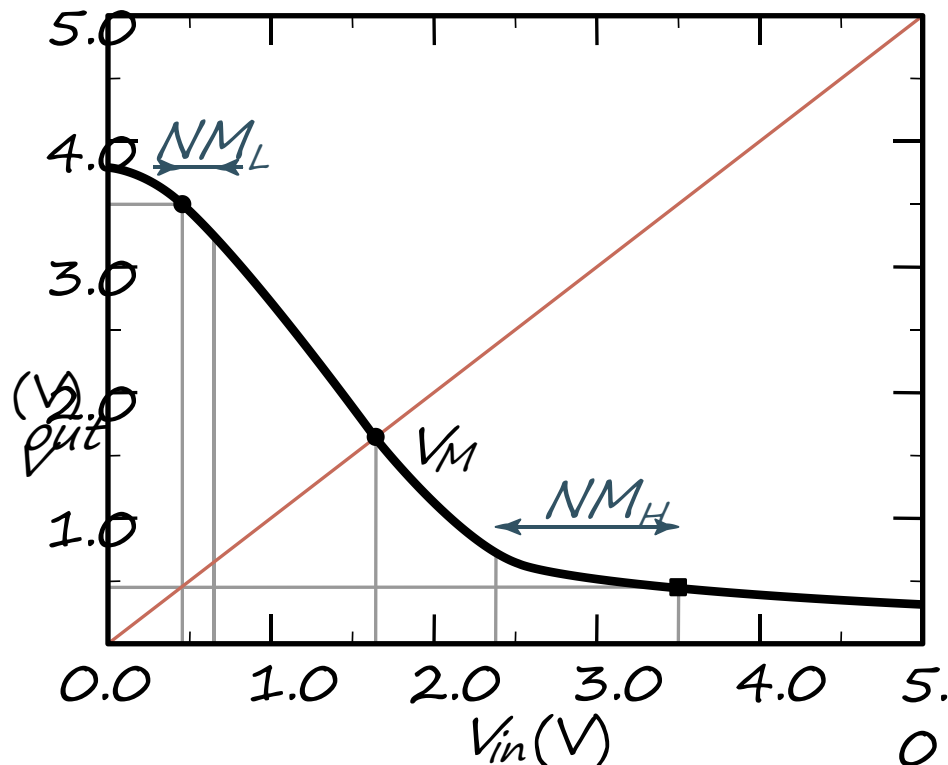
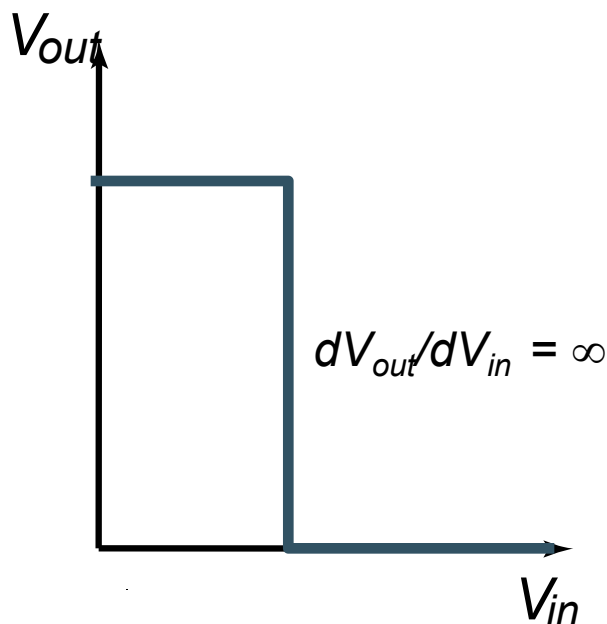
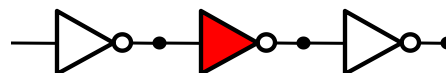


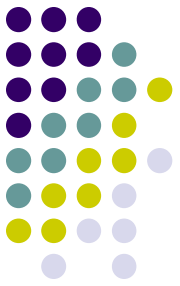
功能性和稳定性



● 理想数字门

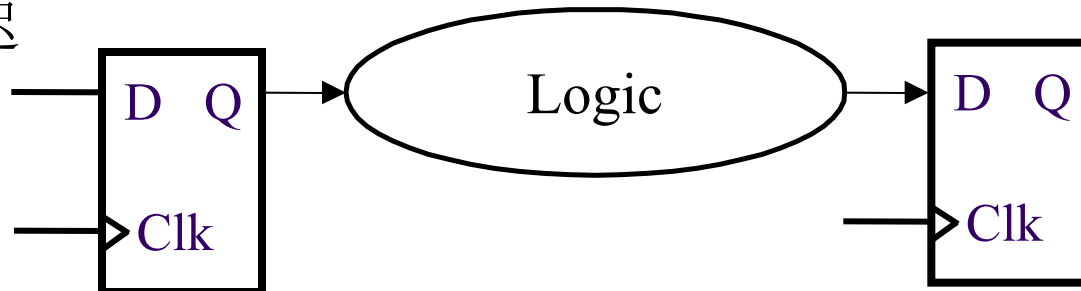
- 过渡区增益无穷大
- 门的阈值位于逻辑摆幅的中点
- 高低电平噪声容限等于电压摆幅的一半
- 输入阻抗无穷大
- 输出阻抗为零

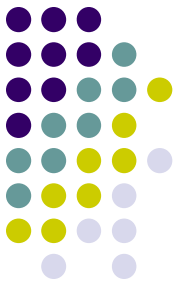




性能

- 数字电路的计算能力由其性能决定
- 性能由时钟周期时间或时钟频率表示
 - 周期(cycle)越短, 单位时间内的周期数越多, 即时钟频率越高
 - $T=1/f$
- 时钟周期由多种因素决定
 - 信号通过逻辑电路的传播时间
 - 数据出入寄存器所需要的时间
 - 时钟延迟

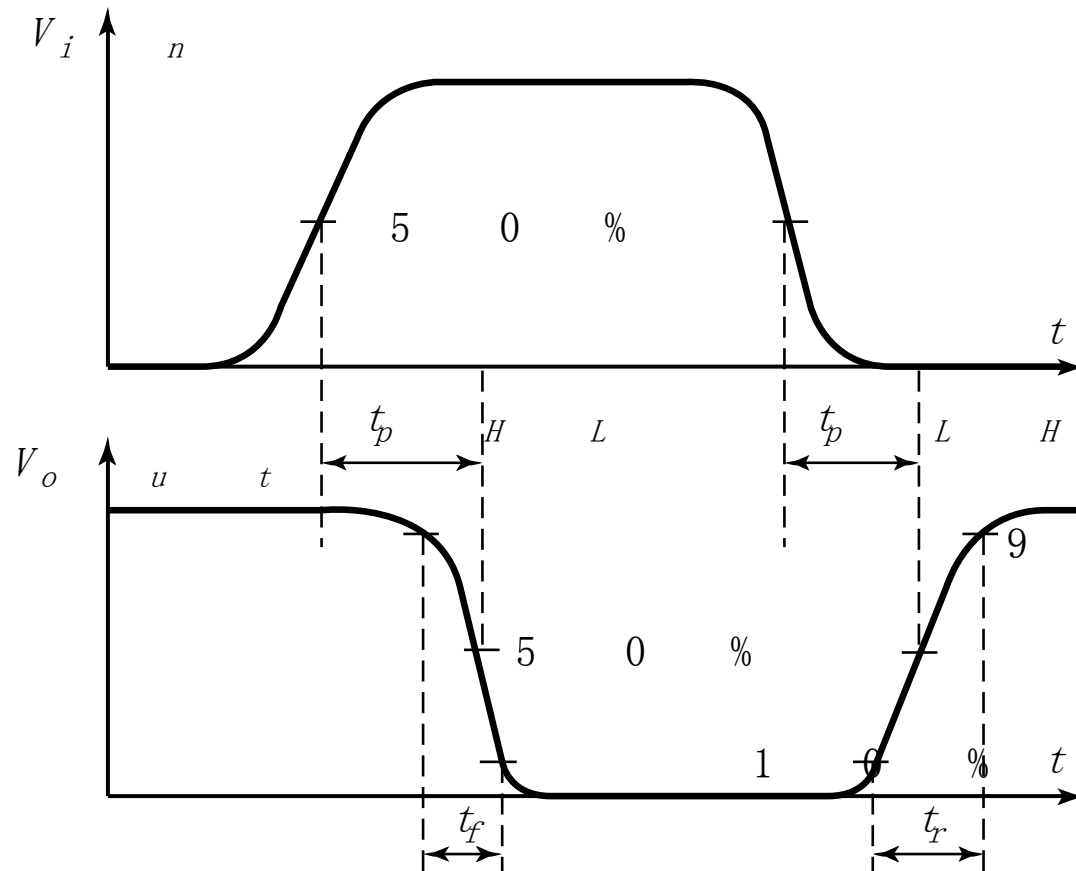




传播延时

- 门的传播延时 t_p 定义了它对输入端信号变化的响应速度

$$t_p \geq \frac{t_{pLH} + t_{pHL}}{2}$$



传播延时



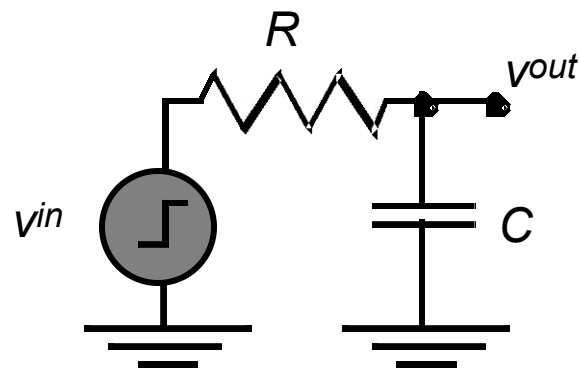
- 一阶RC网络的传播延时

- 输出电压50%点的时间

$$t = \ln(2)\tau = 0.69\tau$$

- 输出电压从10%到90%点的时间

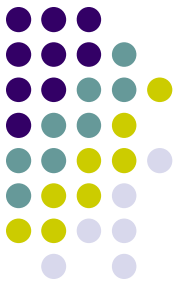
$$t = \ln(9)\tau = 2.2\tau$$



一阶RC网络

$$v_{out}(t) = (1 - e^{-t/\tau})V$$

$$\tau = RC$$



功耗和能耗

- 功耗类型
 - 静态功耗
 - 动态功耗
- 电路功耗影响
 - 成本
 - 耗电量
 - 性能
 - 延时：PDP（功耗-延时积）为常数
 - 可靠性
 - 散热

功耗和能耗



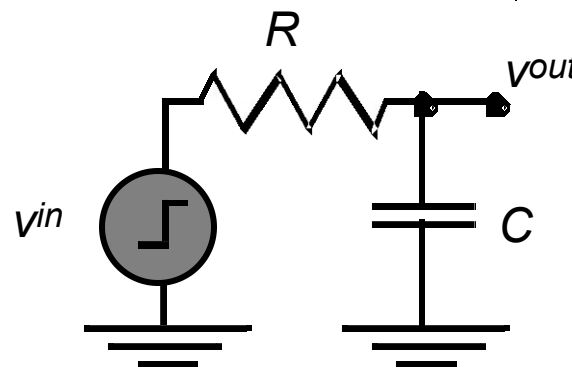
- 功耗计算

- 峰值功耗

$$P_{peak} = i_{peak} V_{supply} = \max[p(t)]$$

- 平均功耗

$$P_{ave} = \frac{1}{T} \int_t^{t+T} p(t) dt = \frac{V_{supply}}{T} \int_t^{t+T} i_{supply}(t) dt$$



- 一阶RC网络的能量损耗

- 网络提供能量

$$E_{in} = \int_0^{\infty} i_{in}(t) v_{in}(t) dt = V \int_0^{\infty} C \frac{dv_{out}}{dt} dt = CV \int_0^V dv_{out} = CV^2$$

- 能量损耗

$$E_C = \int_0^{\infty} i_C(t) v_{out}(t) dt = \int_0^{\infty} C \frac{dv_{out}}{dt} v_{out} dt = C \int_0^V v_{out} dv_{out} = \frac{CV^2}{2}$$