

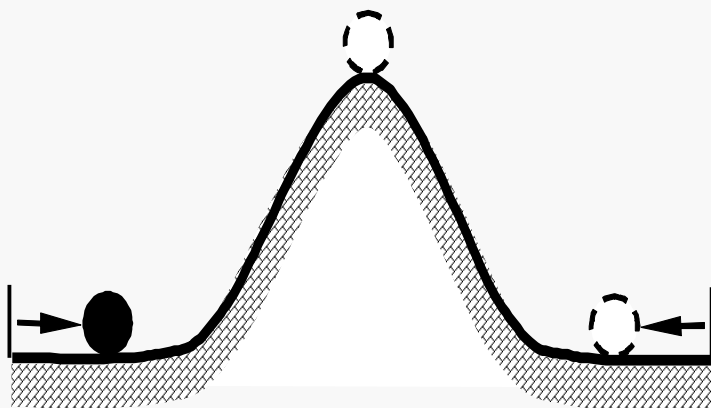
## 5 锁存器与触发器

5.1、双稳态存储单元电路

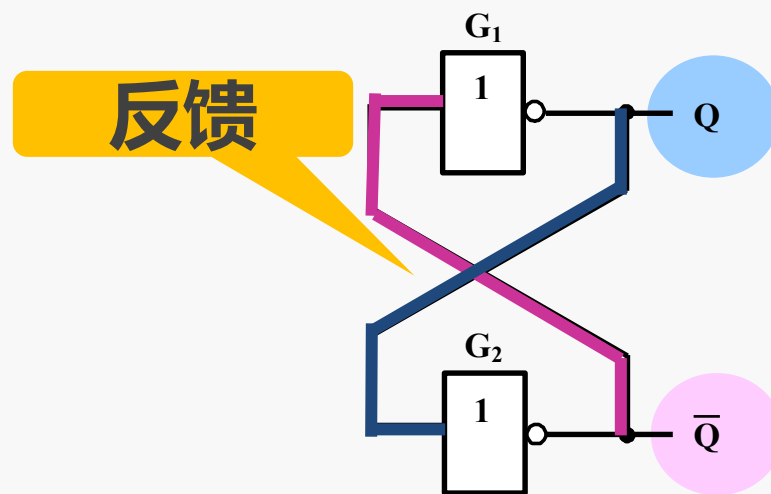
5.2、锁存器

5.3、触发器

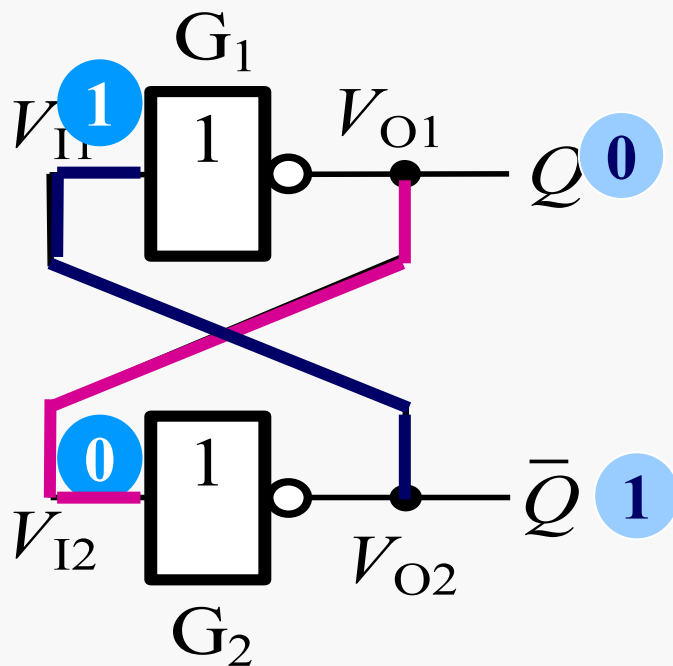
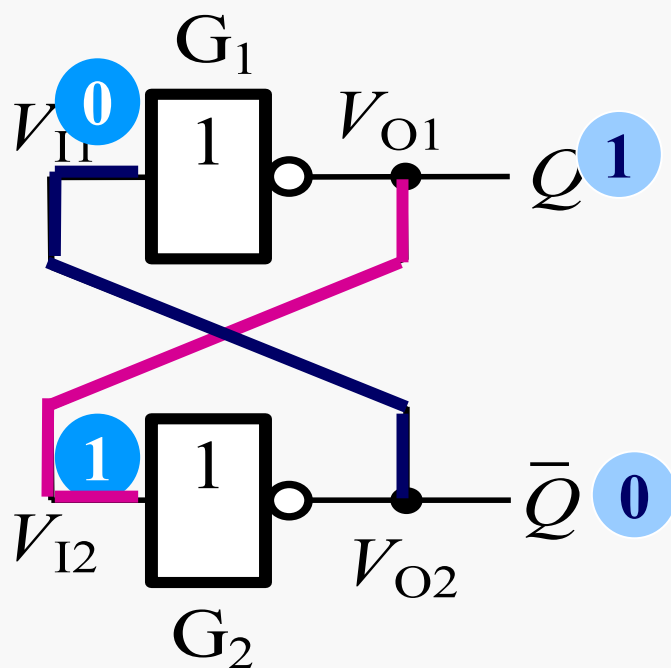
## 5.1 双稳态存储单元电路



### 双稳态存储单元电路



## 5.1 双稳态存储单元电路



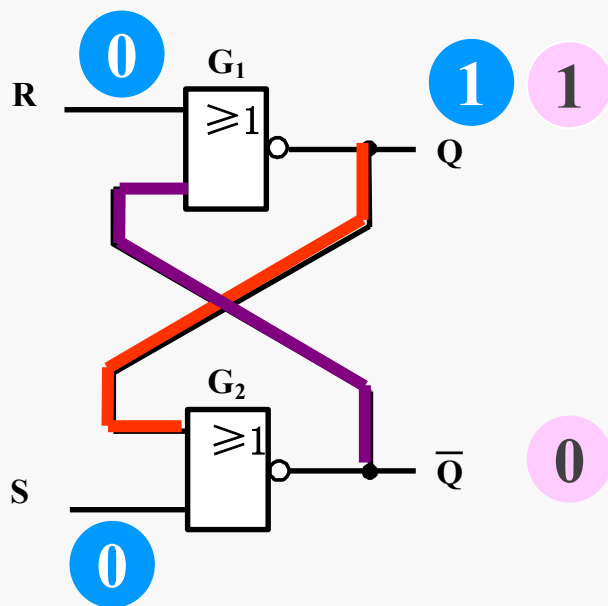
定义： $Q=0$ 时电路为0状态， $Q=1$ 时电路为1状态。

电路具有存储或记忆1位二进制数据的功能。

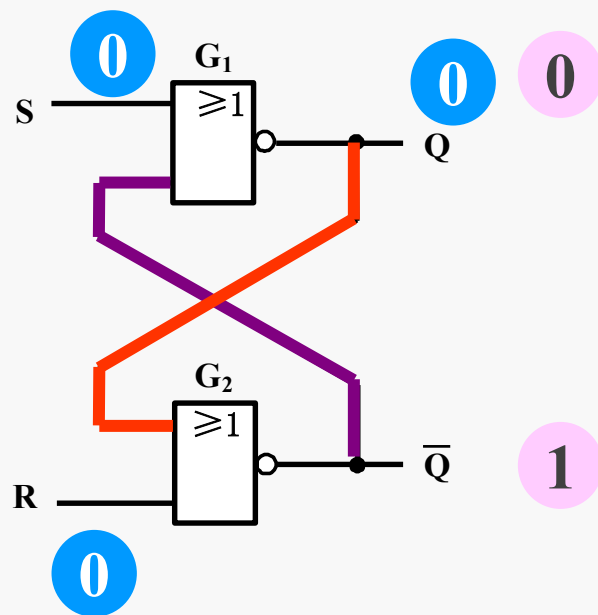
## 5.2.1 锁存器——简单SR锁存器

### 工作原理

(1)  $R=0$ 、 $S=0$     **状态不变**



若初态  $Q^n = 1$

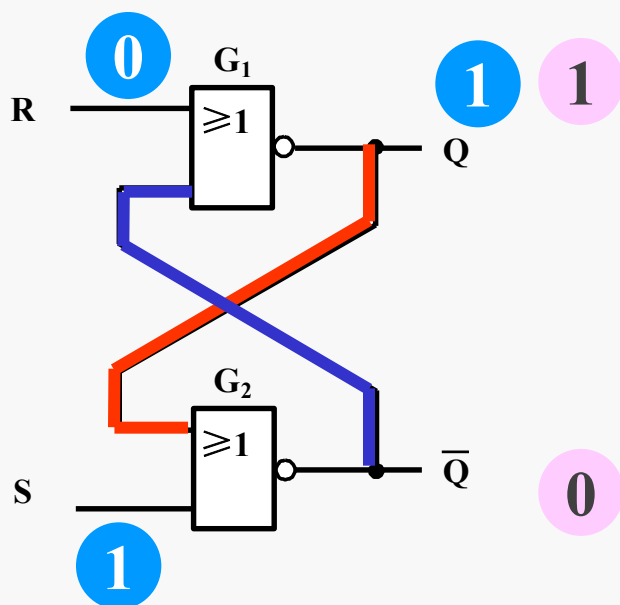


若初态  $Q^n = 0$

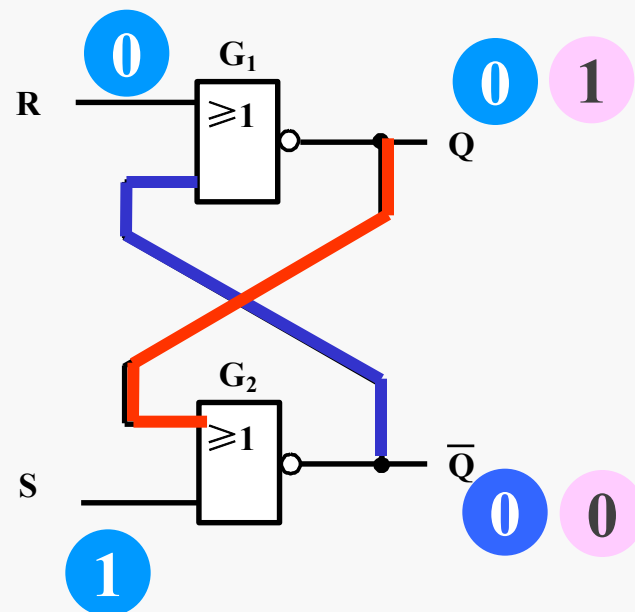
## 5.2.1 锁存器——简单SR锁存器

( 2 )  $R=0$ 、 $S=1$  置1

无论初态 $Q^n$ 为0或1，触发器的次态为1态。



若初态  $Q^n = 1$

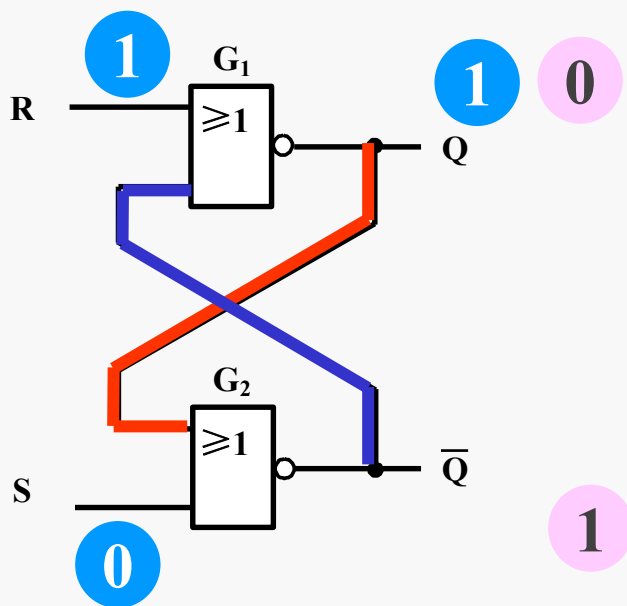


若初态  $Q^n = 0$

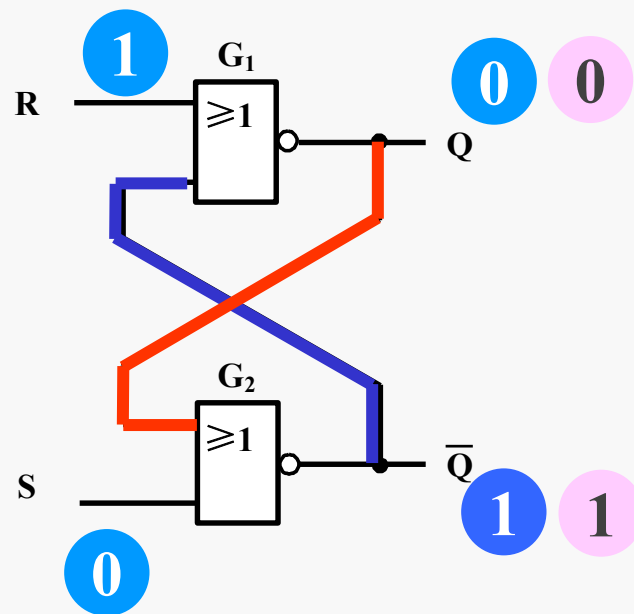
## 5.2.1 锁存器——简单SR锁存器

( 3 )  $R=1$ 、 $S=0$  **置0**

无论初态 $Q^n$ 为0或1，触发器的次态为0态。



若初态  $Q^n = 1$

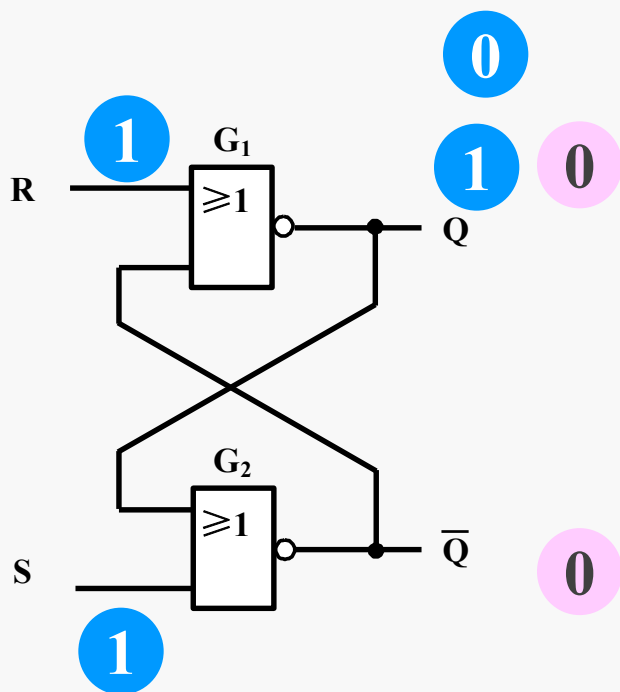


若初态  $Q^n = 0$

## 5.2.1 锁存器——简单SR锁存器

( 4 )  $S=1$  、  $R=1$       **状态不确定**

无论初态 $Q^n$ 为0或1，触发器的次态  $Q^n$ 、 $\overline{Q}^n$  都为0。

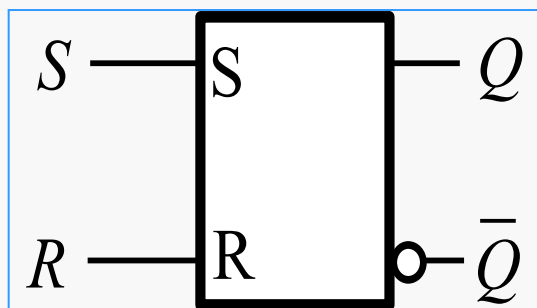


此时如果两个输入信号同时发生由1到0的变化，会出现竞争现象。由于两个或非门的延迟时间无法确定，使得触发器最终稳定状态也不能确定。

**约束条件:**       $SR = 0$

## 5.2.1 锁存器——简单SR锁存器

逻辑符号



$Q^n$  : 电路的初态  
信号输入前的状态

$Q^{n+1}$  : 电路的次态  
信号输入后的新态

逻辑功能表

S	R	$Q^n$	$Q^{n+1}$
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	非定义
1	1	1	非定义

不变

置0

置1

非定义  
状态

因此，称S为置1端，R为置0端，都是高电平有效



## 5.2.1 锁存器——简单SR锁存器

### 逻辑功能表

S	R	$Q^n$	$Q^{n+1}$
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	非定义
1	1	1	非定义

### 特性方程

$$Q^{n+1} = f(S, R, Q^n)$$

$S \backslash RQ^n$	00	01	11	10
0	0	1	0	0
1	1	1	×	×

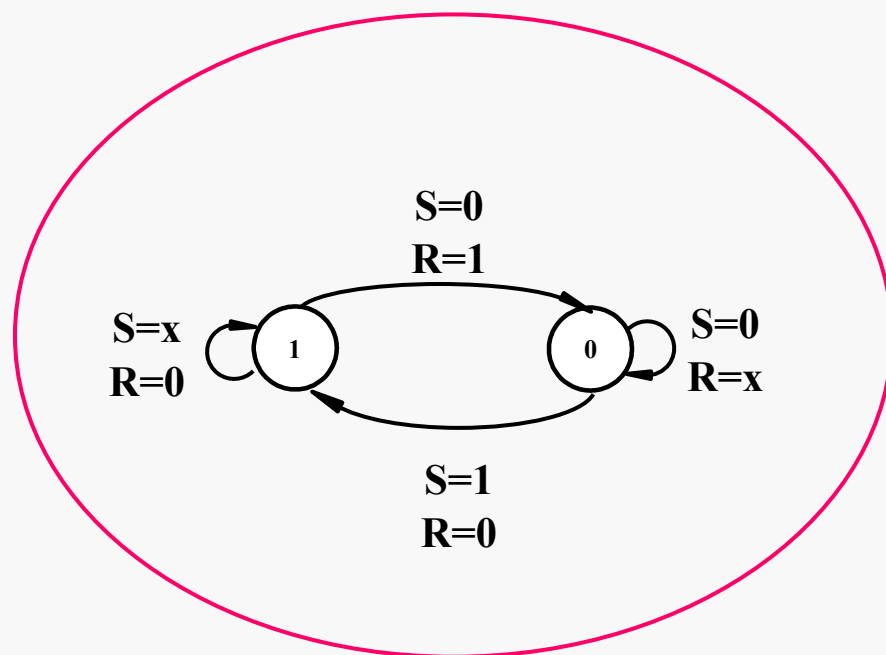
### 次态卡诺图

$$\begin{cases} Q^{n+1} = S + \overline{R} Q^n \\ SR = 0 \quad \text{约束条件} \end{cases}$$

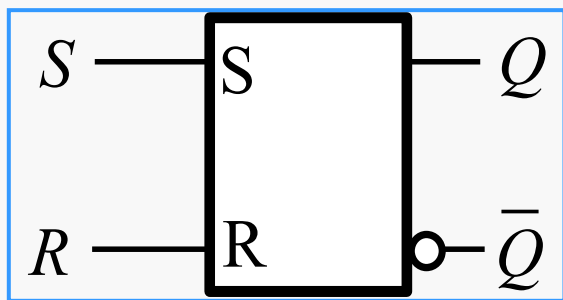
## 5.2.1 锁存器——简单SR锁存器

逻辑功能表

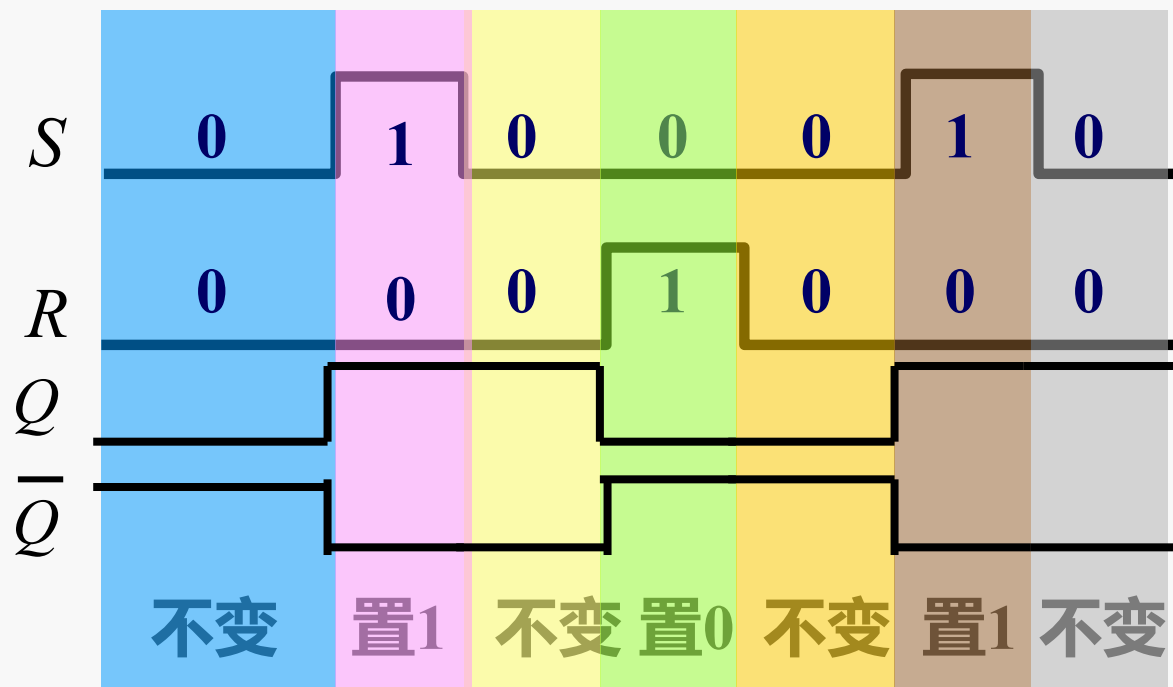
S	R	$Q^n$	$Q^{n+1}$
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	非定义
1	1	1	非定义



## 5.2.1 锁存器——简单SR锁存器



### 工作波形



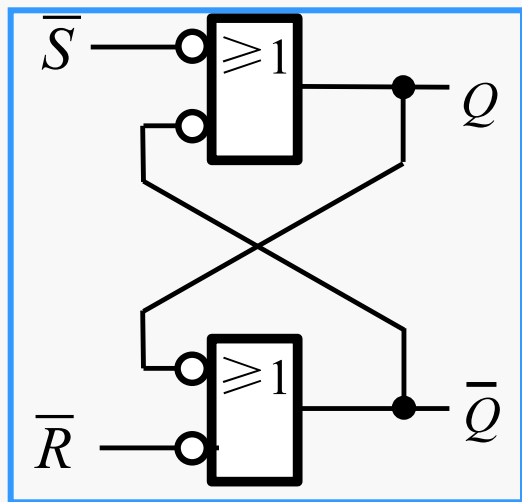
逻辑功能的四种描述方式:

功能表、特性方程、状态转换图、波形图。

## 5.2.1 锁存器——简单SR锁存器

### 用与非门构成的SR锁存器

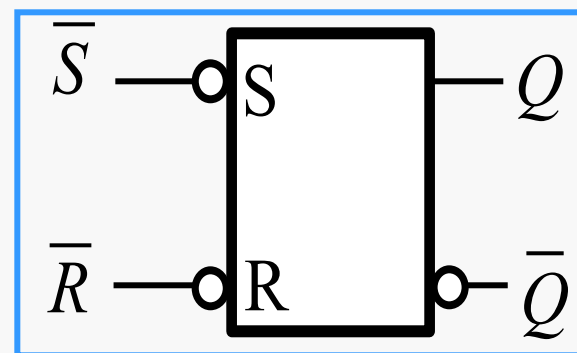
a. 电路图



b. 功能表

$\bar{R}$	$\bar{S}$	$Q$	$\bar{Q}$
1	1	不变	不变
1	0	1	0
0	1	0	1
0	0	1	1

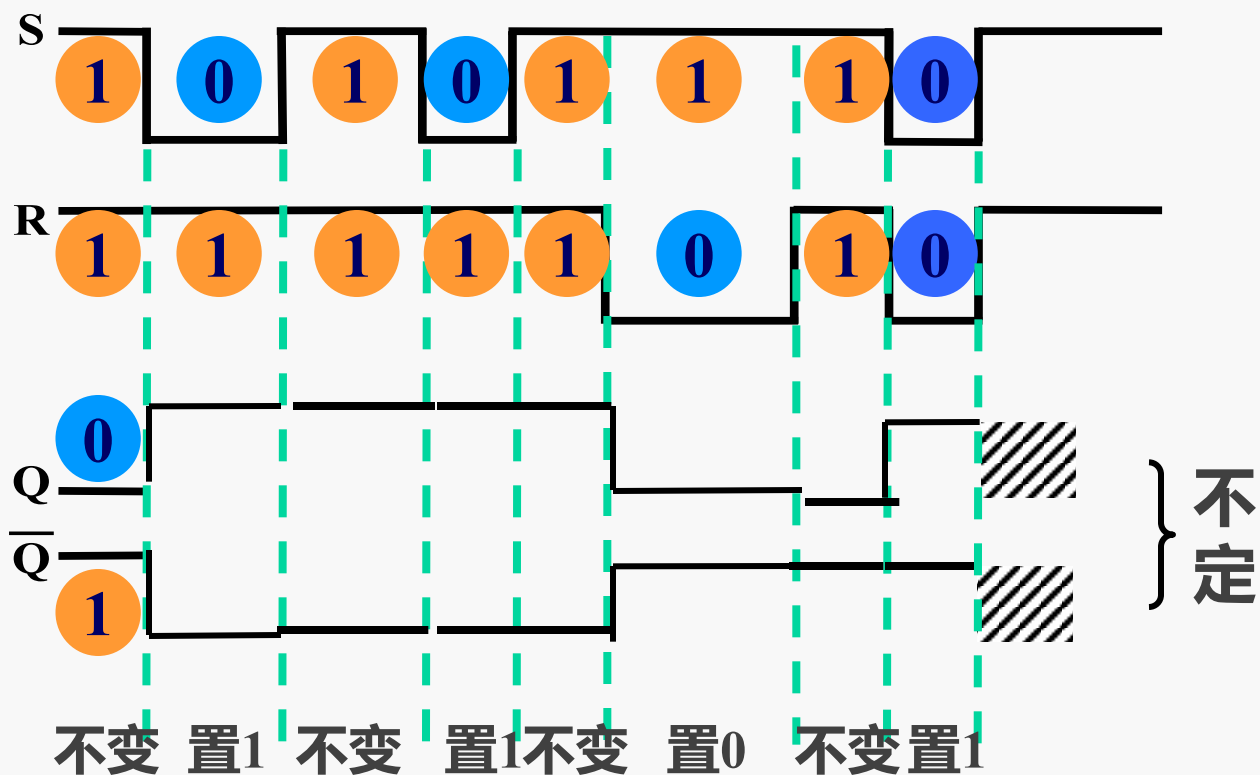
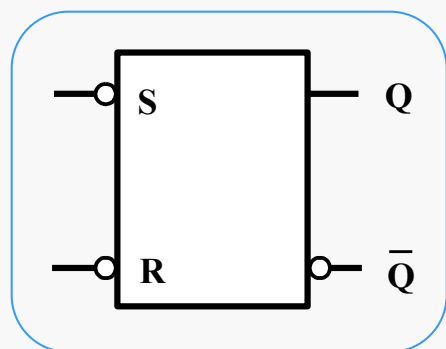
c. 国标逻辑符号



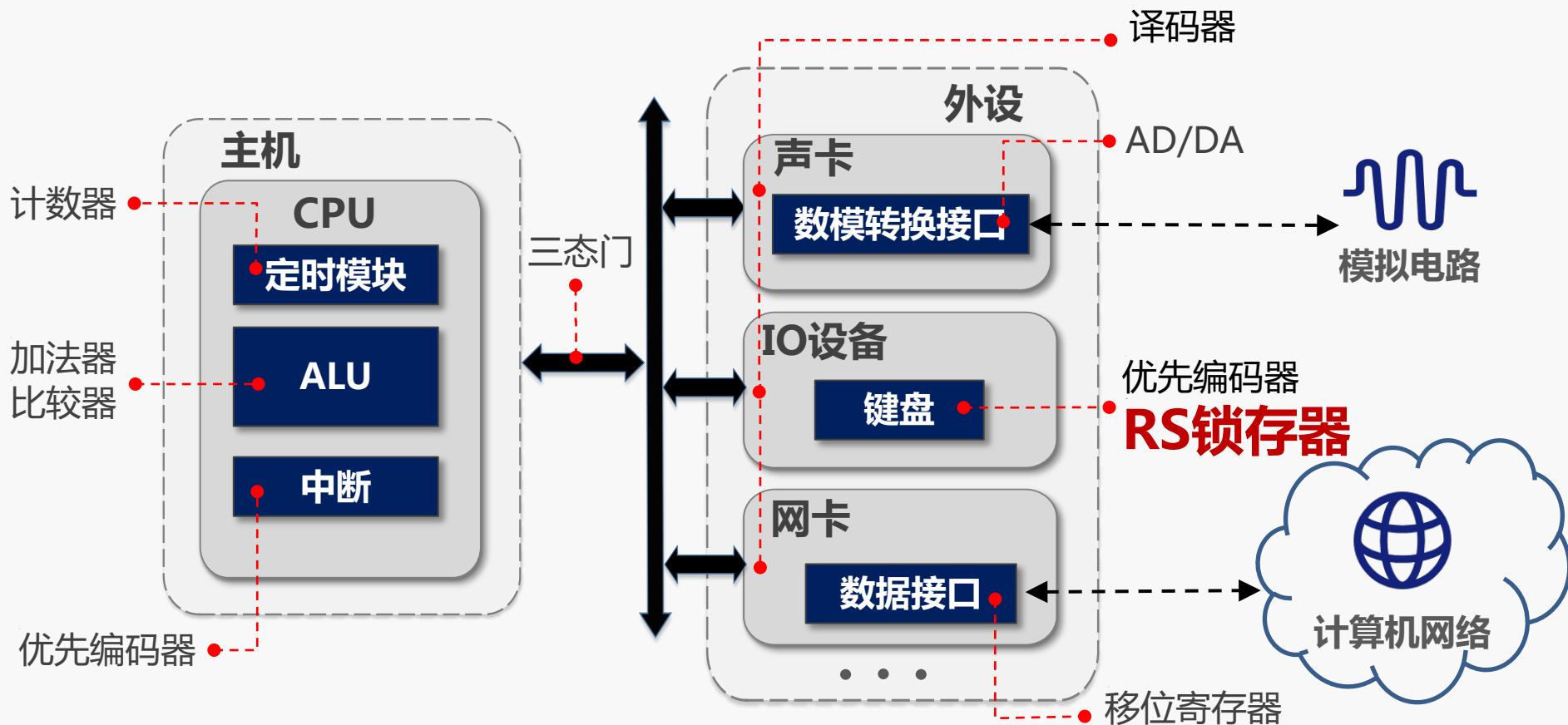
约束条件:  $S + R = 1$

## 5.2.1 锁存器——简单SR锁存器

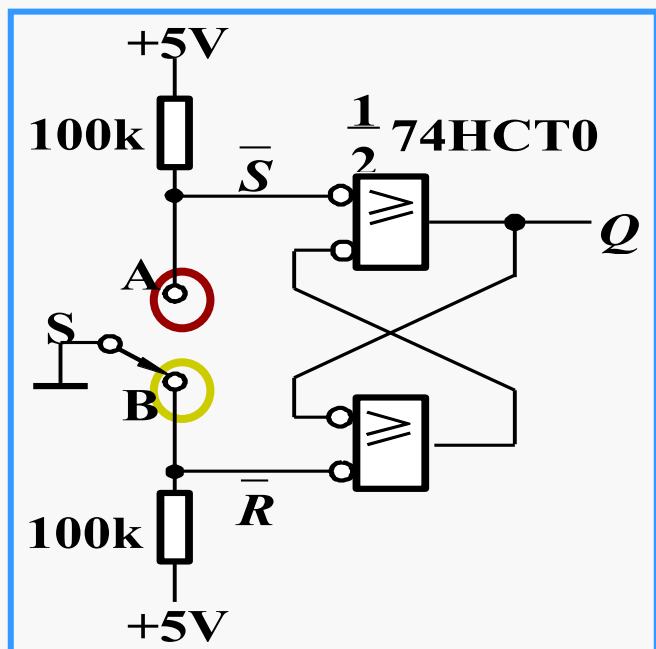
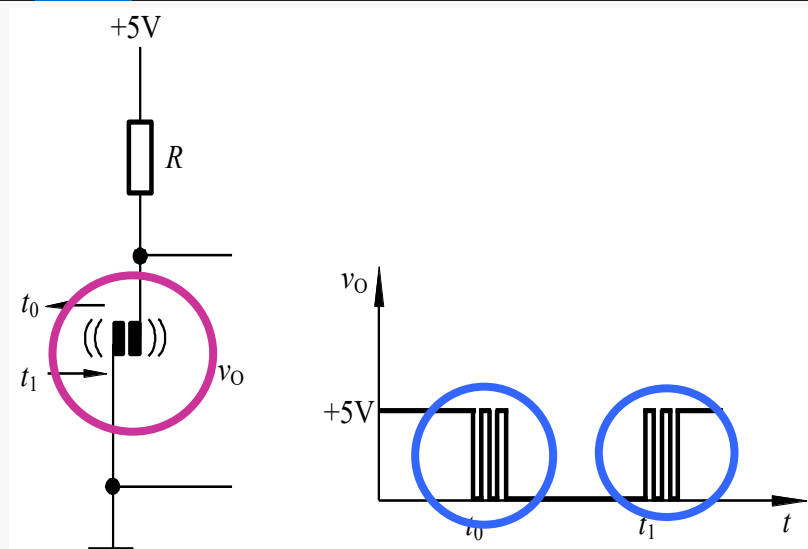
用与非门构成的SR锁存器的波形（假设初始状态 $Q=0$ ）



## 5.2.1 锁存器——简单SR锁存器（应用）



## 5.2.1 锁存器——简单SR锁存器（应用）



开关起始状态:接B,  
 $\bar{R} = 0$   $\bar{S} = 1$   $Q = 0$

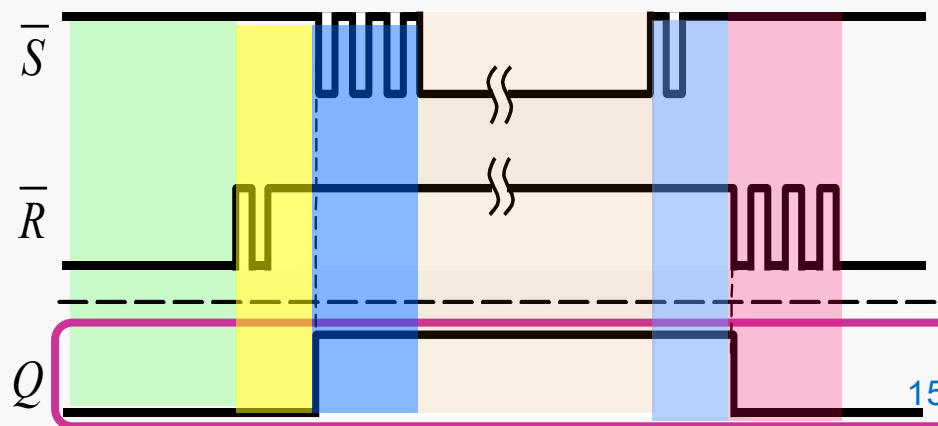
悬空时  $\bar{R} = 1$   $\bar{S} = 1$   
 $Q$ 不变

开关接A时振动, $Q = 1$

开关转接A,  
 $\bar{R} = 1$   $\bar{S} = 0$   $Q = 1$

S悬空时间

开关接 B振动



## 5.2.1 锁存器——简单SR锁存器

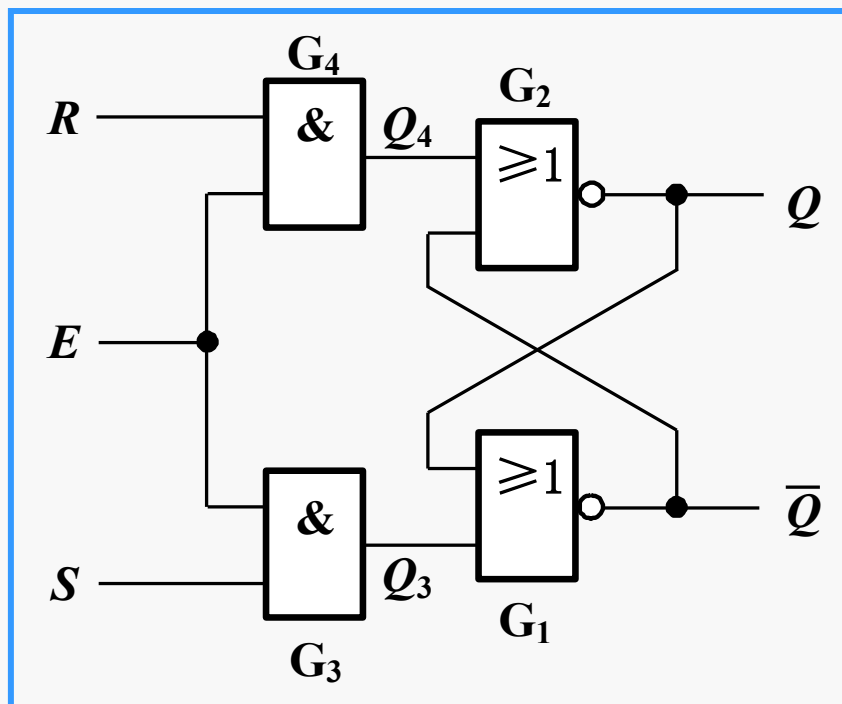
### 基本RS锁存器存在的问题：

- **存在约束条件：**当RS端从“11”变化到“00”时（或非门组成），触发器的下一个状态不能确定，在使用中要加以约束，给使用带来不便。由与非门组成的锁存器也有类似问题。
- **抗干扰能力差：**当输入信号存在毛刺干扰时，错误会扩散。

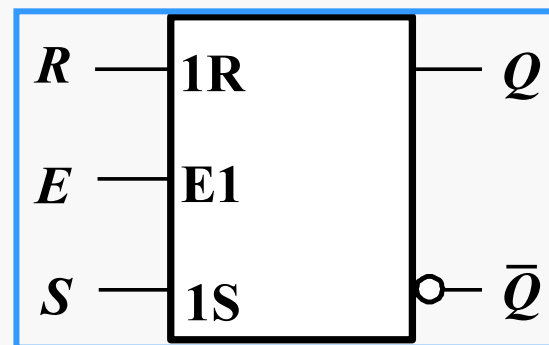


## 5.2.2 锁存器——逻辑门控SR锁存器

电路结构



逻辑符号



电路结构：由简单SR锁存器和使能信号控制门电路组成。

## 5.2.2 锁存器——逻辑门控SR锁存器

$E=0$  : 状态不变

$E=1$  :  $Q_3 = S$      $Q_4 = R$

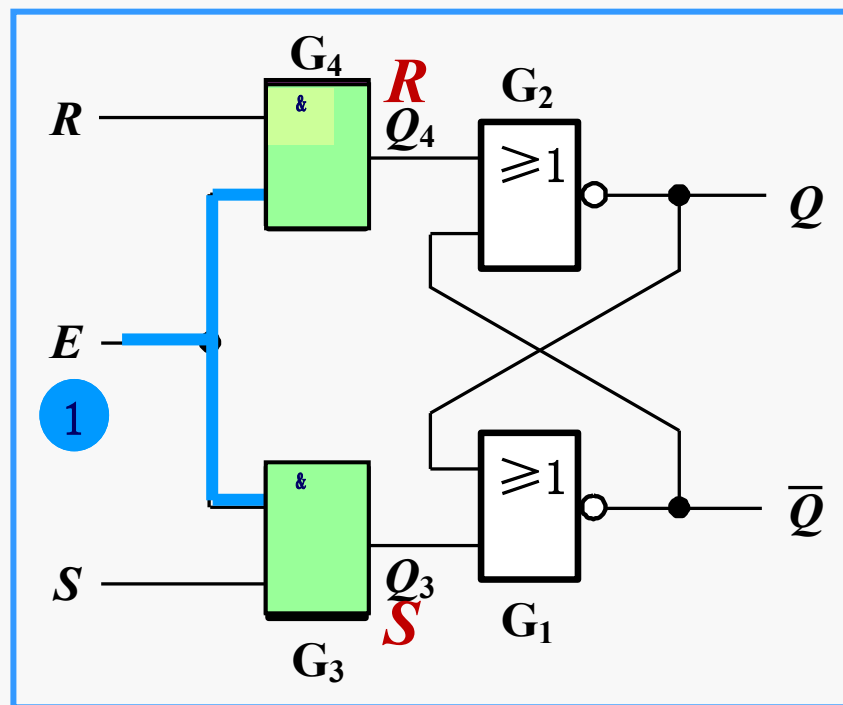
状态发生变化

$S=0, R=0$ :  $Q^{n+1}=Q^n$

$S=1, R=0$ :  $Q^{n+1}=1$

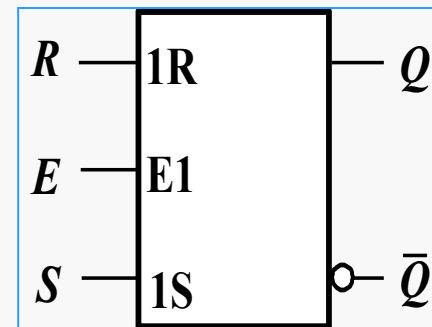
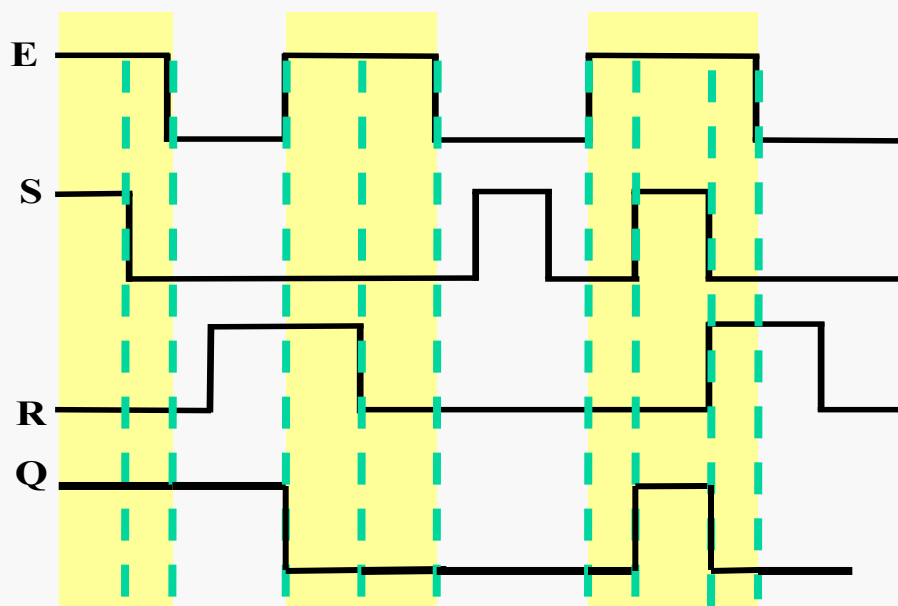
$S=0, R=1$ :  $Q^{n+1}=0$

$S=1, R=1$ :  $Q^{n+1}=\Phi$



## 5.2.2 锁存器——逻辑门控SR锁存器

### 工作波形



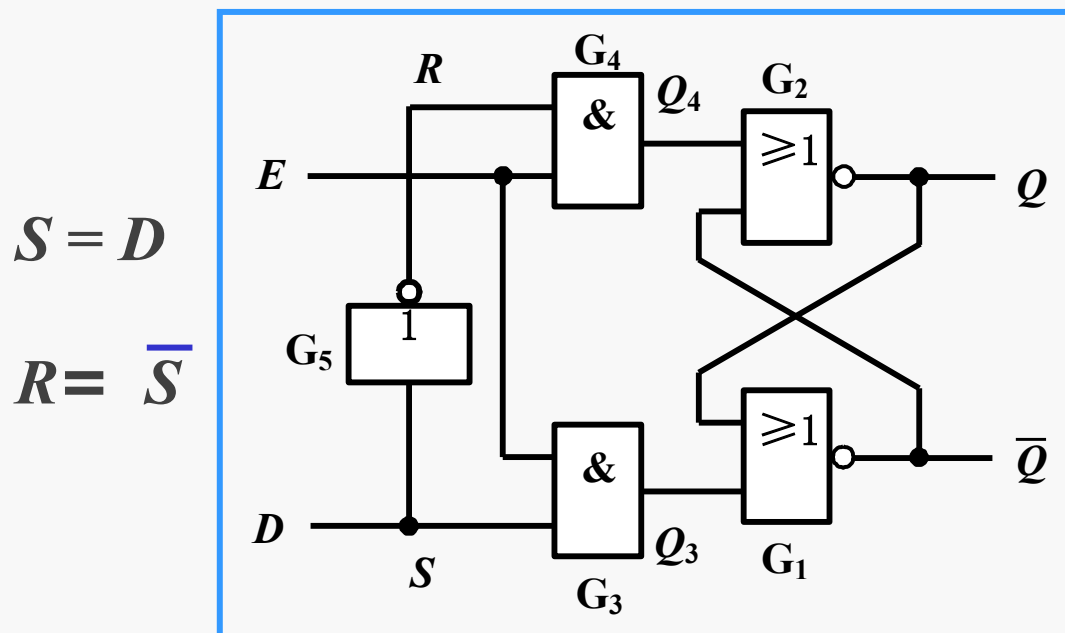
同步RS触发器真值表

	S	R	$Q^{n+1}$
●	0	0	$Q^n$
●	0	1	0
●	1	0	1
	1	1	$\Phi$

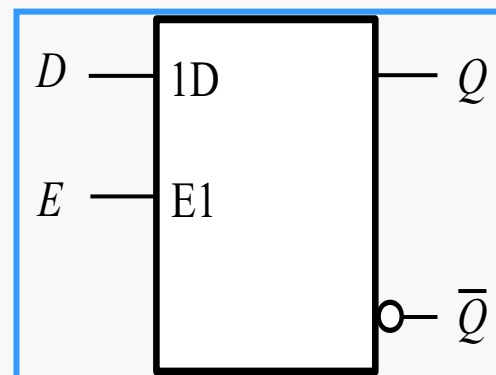
在使能信号有效期间的干扰仍然无法消除。

## 5.2.3 锁存器——D锁存器

逻辑电路图



逻辑符号



$E=0$

不变

$E=1$

$D=0$

$S=0$   $R=1$

$Q=0$

$D=1$

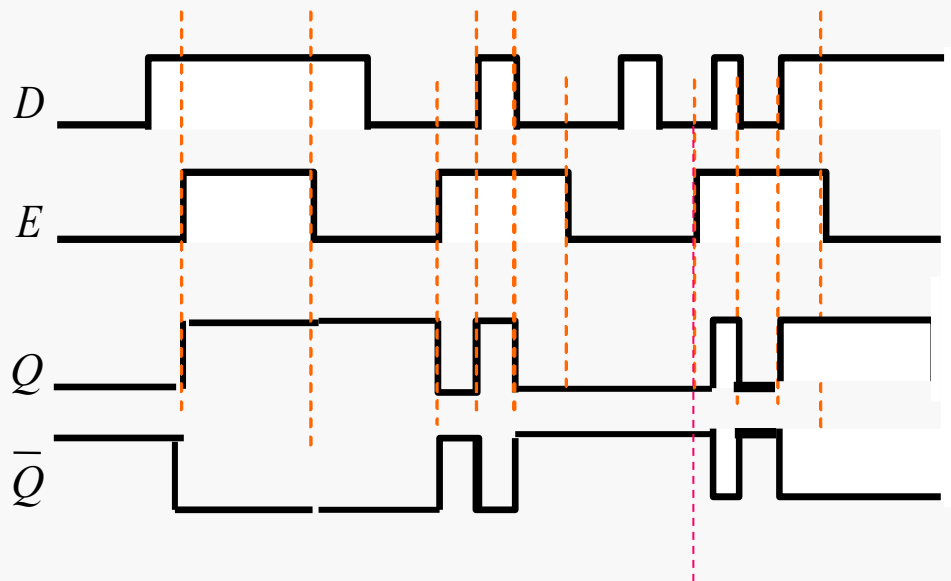
$S=1$   $R=0$

$Q=1$

## 5.2.3 锁存器——D锁存器

### D锁存器的功能表

$E$	$D$	$Q$	$\bar{Q}$	功能
0	×	不变	不变	保持
1	0	0	1	置0
1	1	1	0	置1



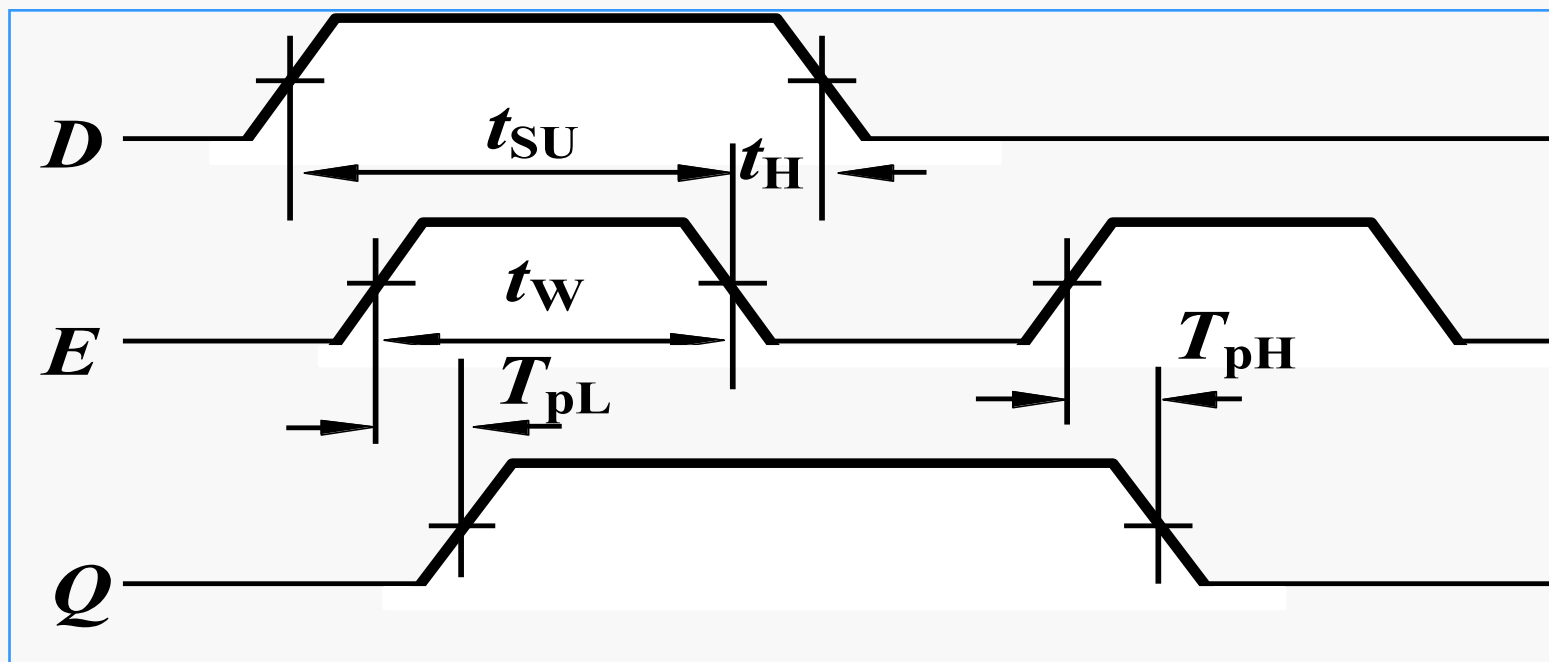
**注意信号的观察角度！！！！**

- 1、控制与被控制
- 2、什么叫锁存？

## 5.2.3 锁存器——D锁存器

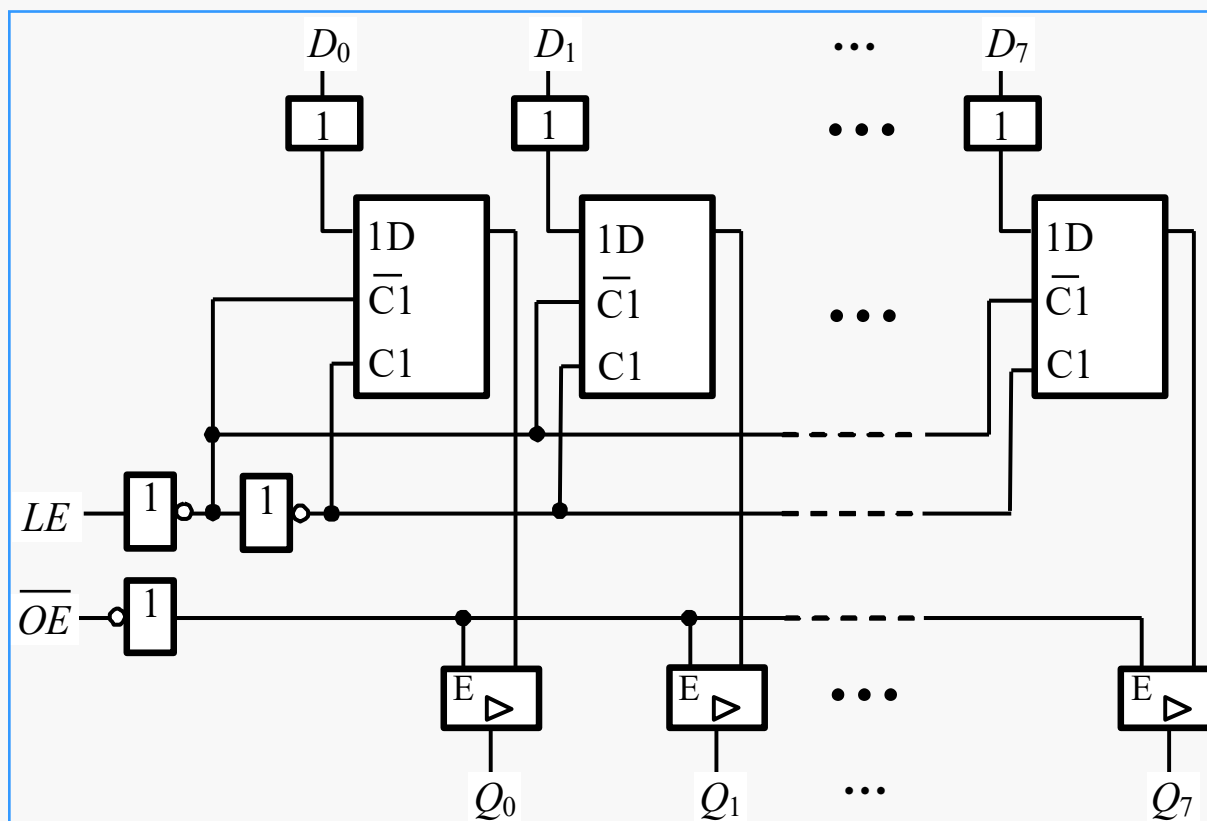
### D锁存器的动态特性——时序图：

表示电路动作过程中，对各输入信号的时序要求，以及输出对输入信号的响应时间。



## 5.2.3 锁存器——D锁存器

### 典型集成电路（74HC373）



## 5.2.3 锁存器——D锁存器

### 74HC/HCT373的功能表

工作模式	输 入			内部锁存器 状 态	输 出
	$\overline{OE}$	$LE$	$D_n$		$Q_n$
使能和 读锁存器 (传送模式)	L	H	L	L	L
	L	H	H	H	H
锁存和 读锁存器	L	L	L*	L	L
	L	L	H*	H	H
锁存和禁止输出	H	×	×	×	高阻
	H	×	×	×	高阻

L\*和H\*表示门控电平 $LE$ 由高变低之前瞬间 $D_n$ 的逻辑电平。



## 5.2.3 锁存器——D锁存器的Verilog描述

```
always@ (E or D)
begin
    if(E) Q = D;
end
```

```
always@ (E or D)
begin
    if(E) Q = D;
    else Q = Q;
end
```

$$Q^{n+1} = \overline{E} \cdot Q + E \cdot D$$

