

观测**3**个以上的波形，应该如何操作？

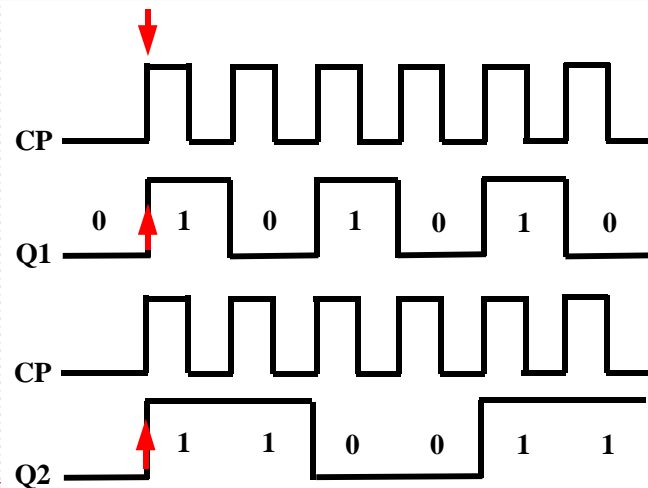
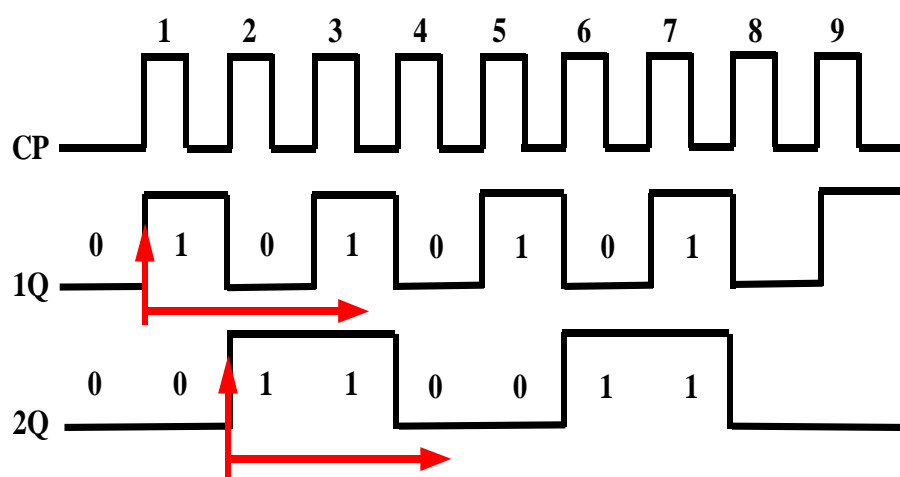
应将所有波形与**频率最低**的波形比较！

正确的操作：

- 选择频率最低的信号**2Q** → **CH1**显示
- **触发信源**选择 **CH1**
- 其它信号**CP**、**1Q**分别送 **CH2**显示

错误的操作： ①观察**CP**和**Q1**

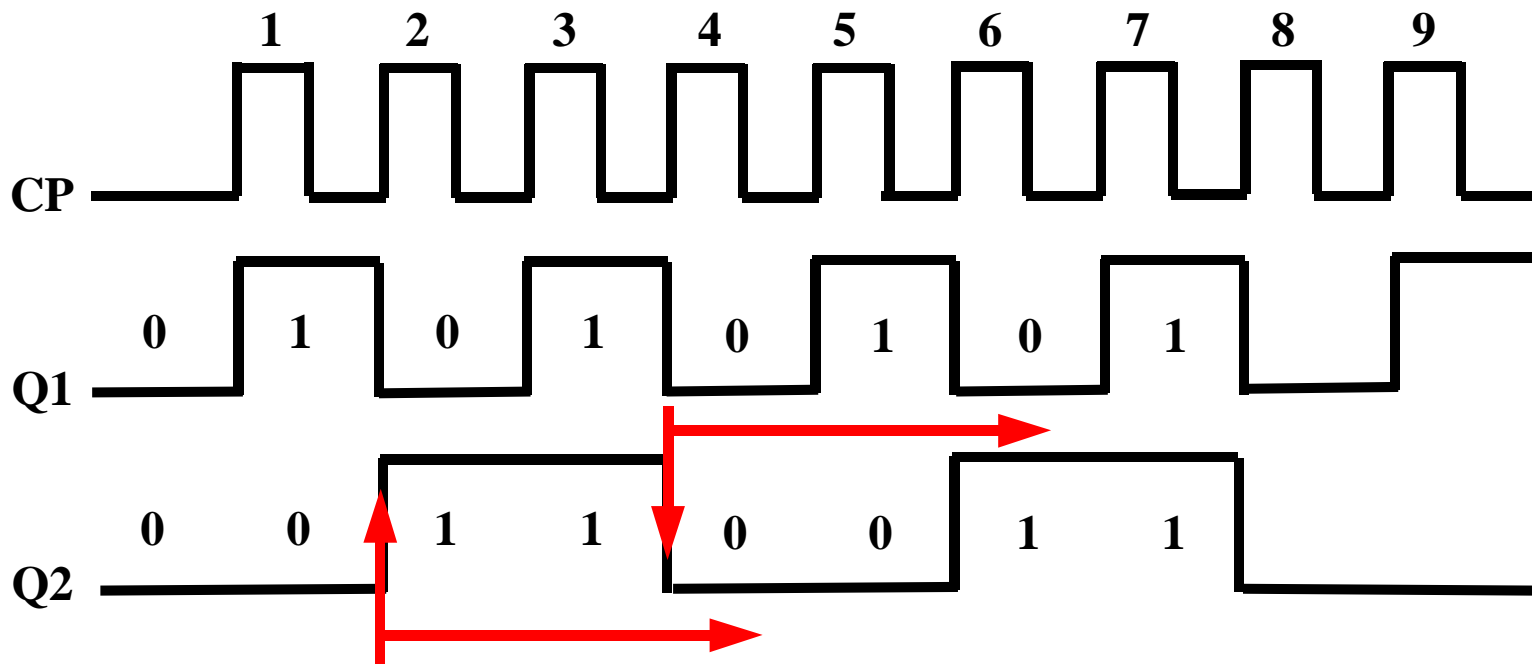
②观察**CP**和**Q2**



观察计数器的波形时，触发斜率应选上升沿还是下降沿？

加法计数器 → 应选下降沿触发

减法计数器 → 应选上升沿触发



电子线路设计与测试 (二)

设计任务1

篮球竞赛 24s 定时器设计:P 195

检查 《电子线路设计测试与实验 (二) 》 单元七

电子线路设计与测试 (二)

选做:

设计彩灯循环显示控制电路: P 191

数字秒表电路设计:P195

第四阶段需要自学的内容

- 教材
 - **5.4** 集成电路定时器**555**及其应用
 - **5.5** 中规模组合逻辑电路及其应用
(CD4511)
 - **5.6** 中规模时序逻辑电路及其应用
**(7490/93,161/163,190/191,
192/193)**
 - **6.1** 篮球竞赛**30s**计时器设计
 - **6.4** 多功能数字钟电路设计
 - 相关数字集成器件手册
-

学习要求

- 熟悉各种常用MSI时序逻辑电路功能和使用方法；
 - 掌握多片MSI时序逻辑电路级联和功能扩展技术；
 - 学会MSI数字电路分析方法、设计方法、组装和测试方法。
-

篮球竞赛 24s 定时器设计：（p195）

- 要求：**（1）定时时间为**24**秒钟，按递减方式计时，每隔**1**秒钟，定时器减**1**，以数字的形式显示时间；
- （2）设置两个外部控制开关（控制功能如表所示），控制定时器的直接复位、启动计时、暂停/连续计时；
- （3）当定时器递减计时到零（即定时时间到）时，定时器保持零不变，同时发出**声**光报警信号。
- （4）**555**振荡器输出频率为**1KHz**，分频到**1Hz**作为计时脉冲。

控制功能如表

复位/启动 nRST	暂停/连续 nPAUSE	定时器完成的功能
0	X	定时器复位，置初值24
1	1	定时器开始计时
1	0	定时器暂停计时

篮球竞赛 24s 定时器设计：（p195）

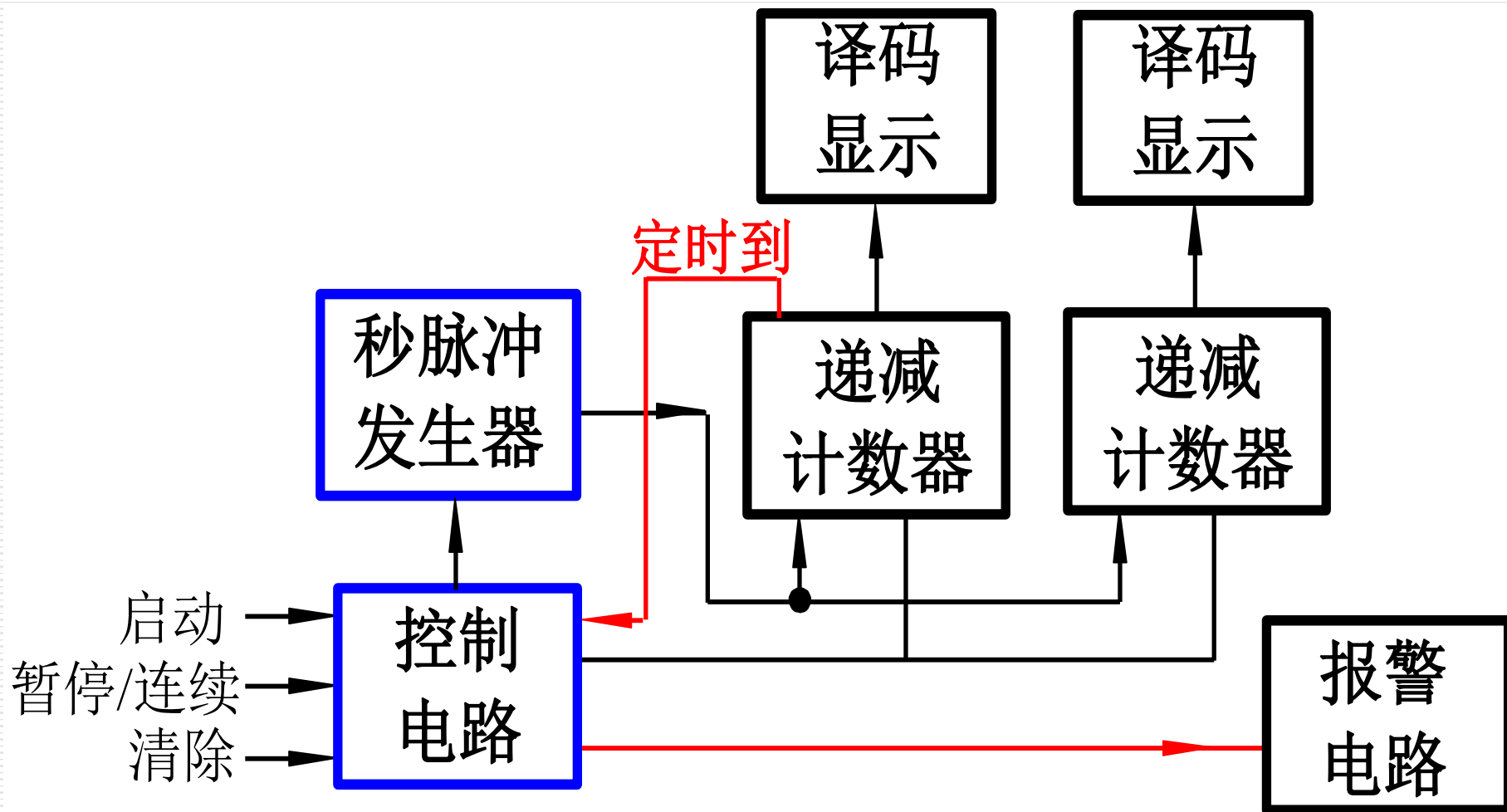
- 要求：**（1）定时时间为**24**秒钟，按递减方式计时，每隔**1**秒钟，定时器减**1**，以数字的形式显示时间；
- （2）设置两个外部控制开关（控制功能如表所示），控制定时器的直接复位、启动计时、暂停/连续计时；
- （3）当定时器递减计时到零（即定时时间到）时，定时器保持零不变，同时发出**声**光报警信号。
- （4）**555**振荡器输出频率为**1KHz**，分频到**1Hz**作为计时脉冲。

控制功能如表

复位/启动 nRST	暂停/连续 nPAUSE	定时器完成的功能
0	X	定时器复位，置初值24
1	1	定时器开始计时
1	0	定时器暂停计时

篮球竞赛 24s 定时器设计

一. 根据设计要求，画出组成框图



篮球竞赛 24s 定时器设计

二. 挑选IC及相关器件，设计各单元电路

□ 秒脉冲发生器的设计

- 可由555定时器或石英晶体振荡器构成

□ 24s计时器的设计

- 由各种有递减计数功能的IC芯片构成
- 由CPLD构成

□ 译码显示器的设计

□ 控制电路的设计（难点）

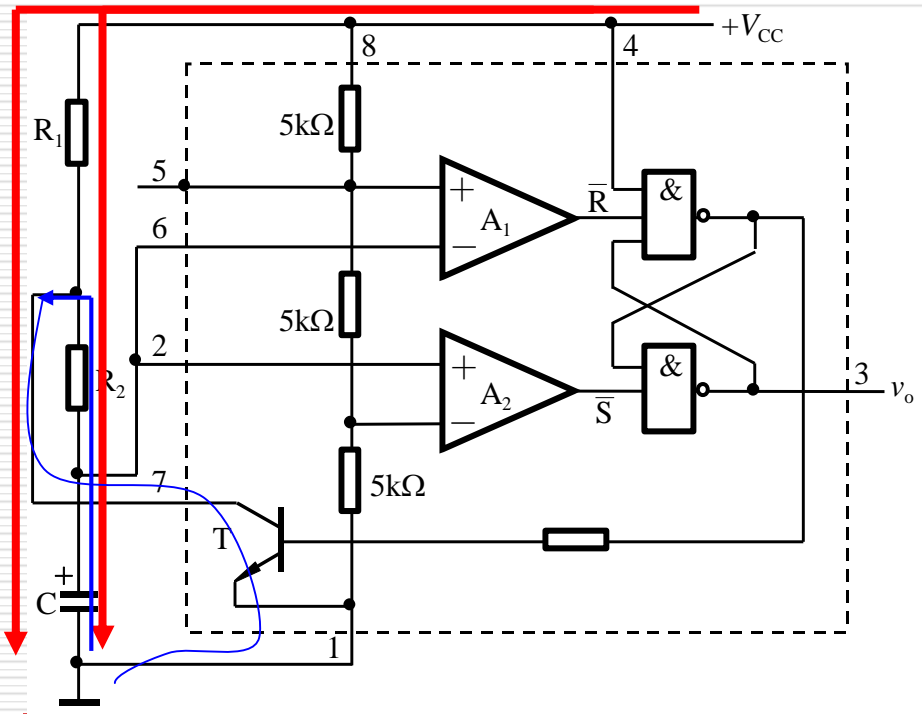
- 根据设计要求，用试凑法设计
-

1.秒脉冲发生器的设计(P166)

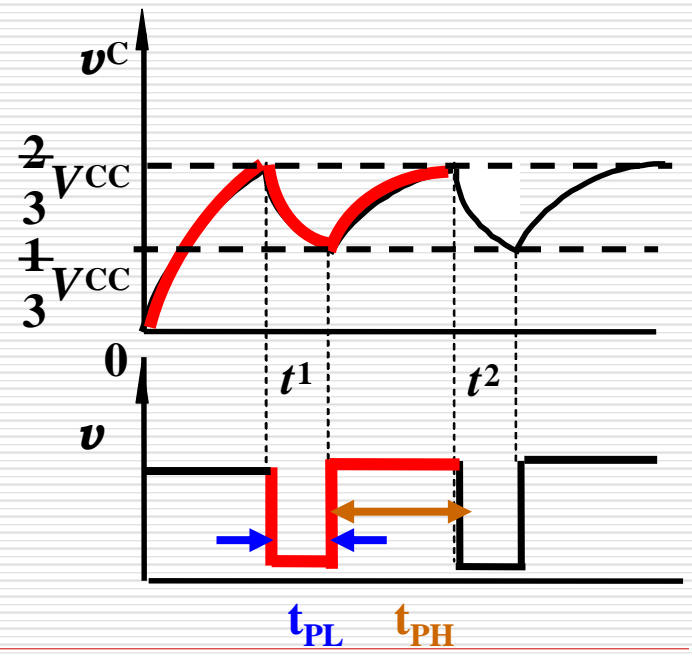
多谐振荡器

$t_{PL}=R_2C1n2\approx0.7R_2C$

$t_{pH} = (R_1+R_2)C1n2\approx0.7(R_1+R_2)C$



输 入		输 出	
TH	TL	V _O	T
×	×	0	导通
$< \frac{2}{3}V_{CC}$	$< \frac{1}{3}V_{CC}$	1	截止
$> \frac{2}{3}V_{CC}$	$> \frac{1}{3}V_{CC}$	0	导通
$< \frac{2}{3}V_{CC}$	$> \frac{1}{3}V_{CC}$	不变	不变



1.秒脉冲发生器的设计(P166)

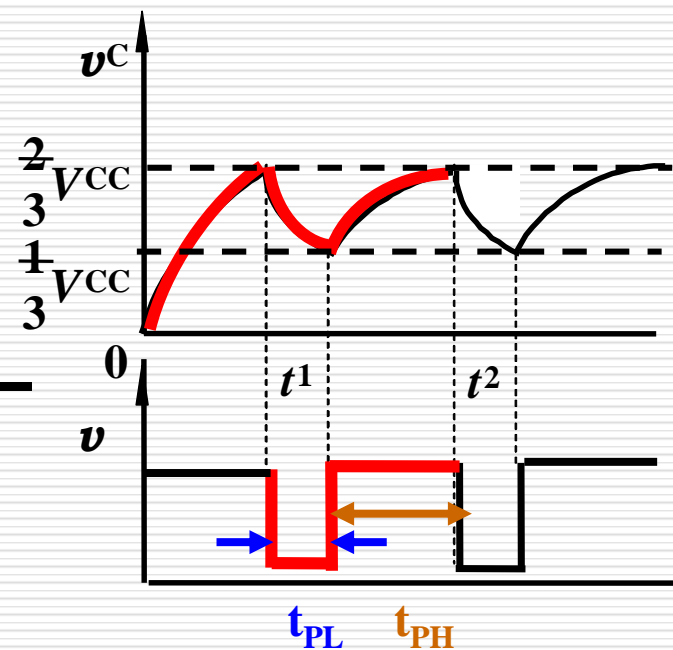
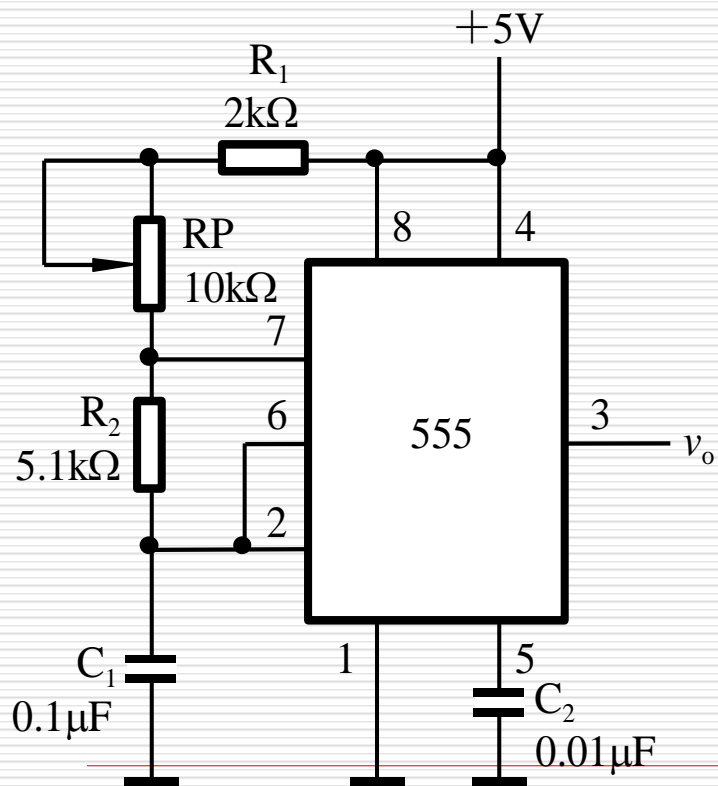
555振荡器输出频率为1KHz，分频到1Hz作为计时脉冲

$$t_{PL} = R_2 C_1 \ln 2 \approx 0.7 R_2 C$$

$$t_{pH} = (R_1 + R_2) C_1 \ln 2 \approx 0.7 (R_1 + R_2) C$$

由集成电路定时器555与RC组成多谐振荡器。

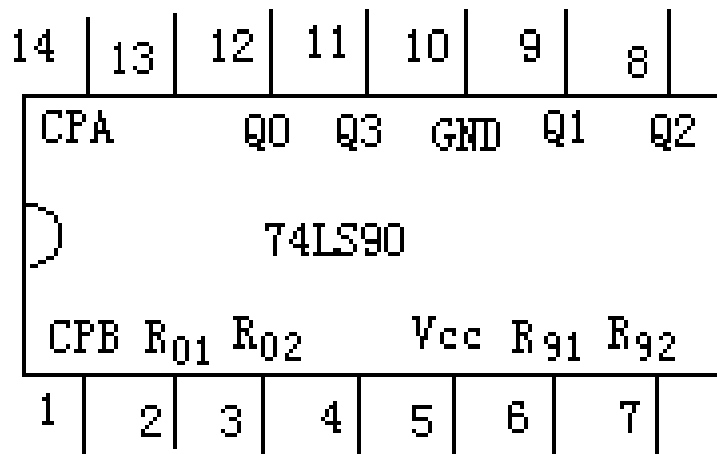
振荡频率 $f_0 = 1\text{kHz}$



2. 分频器的设计

- 分频器的功能主要有两个
 - 产生标准秒脉冲信号
 - 提供控制电路所需要的信号，如1kHz的高音频信号

MSI时序逻辑电路 (P180)



1) 异步计数器 (74LS90/92/93)

74LS90是二-五-十进制计数器，它有两个时钟输入端 CP_A 和 CP_B ，**下降沿有效**。其中， CP_A 和 Q_0 组成二进制计数器； CP_B 和 $Q_3Q_2Q_1$ 组成五进制计数器；

若将 Q_0 与 CP_B 相连接，时钟脉冲从 CP_A 输入，则构成8421BCD码十进制计数器。74LS90有两个清零端 $R_{0(1)}$ 、 $R_{0(2)}$ 和两个置9端 $R_{9(1)}$ 、 $R_{9(2)}$ ，

计数时序和功能如表5.6.3所示

74LS90功能表

$R_{0(1)}$	$R_{0(2)}$	$R_{9(1)}$	$R_{9(2)}$	Q_3	Q_2	Q_1	Q_0
1	1	0	×	0	0	0	0
1	1	×	0	0	0	0	0
×	×	1	1	1	0	0	1
×	0	×	0	计 数			
0	×	0	×				
0	×	×	0				
×	0	0	×				

十进制数	8421码	5421码	2421码
0	0000	0000	0000
1	0001	0001	0001
2	0010	0010	0010
3	0011	0011	0011
4	0100	0100	0100
5	0101	1000	1011
6	0110	1001	1100
7	0111	1010	1101
8	1000	1011	1110
9	1001	1100	1111

74LS90功能表

输 入						输 出				功 能
清 0		置 9		时 钟		Q_3 Q_2 Q_1 Q_0				
$R_{0(1)}$	$R_{0(2)}$	$S_{9(1)}$	$S_{9(2)}$	$\overline{CP_A}$	$\overline{CP_B}$					
1	1	0 ×	×	×	×	0	0	0	0	清 0
0 ×	×	1	1	×	×	1	0	0	1	置 9
0 ×		0 ×		↓	×	Q_0 输 出				二进制计数
				×	↓	$Q_3Q_2Q_1$ 输出				五进制计数
				↓	Q_0	$Q_3Q_2Q_1Q_0$ 输出 8421BCD码				十进制计数
				Q_3	↓	$Q_0Q_3Q_2Q_1$ 输出 5421BCD码				十进制计数
				1	1	不 变				保 持

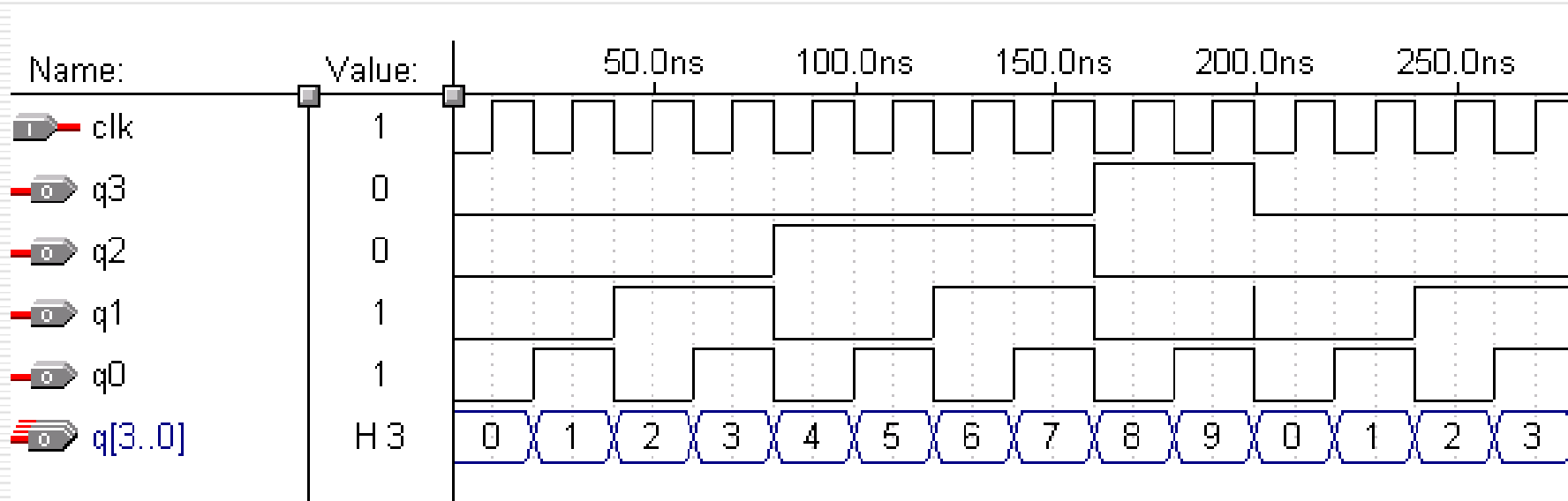
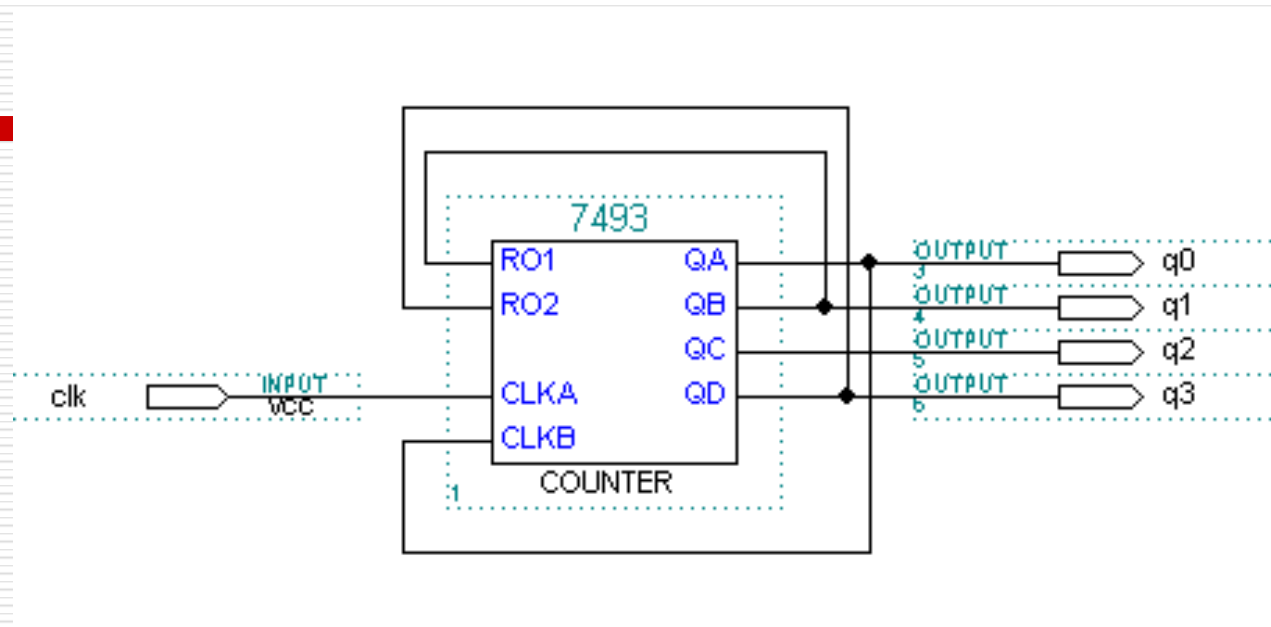
2) 74LS93

74LS93是二-八-十六进制计数器，即 CP_A 和 Q_0 组成二进制计数器， CP_B 和 $Q_3Q_2Q_1$ 为八进制计数器。当 CP_B 和 Q_0 相连，时钟脉冲从 CP_A 输入，构成十六进制计数器。其功能表如表**5.6.5**所示。

Count*		Outputs			
CLKB = QA		QD	QC	QB	QA
0		L	L	L	L
1		L	L	L	H
2		L	L	H	L
3		L	L	H	H
4		L	H	L	L
5		L	H	L	H
6		L	H	H	L
7		L	H	H	H
8		H	L	L	L
9		H	L	L	H
10		H	L	H	L
11		H	L	H	H
12		H	H	L	L
13		H	H	L	H
14		H	H	H	L
15		H	H	H	H

* QA is connected to CLKB for binary count.

Reset Inputs			Outputs			
RO1	RO2		QD	QC	QB	QA
H	H		L	L	L	L
L	X		Count			
X	L		Count			



24s计时器的设计

由各种有递减计数功能的IC芯片构成

双时钟(74LS192/193)

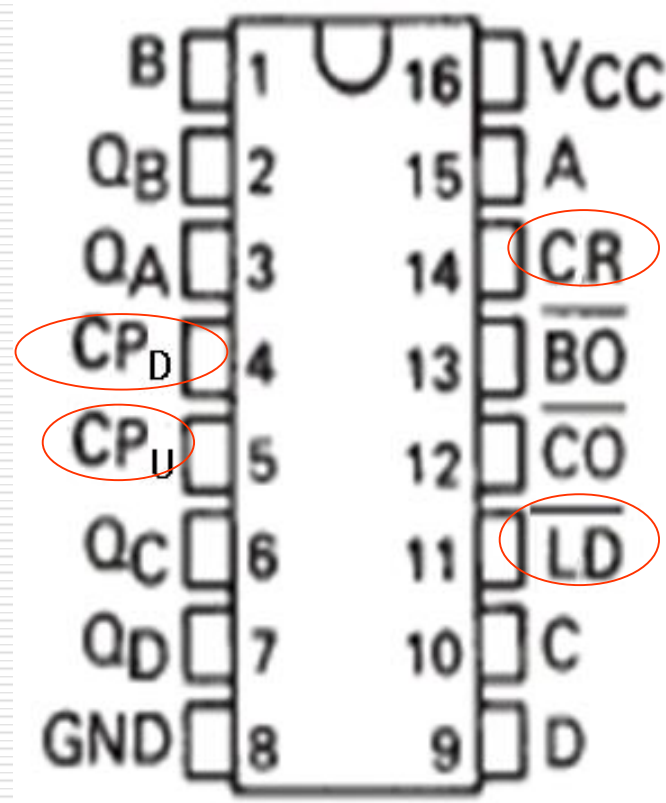
- 74LS192和74LS193是双时钟4位加/减同步计数器，其中，74LS192是十进制计数器，74LS193是二进制计数器。两者的管脚排列图及各管脚的功能均一样。另外管脚排列图中 \overline{CO} 是加计数进位输出端，当加计数到最大计数值时， \overline{CO} 发出一个低电平信号(平时为高电平); \overline{BO} 为减计数借位输出端，当减计数到零时， \overline{BO} 发出一个低电平信号(平时为高电平)， \overline{CO} 和 \overline{BO} 负脉冲宽度等于时钟脉冲低电平宽度。
-

74LS192

74LS192 是双时钟加/减十进制同步计数器，其功能表为：

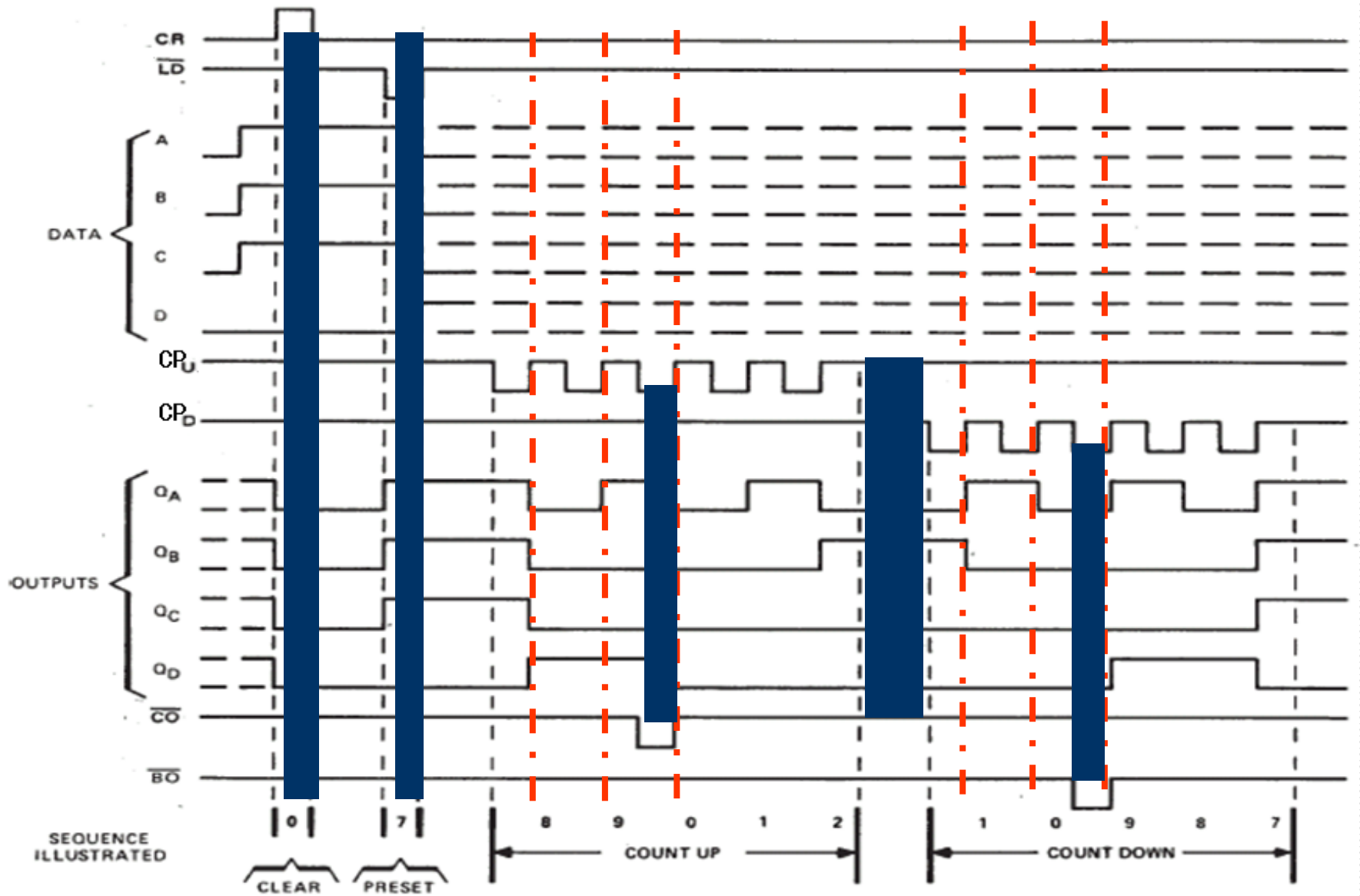
CP_U	CP_D	\overline{LD}	CR	操 作
X	X	X	1	清 零
X	X	0	0	置 数
\uparrow	1	1	0	加计数
1	\uparrow	1	0	减计数
1	1	1	0	保 持

- Q_D 是最高位， Q_A 是最低位。
- \overline{CO} 是加计数进位输出端；
- \overline{BO} 是减计数借位输出端。



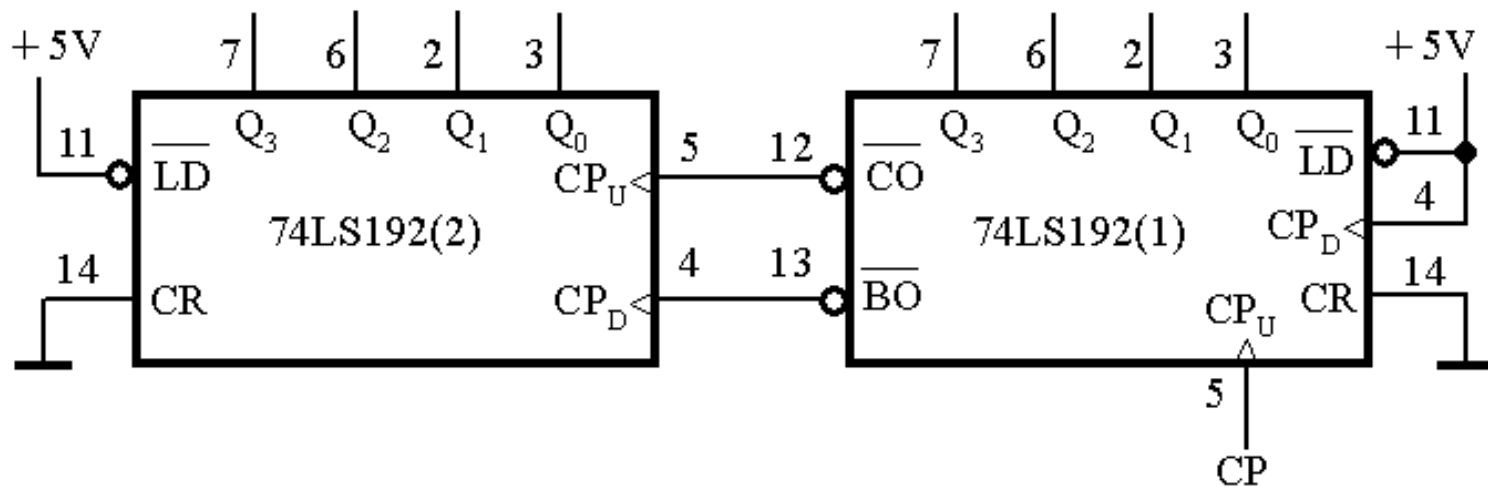
74LS192 引脚图

■ 74LS192时序图



74192

- 用2片74LS192构成2位十进制加法计数器。电路采用串行进位方式级联，每当个位计数器由9复0时，其 $\overline{\text{CO}}$ 发出一个负脉冲作十位计数器加计数的时钟信号，使十位计数器加1计数。若将图中个位74LS192的 CP_U 和 CP_D 互换，则构成2位十进制减法计数器。

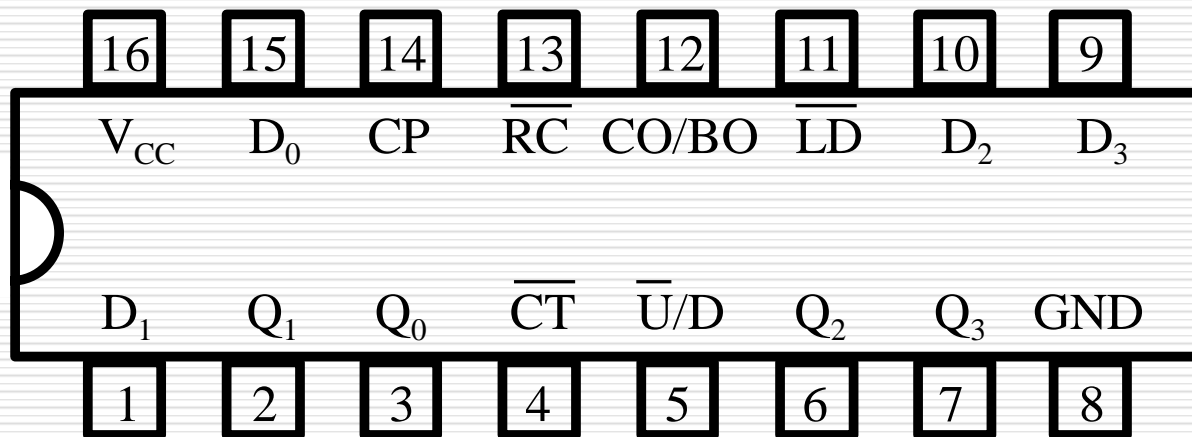


加/减同步计数器(74LS190/191)

74LS190和**74LS191**是单时钟**4**位同步加/减可逆计数器，**CP**为上升沿有效。其中**74LS190**为**8421BCD**码十进制计数器，**74LS191**是**BCD**码十六进制计数器，两者的引脚排列图和引脚功能完全一样。

74191

- 74LS191是二进制单时钟4位同步加/减可逆计数器。含有正脉冲输出端CO/BO及负脉冲输出端 \overline{RC} ，两者在加计数到最大计数值时或减计数到零时，都发出脉冲信号；不同之处是，CO/BO端发出一个与输入时钟周期相等且同步的正脉冲， \overline{RC} 端发出一个与输入时钟信号低电平时间相等且同步的负脉冲。
-



74LS190 十进制

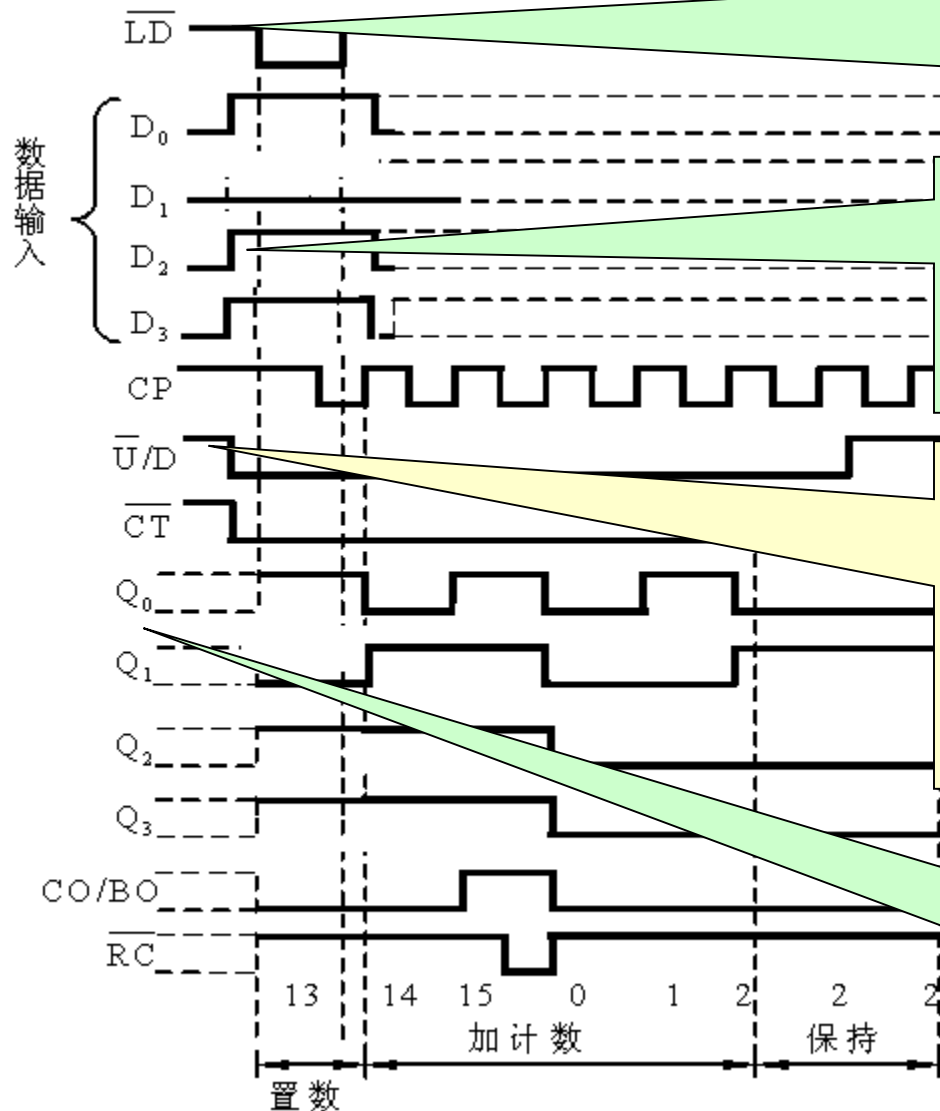
74LS191 4 位二进制

同步加/减计数器

74LS191功能表

$\overline{\text{CT}}$	$\overline{\text{LD}}$	$\overline{\text{U/D}}$	CP	操作
0	0	0	×	置数
0	1	0	↑	加计数
0	1	1	↑	减计数
1	×	×	×	保持

74LS191的时序波形



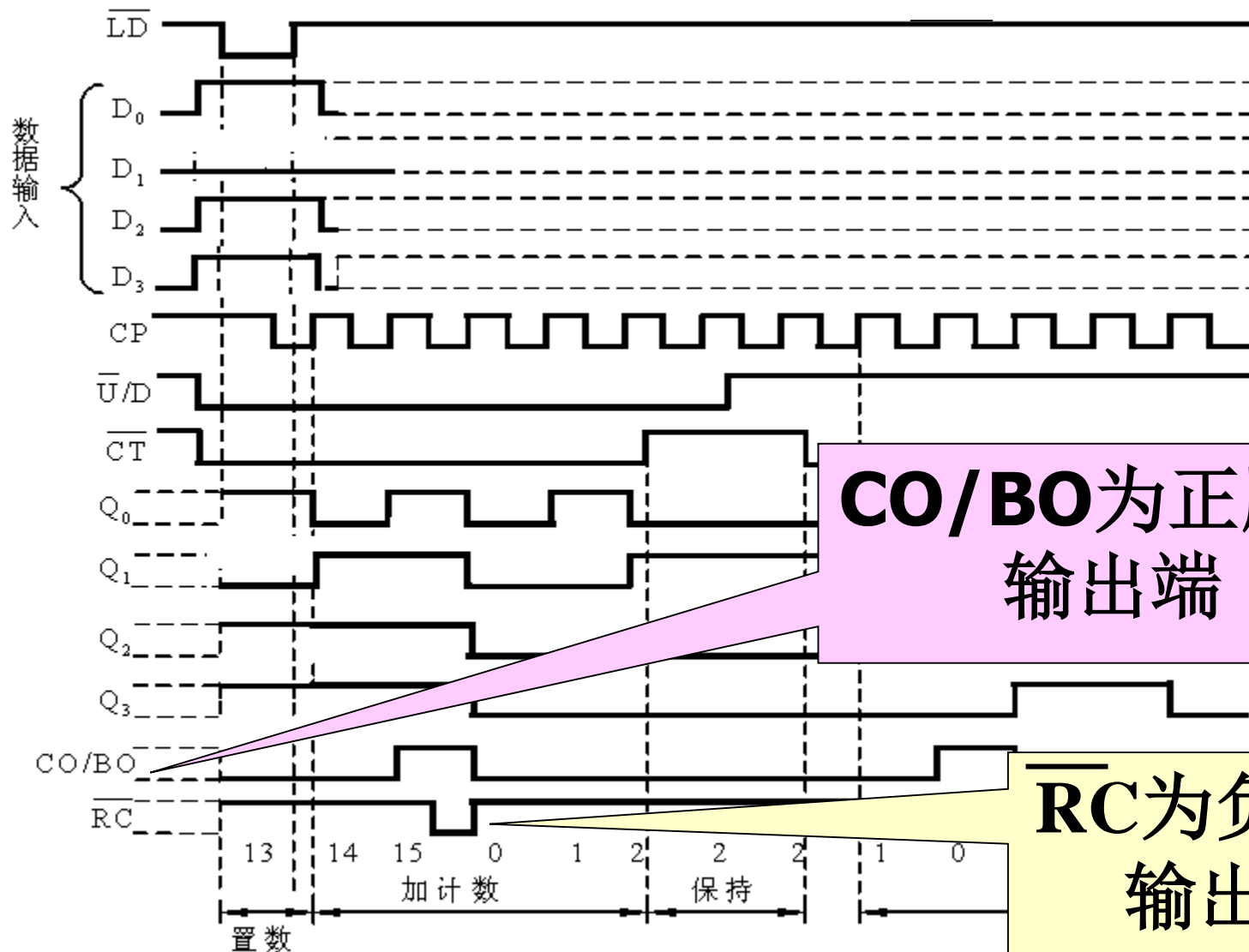
\overline{LD} 为置数端
 $\overline{LD}=0$ 置数
 $\overline{LD}=1$ 计数

D0、D1、D2、D3 为数据输入端

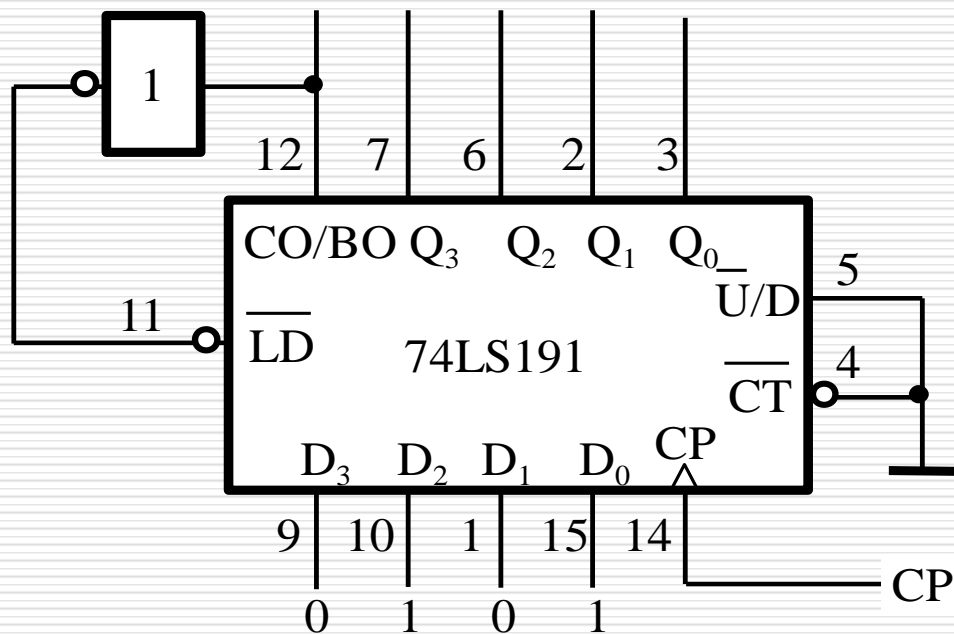
$\overline{U/D}$ 为加/减控制端
 $\overline{U/D}=0$ 加法计数
 $D/\overline{U}=1$ 减法计数

Q0、Q1、Q2、Q3 为数据输出端

74LS191的时序波形



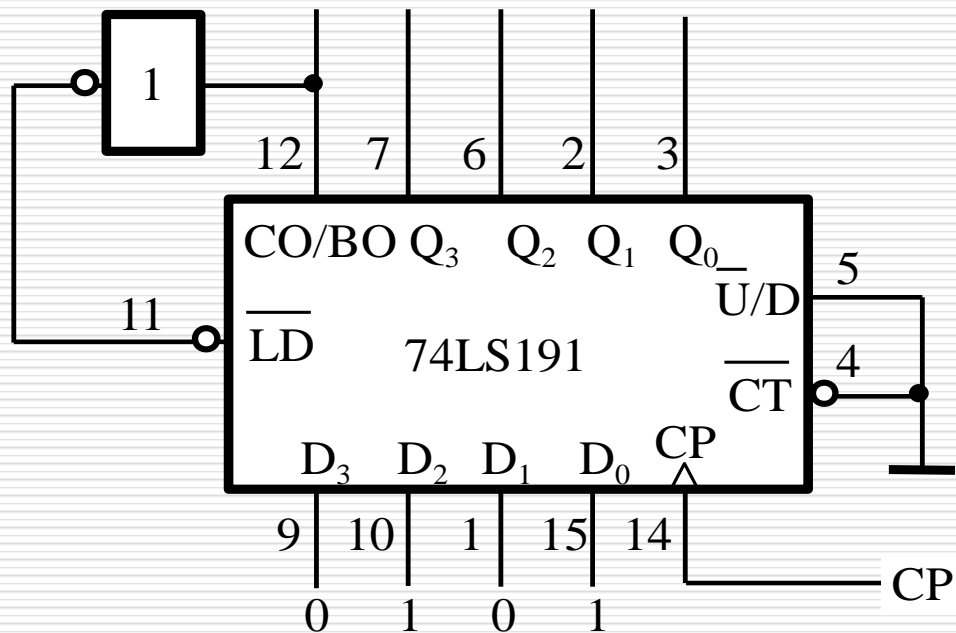
用74LS191构成 $M=10$ 的加法计数器



用**CO/BO**输出端通过门电路反馈到**LD**端，改变预置输入数据，就可以改变计数器的模 **M** (分频数)。

加法计数器预置数
 $N = Z_{\max} - M$ ，其中， Z_{\max} 是计数器的最大计数值(即计数器输出为全1状态)，计数器在 **N** 与 **$(Z_{\max} - 1)$** 之间循环计数。

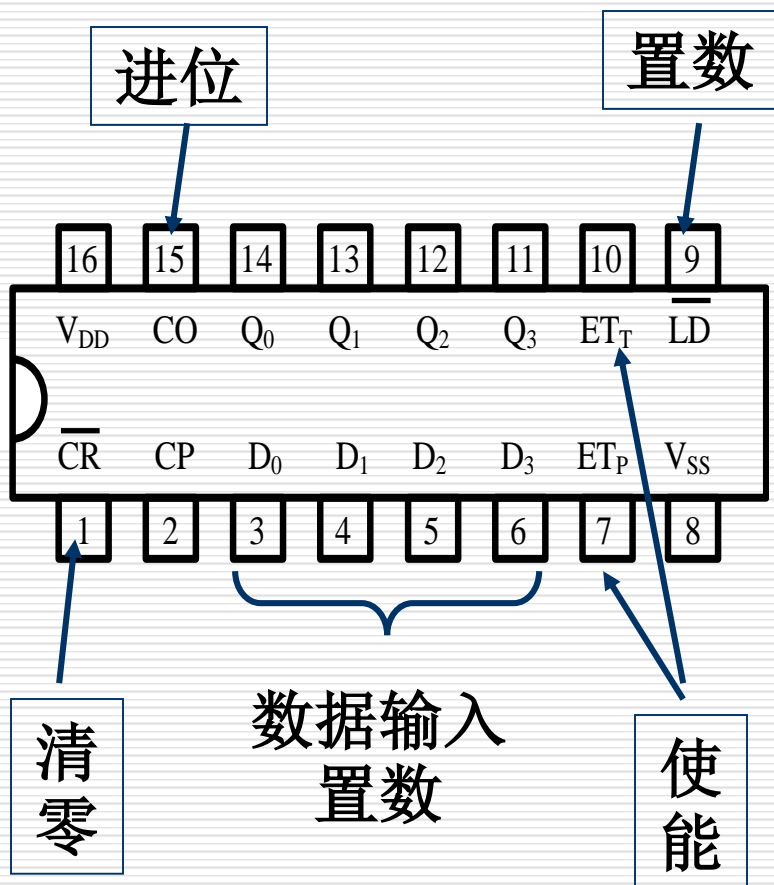
用74LS191构成 $M=10$ 的加法计数器



当 $M=10$ 时，如图所示。
预置数 $N=1111-1010=0101$ 。当计数器计数到暂态 $(1111)_B$ 瞬间，
 $CO/BO=1$ ， $LD=0$ ，计数器立即再次装入0101，计数器就这样在 $(0101\sim1110)_B$ 之间循环计数。

40161的逻辑功能

4位二进制同步加计数器



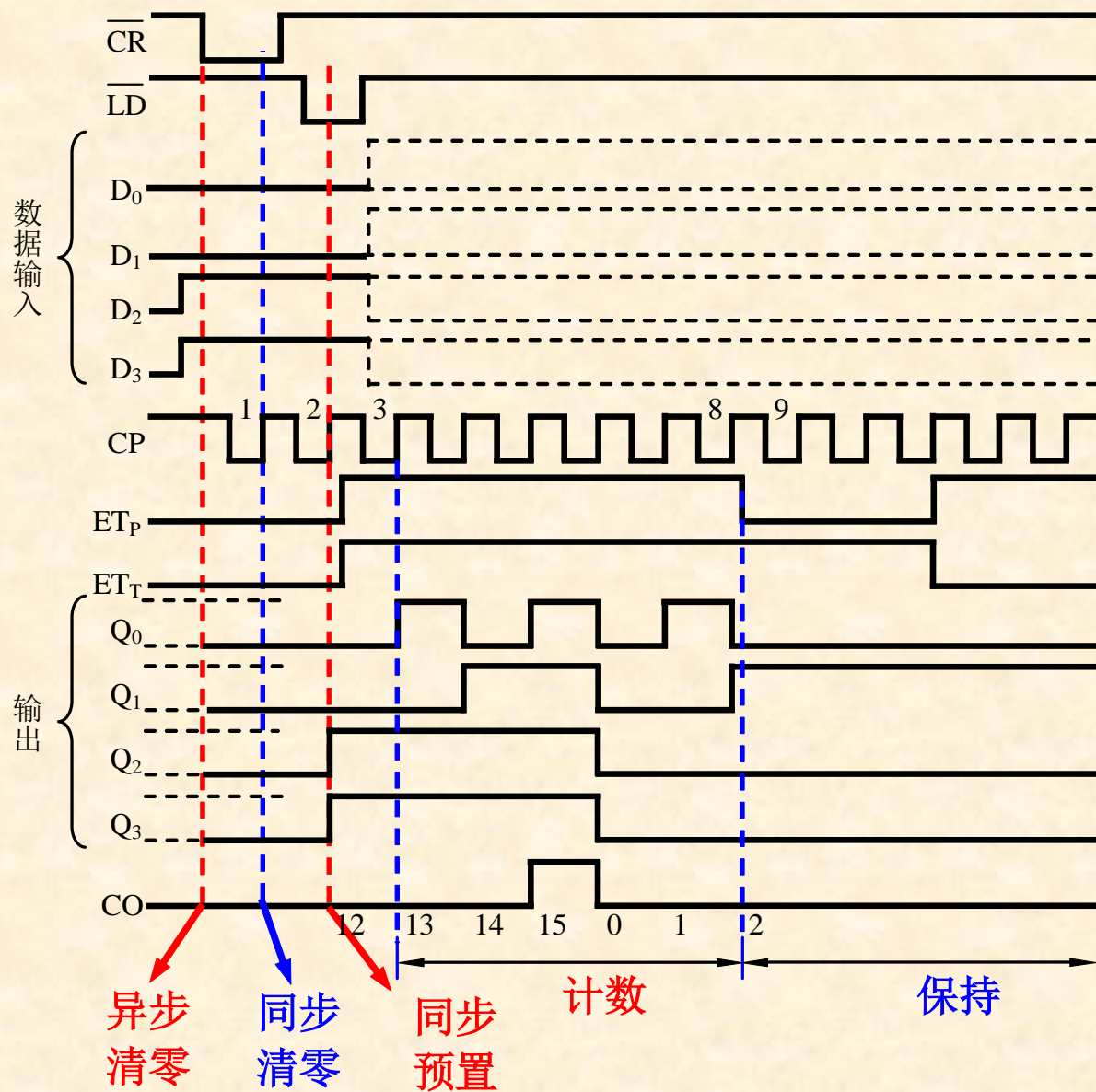
CC40161功能表

\overline{CR}	\overline{LD}	CP	ET	操作状态
0	x	x	x	清除
1	0	↑	x	预置
1	1	↑	0	保持
1	1	↑	1	计数

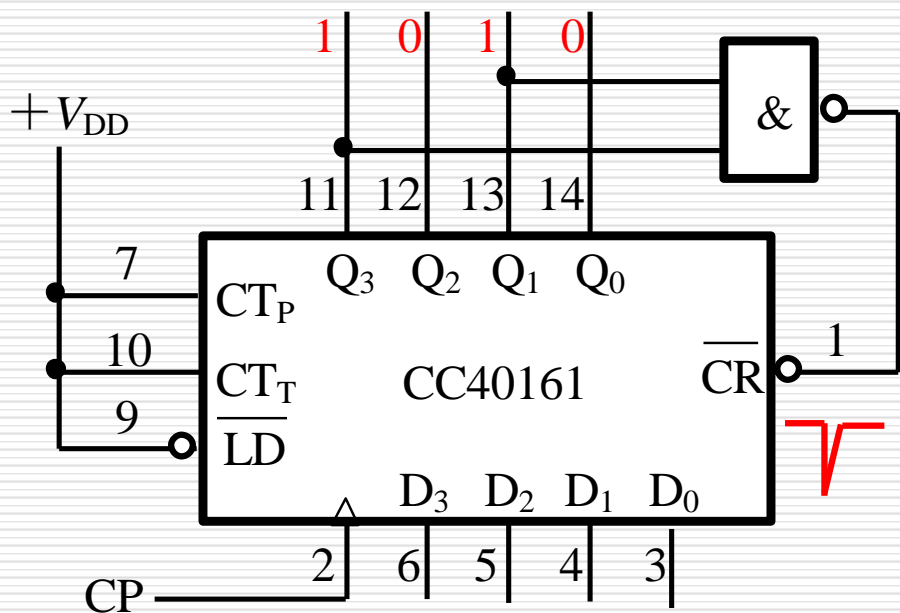
$$ET = ET_T \& ET_P$$

$$CO = Q_3 Q_2 Q_1 Q_0$$

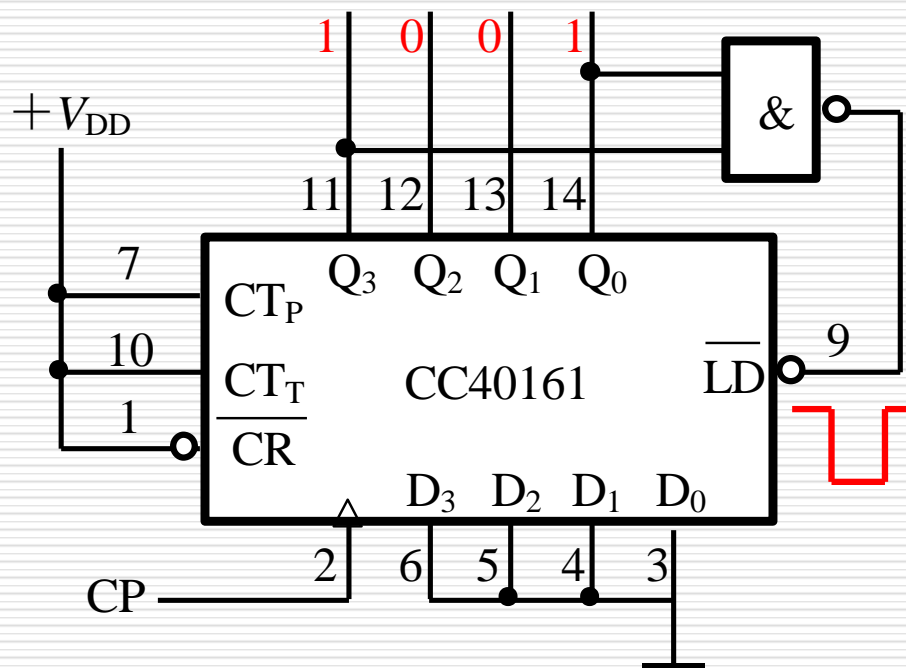
40161的时序波形图



构成任意进制计数器的方法



利用异步清零

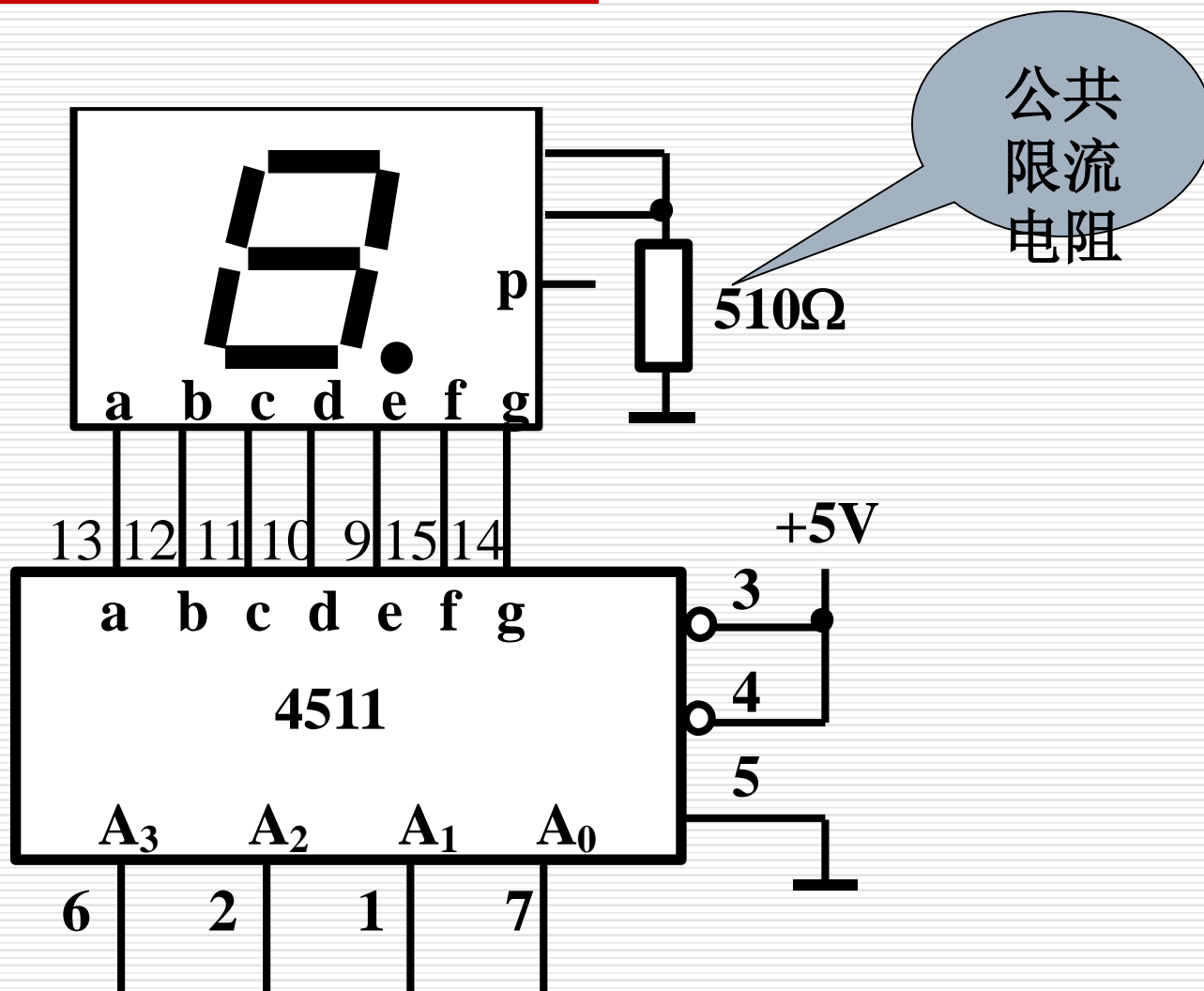


利用同步预置→清零

优点： 清零可靠

输出没有毛刺

译码显示电路

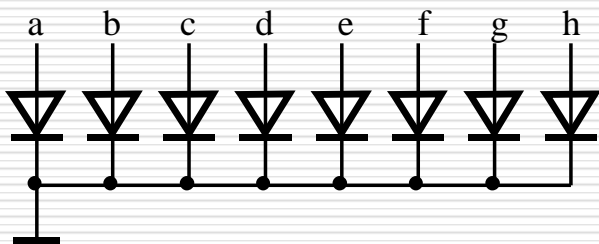
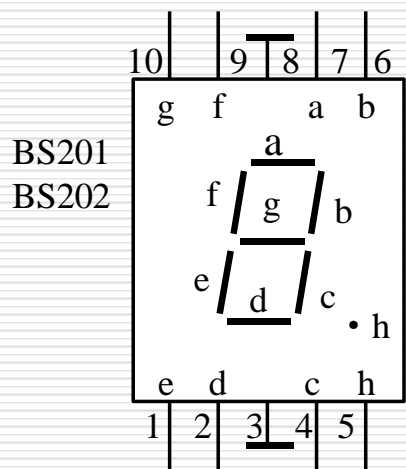


发光二极管显示器

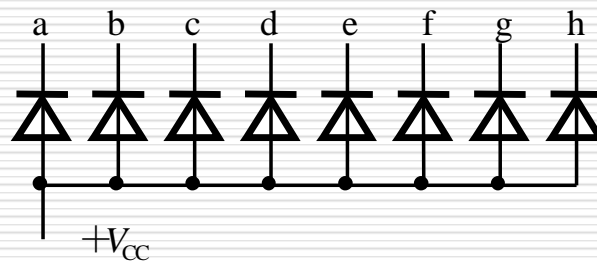
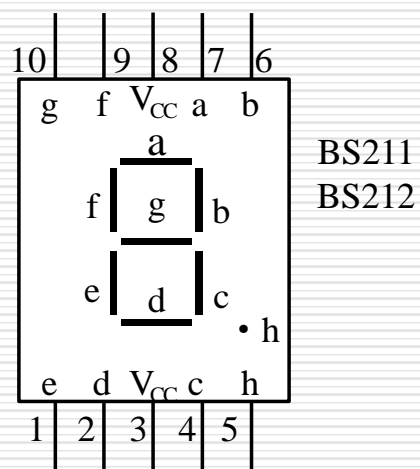
8段发光二极管数码显示器BS201/202(共阴极)和BS211/212(共阳极)的外形及等效电路如P189图5.1.4所示。其中，BS201和BS211每段的最大驱动电流约10mA，BS202和BS212每段的最大驱动电流约15mA。

驱动共阴极显示器的译码器输出为高电平有效，如**74LS48、74LS49、CC4511**；而驱动共阳极显示器的译码器输出为低电平有效，如**74LS46、74LS47**等。

发光二极管显示器



(a) 共阴极LED



(b) 共阳极LED

发光二极管显示的译码/驱动器 (74LS48/74LS47)

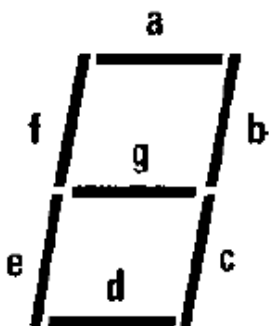
74LS47、74LS48为**BCD-7**段译码/驱动器，其中，
74LS47可用来驱动共阳极的发光二极管显示器
74LS48则用来驱动共阴极的发光二极管显示器

七段显示译码器

CD4511BC BCD-to-7 Segment Latch/Decoder/Driver

● Connection Diagrams

Segment Identification



Display



与74LS48管脚基本兼容

灯测试

灭灯

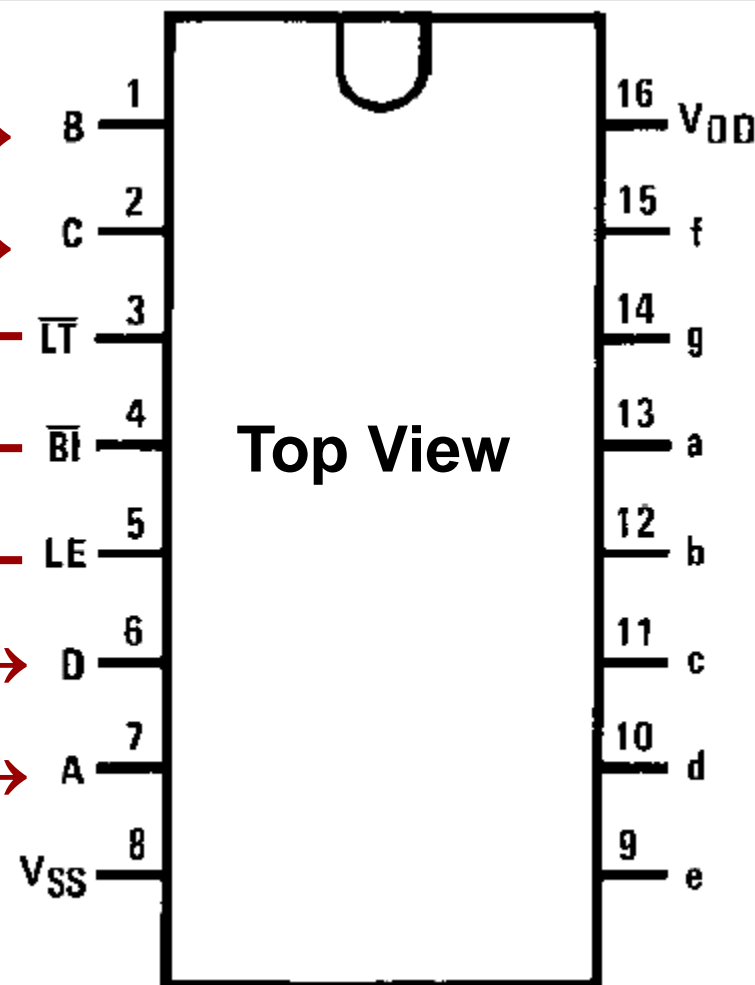
锁存

$A_1 \rightarrow$

$A_2 \rightarrow$

$A_3 \rightarrow$

$A_0 \rightarrow$



Pin Assignments for SOIC and DIP

Truth Table

Inputs							Outputs							
LE	BT	LT	D	C	B	A	a	b	c	d	e	f	g	Display
X	X	0	X	X	X	X	1	1	1	1	1	1	1	B
X	0	1	X	X	X	X	0	0	0	0	0	0	0	
0	1	1	0	0	0	0	1	1	1	1	1	1	0	0
0	1	1	0	0	0	1	0	1	1	0	0	0	0	1
0	1	1	0	0	1	0	1	1	0	1	1	0	1	2
0	1	1	0	0	1	1	1	1	1	1	0	0	1	3
0	1	1	0	1	0	0	0	1	1	0	0	1	1	4
0	1	1	0	1	0	1	1	0	1	1	0	1	1	5
0	1	1	0	1	1	0	0	0	1	1	1	1	1	6
0	1	1	0	1	1	1	1	1	1	0	0	0	0	7
0	1	1	1	0	0	0	1	1	1	1	1	1	1	8
0	1	1	1	0	0	1	1	1	1	0	0	1	1	9
0	1	1	1	0	1	0	0	0	0	0	0	0	0	
0	1	1	1	0	1	1	0	0	0	0	0	0	0	
0	1	1	1	1	0	0	0	0	0	0	0	0	0	
0	1	1	1	1	1	0	0	0	0	0	0	0	0	
0	1	1	1	1	1	1	0	0	0	0	0	0	0	
1	1	1	1	1	1	1	0	0	0	0	0	0	0	
1	1	1	X	X	X	X				*				*

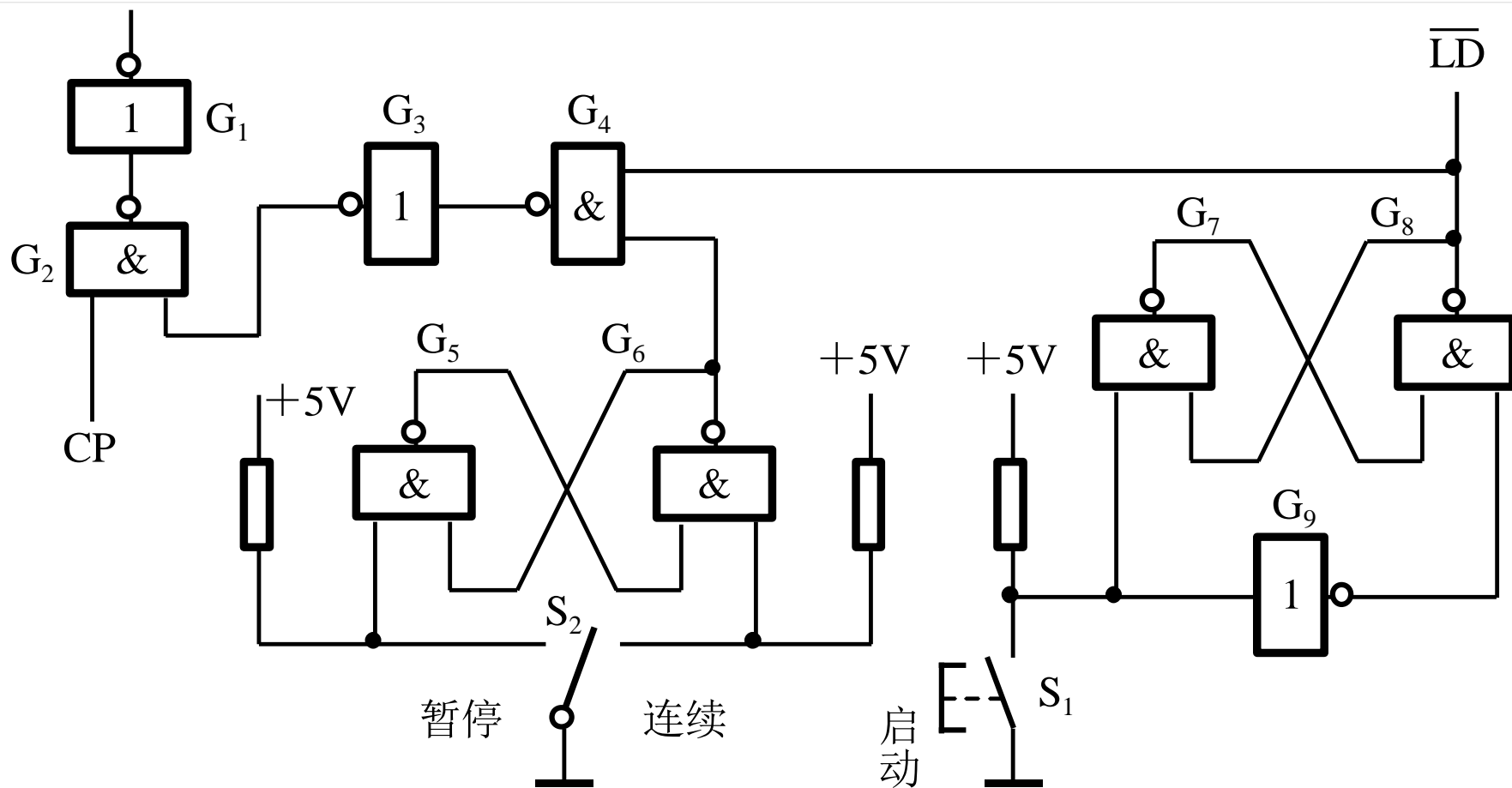
X = Don't Care

*Depends upon

the BCD code applied during the 0 to 1 transition of

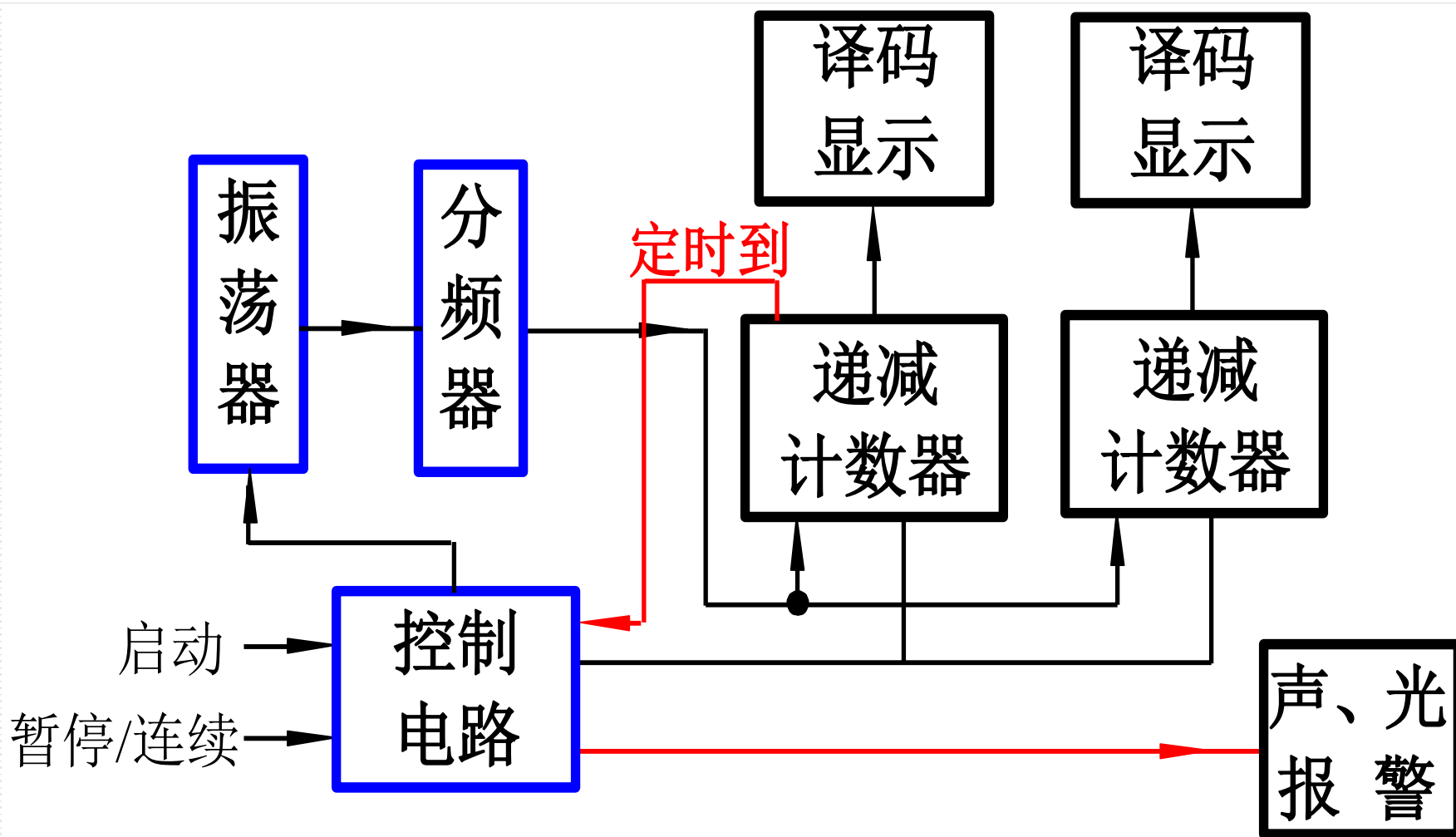
LE

控制电路的设计



24s计时器的设计

参考框图



数字电路的安装与调试技术

数字电路的安装与调试过程是数字电路设计者必须掌握的基本技能。下面介绍数字电路安装与调试中的一些常用方法。

1. 集成电路器件的功能测试

- (1) 仪器检测法
 - (2) 功能实验检查法
 - (3) 替代法
-

2. 集成电路器件的接插和布线方法

数字电路的实验通常在面包板上进行，插接集成器件时，使器件的**缺口端朝左方**，先对准插孔的位置，然后稍用力将其插牢，防止集成器件管脚弯曲或折断。

布线时应注意**导线不宜太长**，最好贴近底板并在器件的周围走线，**切忌导线跨越集成器件的上空**，杂乱地在空中搭成网状。数字电路的布线应整齐美观，既可提高电路的可靠性，又便于检查排除故障或更换器件。

导线连接顺序是：先接固定电平的连线，如电源正极（一般用红色导线）、地线（一般用黑色导线）、门电路的多余输入端及电平固定的某些输入端（如触发器的控制端J、K）然后按照电路中的信号流向顺序对划分的子系统逐一布线、调试，最后将各子系统连接起来。

3. 数字电路的调试方法

数字电路的调试顺序也是先调试单元电路或子系统，然后逐渐扩大将几个单元电路进行联调，最后进行整机调试。

4. 几种基本电路的测试方法

数字秒表电路设计（P195）

要求：（1）以数字的形式显示时间。秒表的计时范围为**0.01~59.99s**，计时精度为**10ms**；

（2）通过两个按键来控制计时的起点和终点，一个是清零按键，用于设置跑表为初始零状态，另一个则是开始/停止控制按键，在清零按键无效的时候，按一下开始/停止键则计时器开始计时，再按一下在暂停计时，再按一下则继续计时。

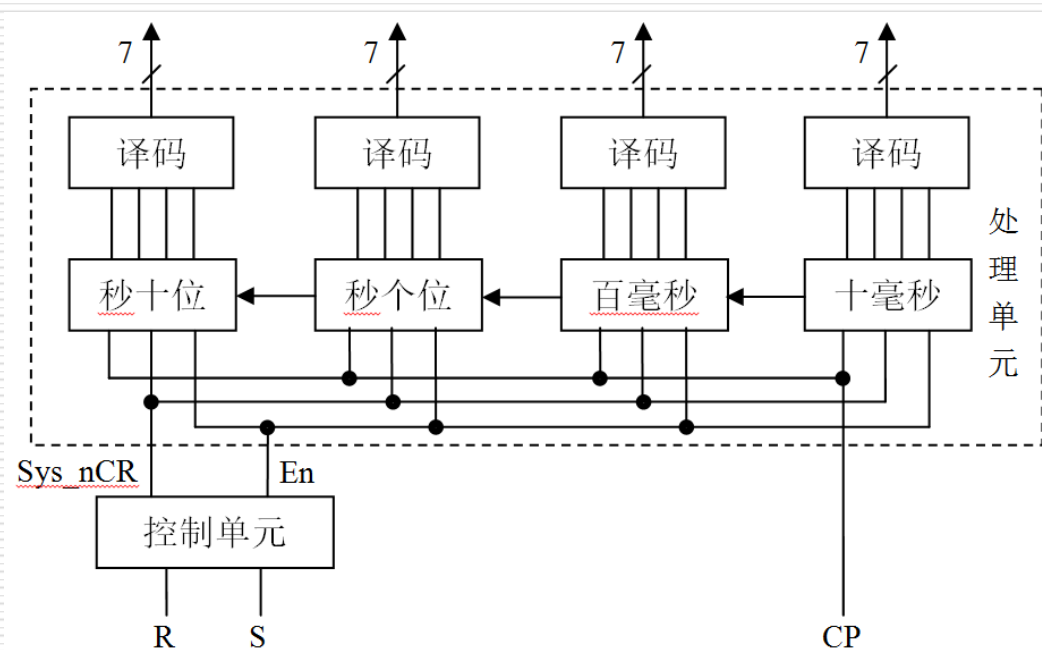
拟定设计方案，写出必要的设计步骤，画出逻辑电路图。

数字秒表电路设计 (p195)

要求：（1）设计一个用来记录短跑运动员成绩的秒表电路，能用数字形式显示时间；

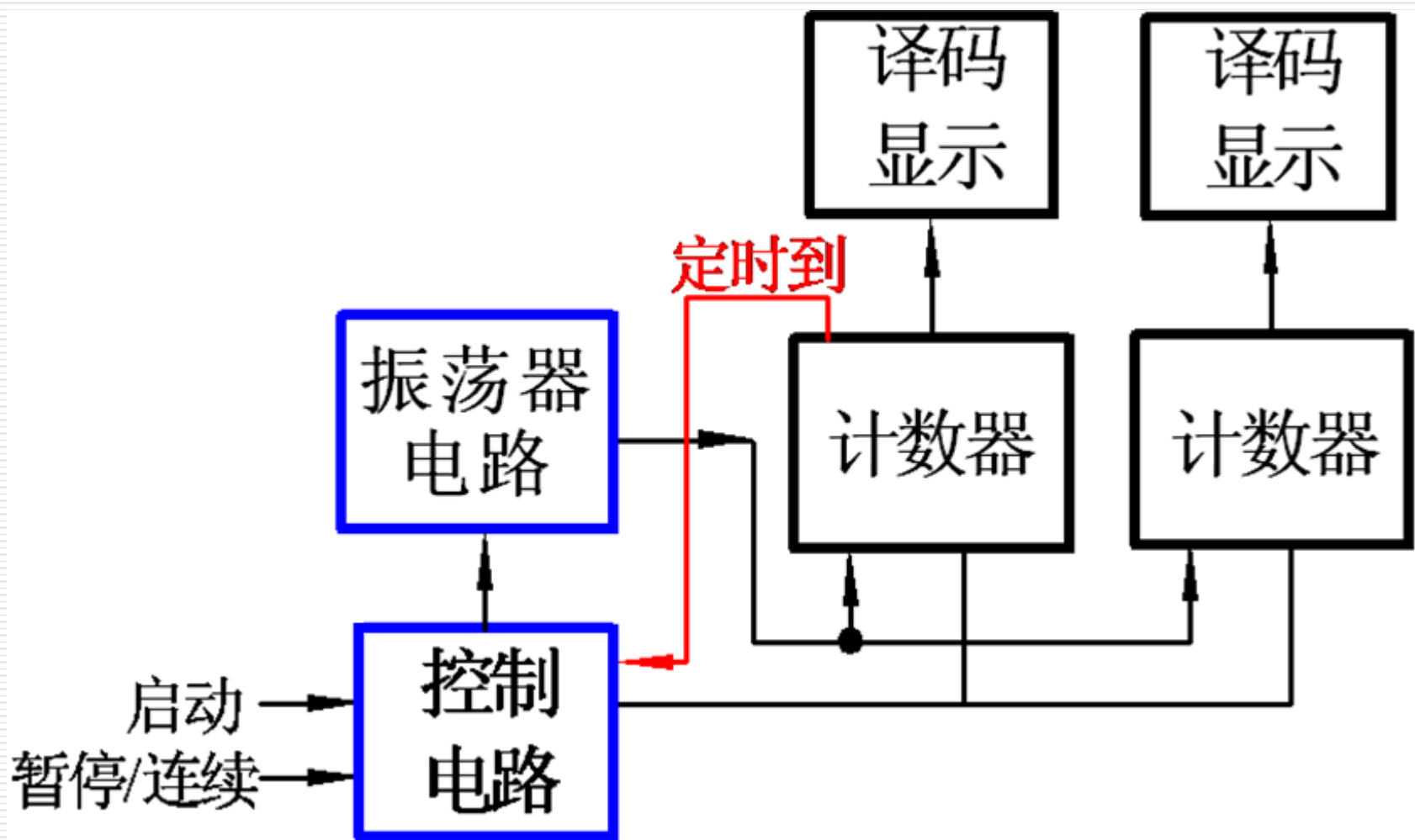
（2）秒表的计时范围为**0.01S~59.99S**，计时精度为**10mS**。

（3）通过两个按键（**R**、**S**）来控制计时的起点和终点，一个是清零按键，用于设置初始**0**状态；另一个是开始/停止按键，在清零按键无效时，按一下开始计时，再按一下暂停计时，再按一下继续计时。



数字秒表电路设计 (p195)

1. 根据设计要求，画出组成框图



数字秒表电路设计 (p195)

2. 单元电路设计

(1) 振荡电路设计

(2) 计数电路设计

本次课程的实验内容

- 篮球竞赛 24s 定时器设计:P 195
- 选做：数字秒表电路设计:P195
- 选做：设计彩灯循环显示控制电路: P 192

检查《电子线路设计测试与实验（二）》单元七与期末考试

□ 笔试---教室闭卷笔试！

□ **MOOC**课程成绩与期末考试
