

4.4 常用组合逻辑电路

4.4.1、编码器

4.4.2、译码器

4.4.3、数据选择器

4.4.4、数值比较器

4.4.5、加法器

4.4.1 编码器

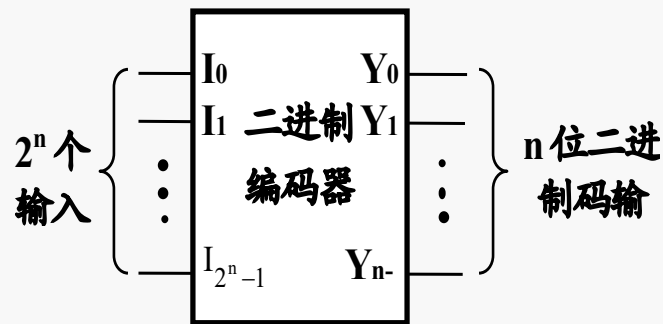
编码：赋予二进制码特定含义的过程

- 如**8421BCD**码中，用1000表示数字8
- 如**ASCII码**中，用1000001表示字母A

编码器：具有编码功能的逻辑电路

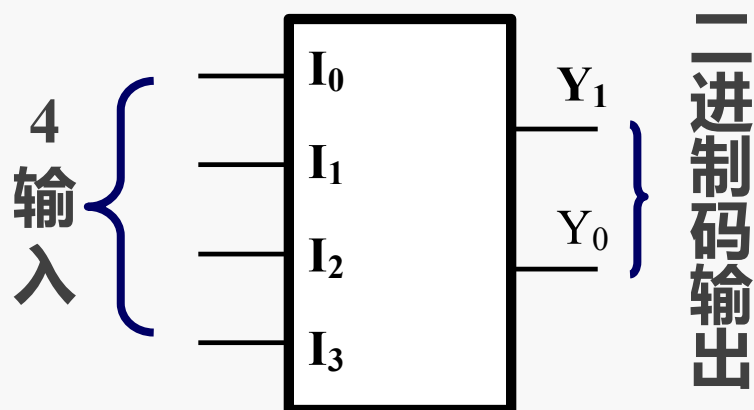
- 8421BCD编码器，二进制编码器
- 典型应用：计算机键盘

二进制编码器的结构框图



4.4.1 编码器——4线-2线普通编码器

逻辑框图



逻辑功能表

I_0	I_1	I_2	I_3	Y_1	Y_0
1	0	0	0	0	0
0	1	0	0	0	1
0	0	1	0	1	0
0	0	0	1	1	1

编码器的输入为高电平有效。

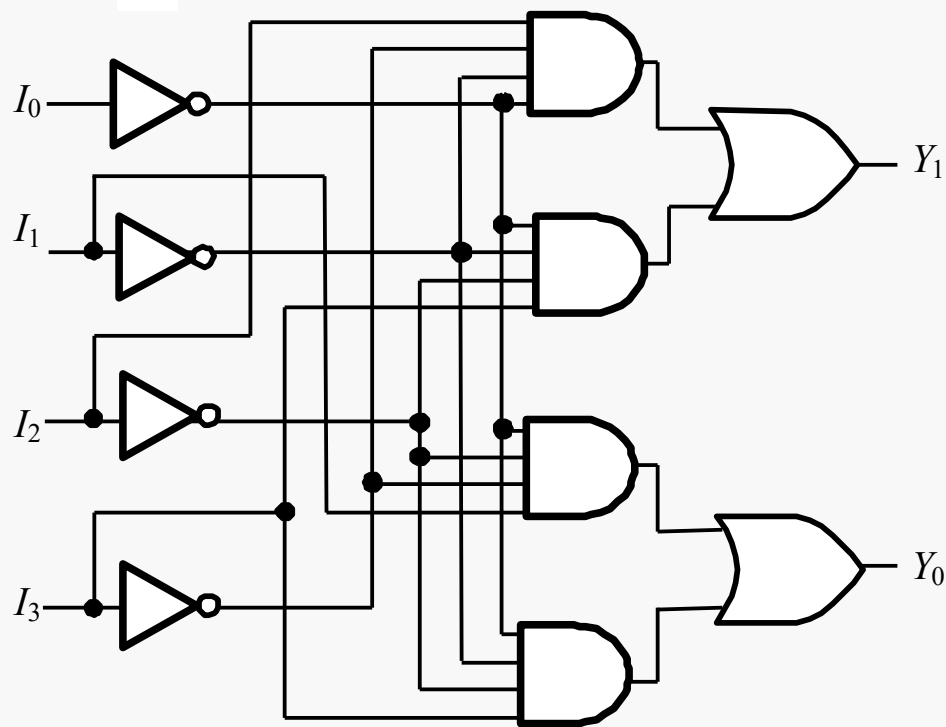
$$Y_0 = \bar{I}_0 I_1 \bar{I}_2 \bar{I}_3 + \bar{I}_0 \bar{I}_1 \bar{I}_2 I_3$$

$$Y_1 = \bar{I}_0 \bar{I}_1 I_2 \bar{I}_3 + \bar{I}_0 \bar{I}_1 \bar{I}_2 I_3$$

4.4.1 编码器——4线-2线普通编码器

$$Y_1 = \bar{I}_0 \bar{I}_1 I_2 \bar{I}_3 + \bar{I}_0 \bar{I}_1 \bar{I}_2 I_3$$

$$Y_0 = \bar{I}_0 I_1 \bar{I}_2 \bar{I}_3 + \bar{I}_0 \bar{I}_1 \bar{I}_2 I_3$$



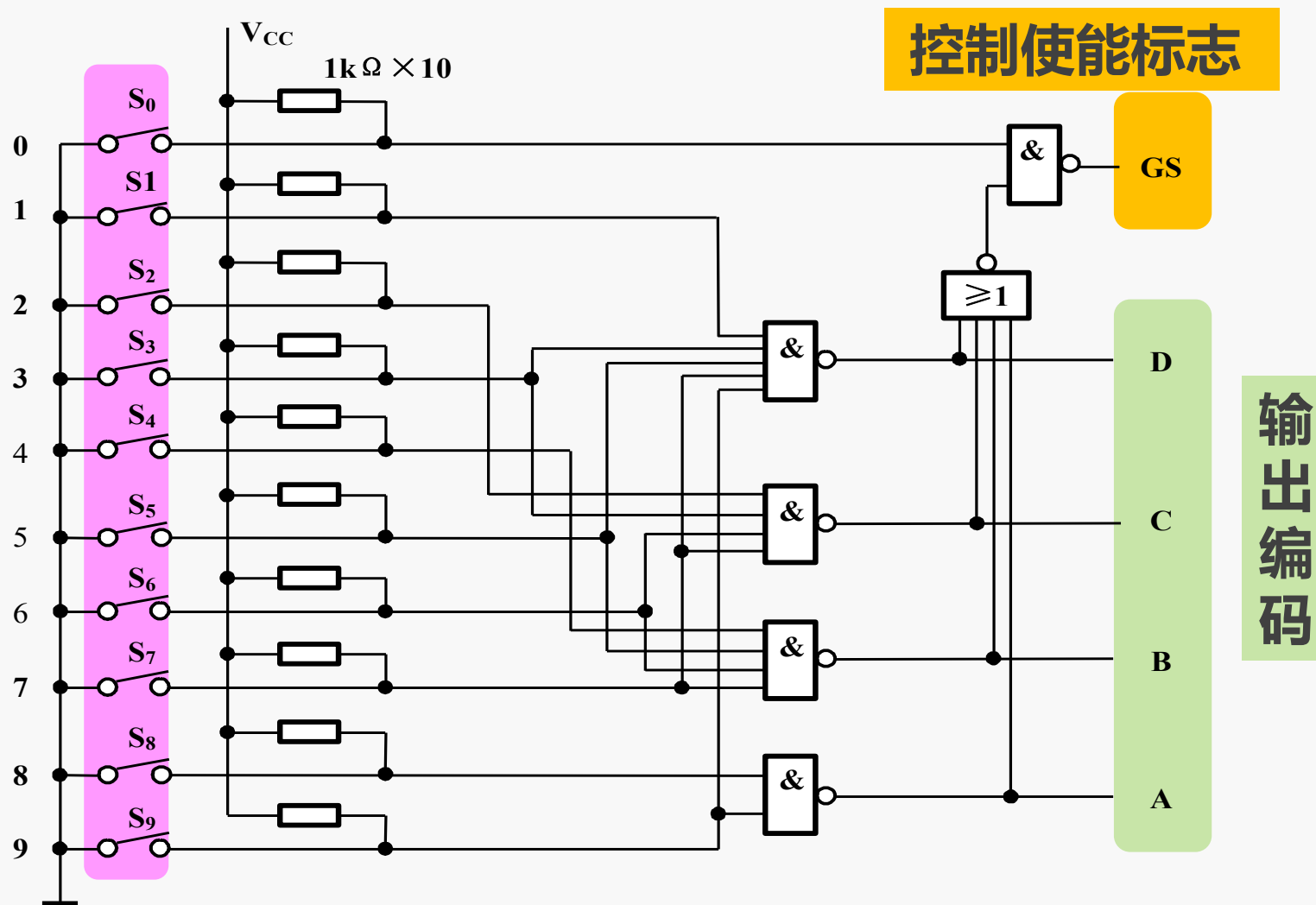
逻辑功能表

I_0	I_1	I_2	I_3	Y_1	Y_0
1	0	0	0	0	0
0	1	0	0	0	1
0	0	1	0	1	0
0	0	0	1	1	1

两个问题：

- 1、一个按键都不按？？
- 2、一次按下多个按键？？

4.4.1 编码器——无按键被按下时（8421BCD码编码器）



逻辑图

4.4.1 编码器——无按键被按下时（8421BCD码编码器）

功能表

输 入										输 出					
S ₀	S ₁	S ₂	S ₃	S ₄	S ₅	S ₆	S ₇	S ₈	S ₉	A	B	C	D	GS	
1	1	1	1	1	1	1	1	1	1	0	0	0	0	0	
1	1	1	1	1	1	1	1	1	0	1	0	0	1	1	
1	1	1	1	1	1	1	1	0	1	1	0	0	0	1	
1	1	1	1	1	1	1	0	1	1	0	1	1	1	1	
1	1	1	1	1	1	0	1	1	1	0	1	1	0	1	
1	1	1	1	1	0	1	1	1	1	0	1	0	1	1	
1	1	1	1	0	1	1	1	1	1	0	1	0	0	1	
1	1	1	0	1	1	1	1	1	1	0	0	1	1	1	
1	1	0	1	1	1	1	1	1	1	0	0	1	0	1	
1	0	1	1	1	1	1	1	1	1	0	0	0	1	1	
0	1	1	1	1	1	1	1	1	1	0	0	0	0	1	

该编码器为输入低电平有效

4.4.1 编码器——多个按键被按下时（4线-2线优先编码器）

典型应用：计算机的中断系统

输入为编码信号 $I_3 \sim I_0$ 高电平有效，输出二进制代码为 $Y_1 Y_0$

输入编码信号优先级从高到低为 $I_3 \sim I_0$

功能表

输 入				输 出	
I_0	I_1	I_2	I_3	Y_1	Y_0
1	0	0	0	0	0
×	1	0	0	0	1
×	×	1	0	1	0
×	×	×	1	1	1

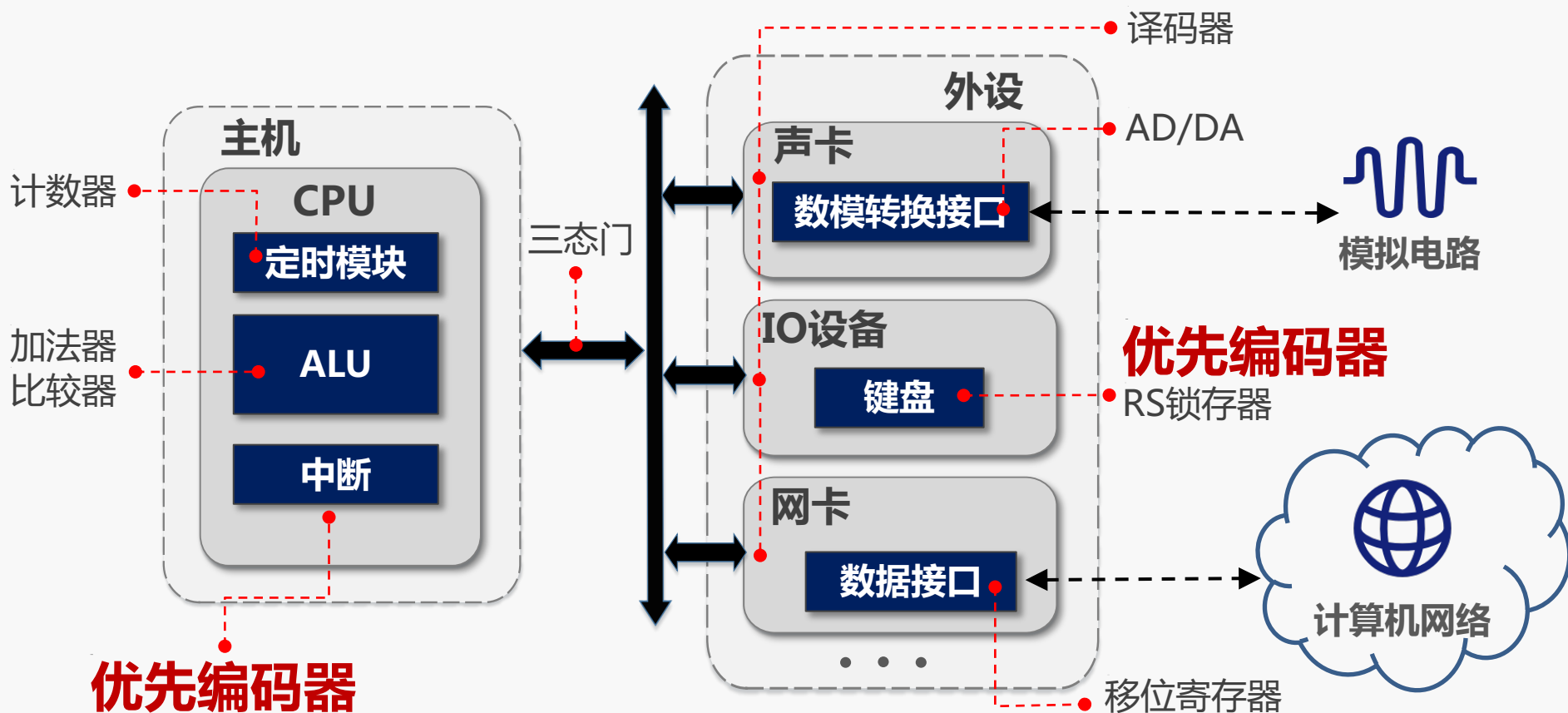
低 ← 高

逻辑表达式

$$Y_1 = I_2 \overline{I_3} + I_3$$

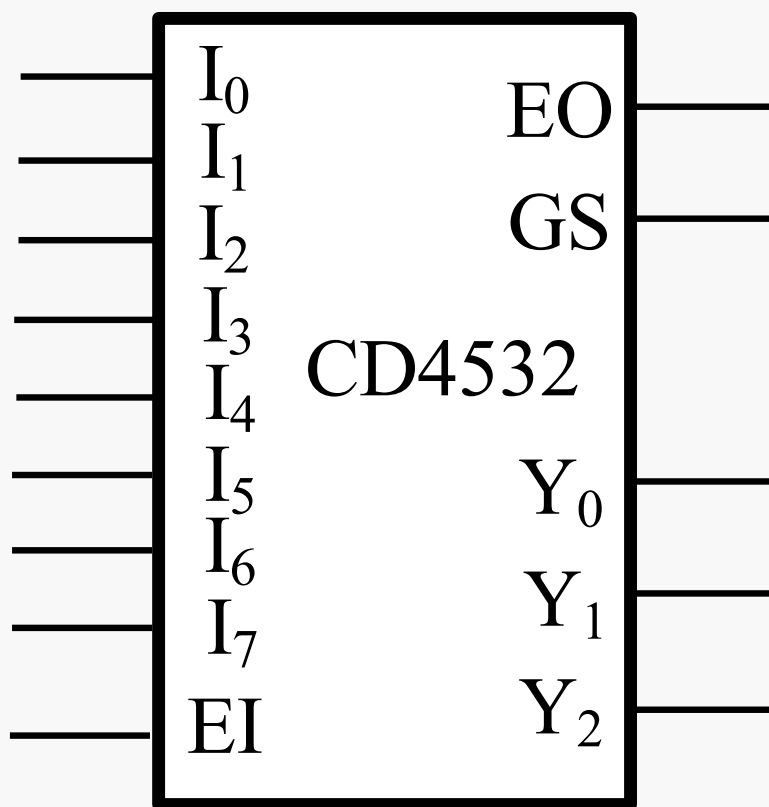
$$Y_0 = I_1 \overline{I_2} \overline{I_3} + I_3$$

4.4.1 优先编码器的应用

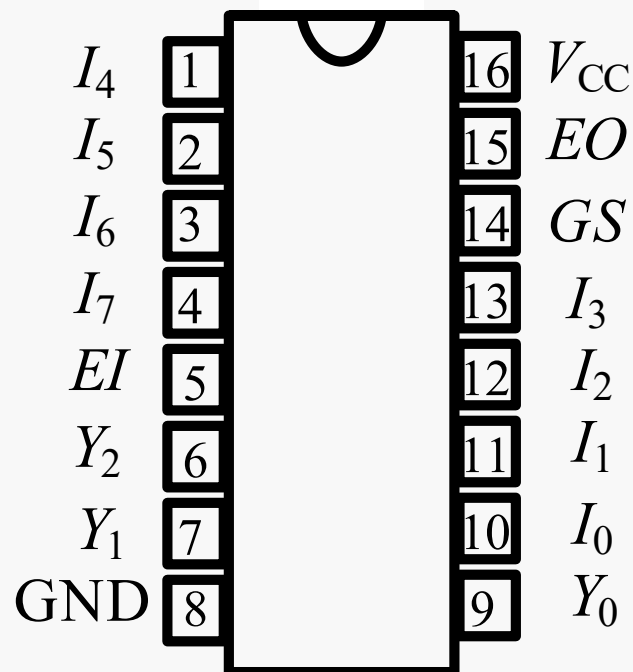


4.4.1 编码器——集成电路编码器CD4532

示意框图

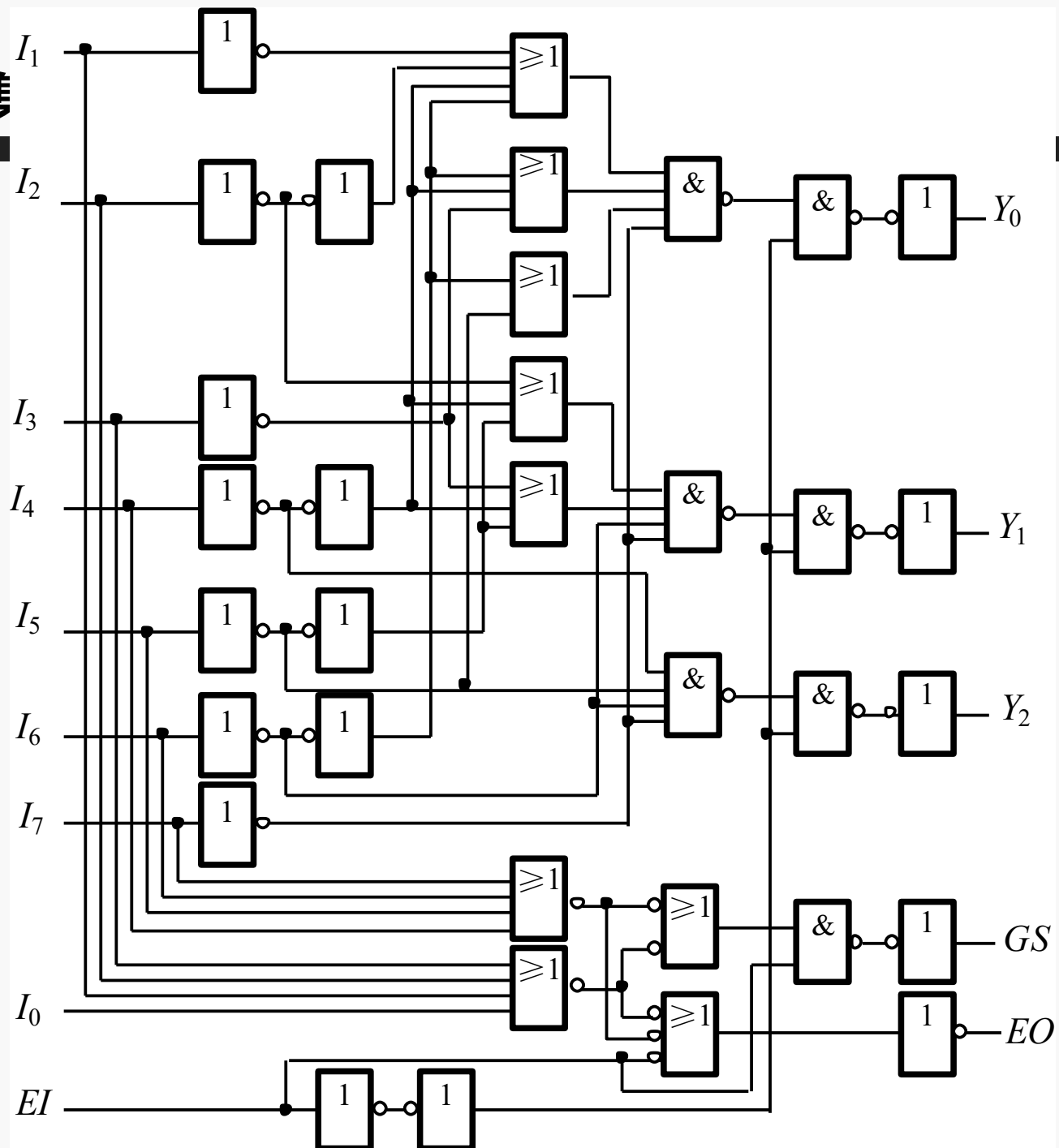


引脚图



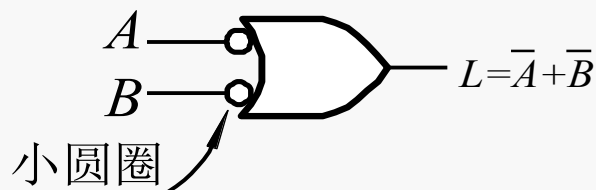
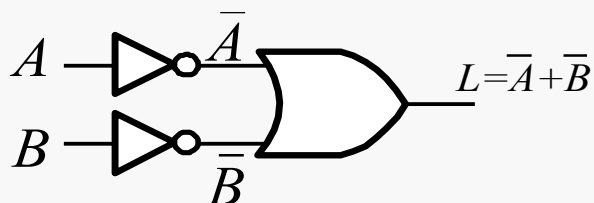
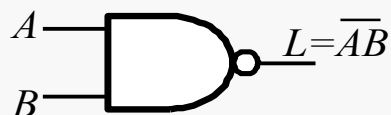
4.4.1 编码器

CD4532的内部 逻辑电路图

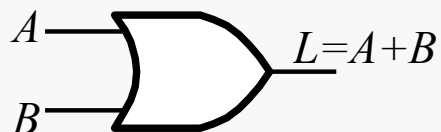
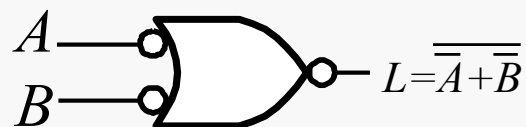
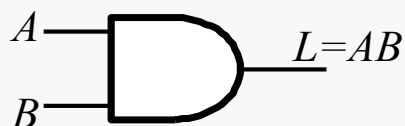
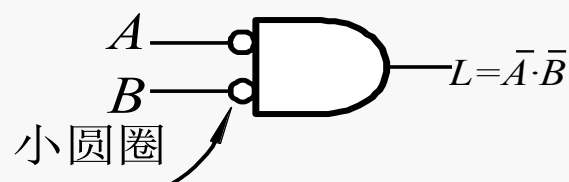
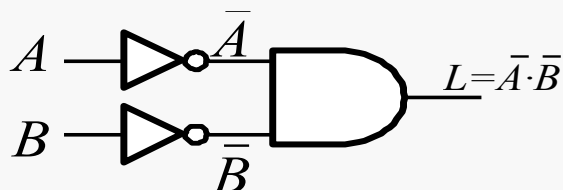
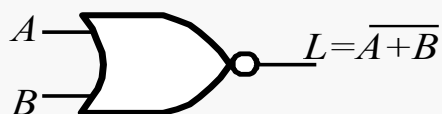


4.4.1 编码器——逻辑符号的等效变换

$$L = \overline{AB} = \overline{A} + \overline{B}$$



$$L = \overline{A + B} = \overline{A} \cdot \overline{B}$$



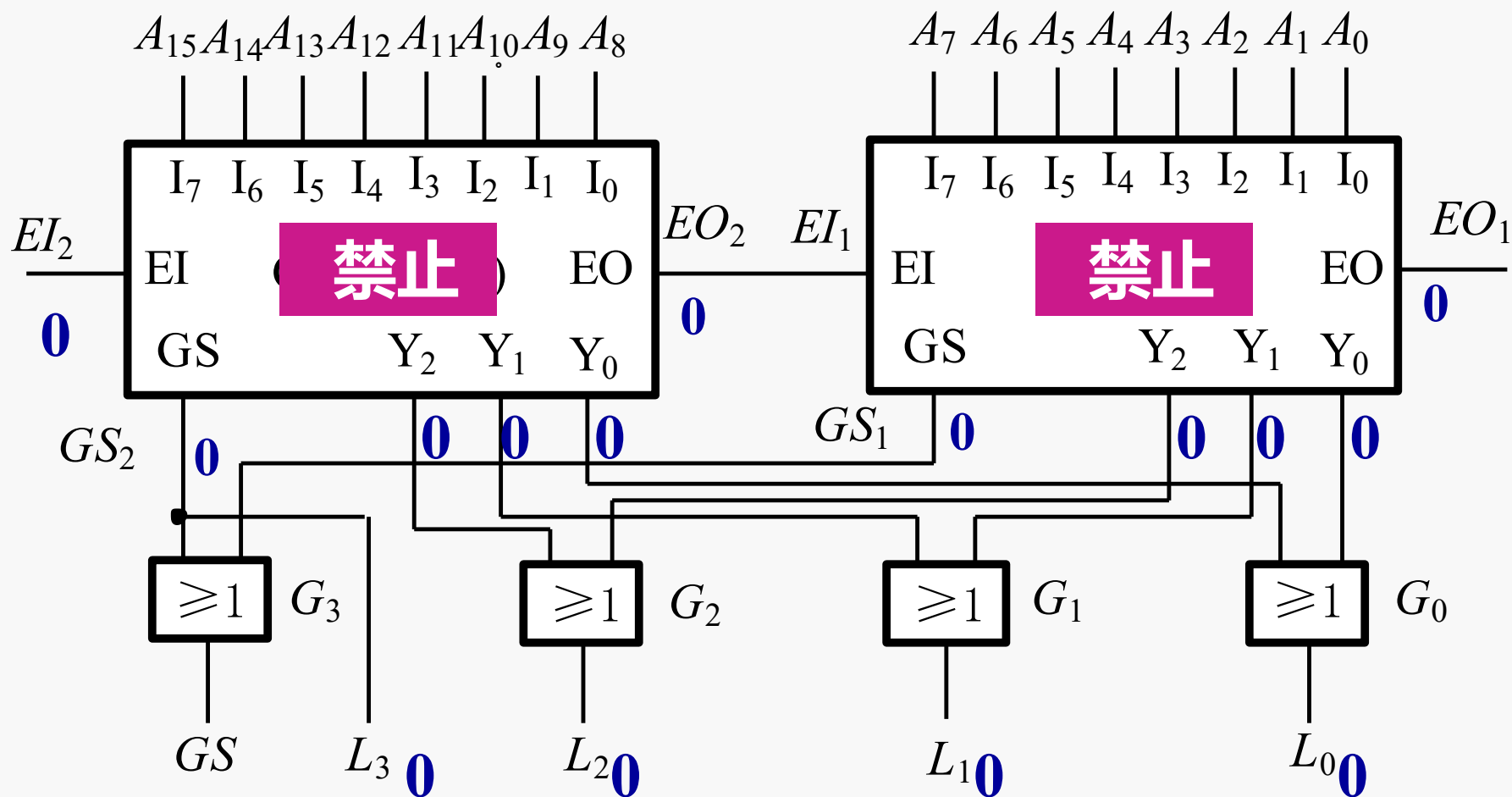
4.4.1 编码器——CD4532功能表

EI=1，电路工作，输入 $I_0 \sim I_7$ 分别有高电平输入时， $A_2 A_1 A_0$ 为 $I_0 \sim I_7$ 的编码输出，GS =1，EO =0。

输 入									输 出				
EI	I_7	I_6	I_5	I_4	I_3	I_2	I_1	I_0	Y_2	Y_1	Y_0	GS	EO
L	×	×	×	×	×	×	×	×	L	L	L	L	L
H	L	L	L	L	L	L	L	L	L	L	L	L	H
H	H	×	×	×	×	×	×	×	H	H	H	H	L
H	L	H	×	×	×	×	×	×	H	H	L	H	L
H	L	L	H	×	×	×	×	×	H	L	H	H	L
H	L	L	L	H	×	×	×	×	H	L	L	H	L
H	L	L	L	L	H	×	×	×	L	H	H	H	L
H	L	L	L	L	L	H	×	×	L	H	L	H	L
H	L	L	L	L	L	L	H	×	L	L	H	H	L
H	L	L	L	L	L	L	L	H	L	L	L	H	L

4.4.1 编码器——扩展（用CD4532扩展得到16-4编码器）

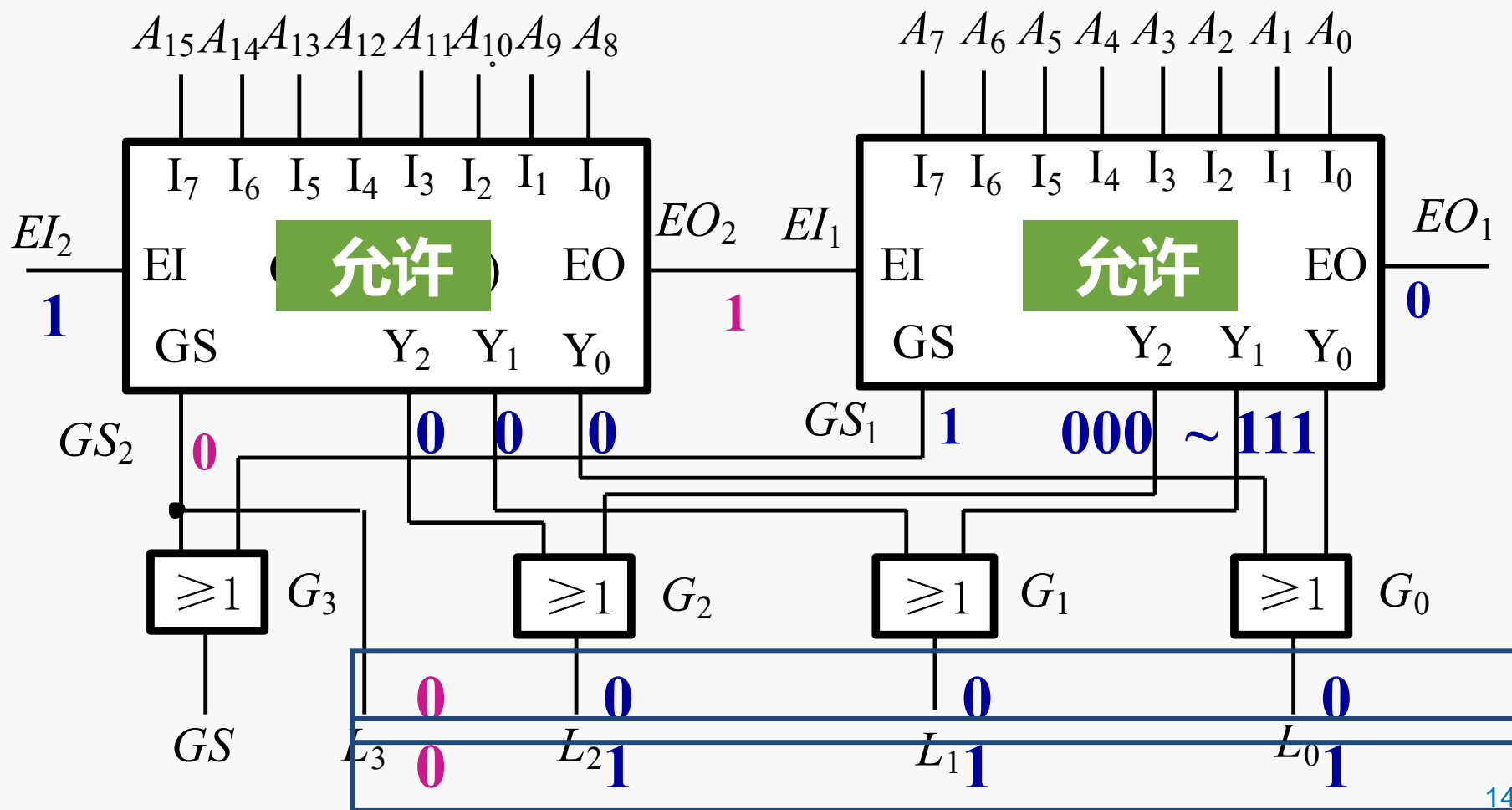
无编码输出



4.4.1 编码器——扩展（用CD4532扩展得到16-4编码器）

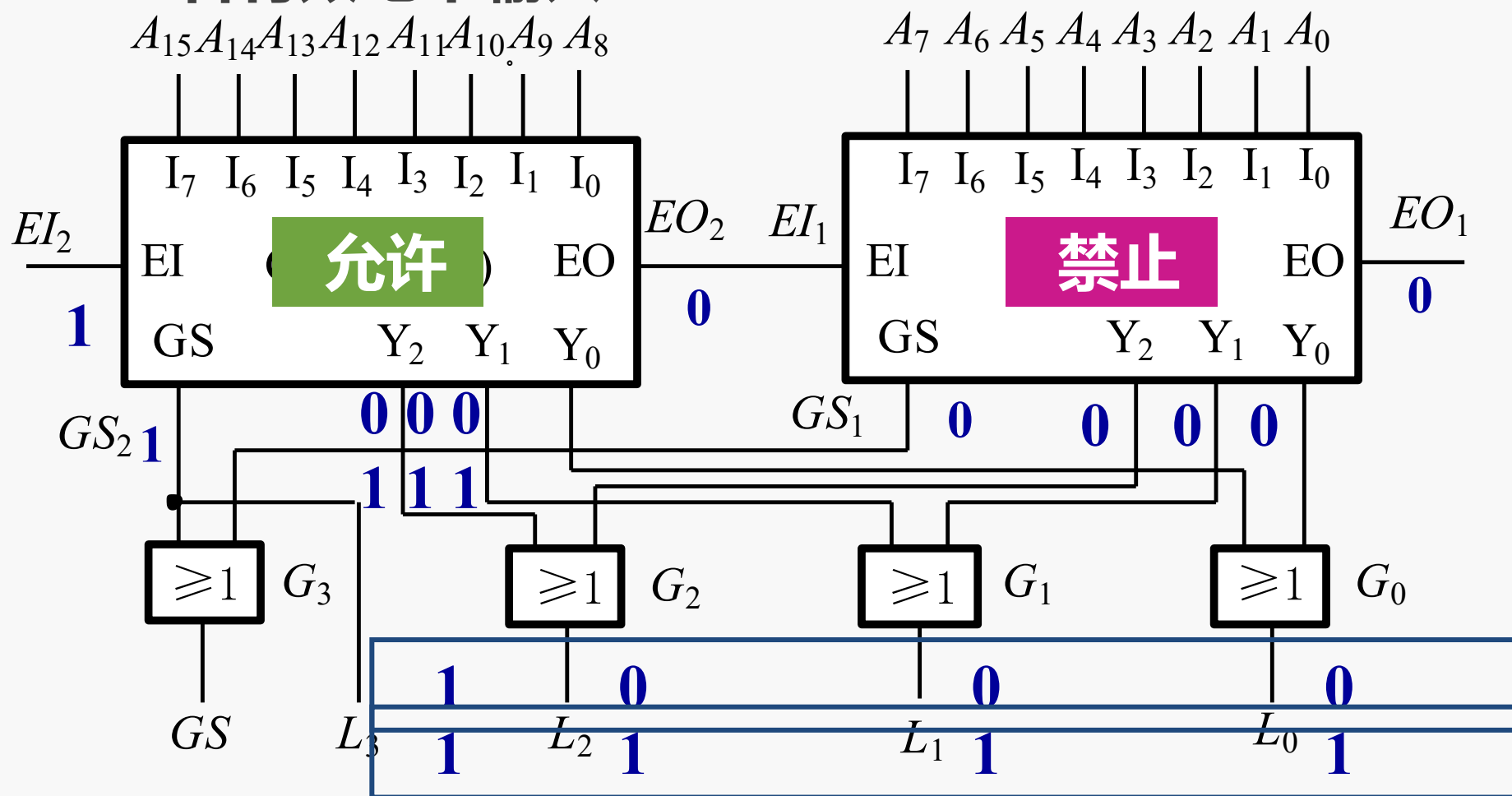
II的优先级高于片I

若无有效电平输入



4.4.1 编码器——扩展（用CD4532扩展得到16-4编码器）

若有效电平输入



4.4.1 优先编码器的Verilog HDL描述

```
reg[2:0] Y;  
always @ (I)  
if (I[7]) begin  
    Y = 3'b111; GS = 1'b1; end  
else if (I[6]) begin  
    Y = 3'b110; GS = 1'b1; end  
  
.....  
else if (I[0]) begin  
    Y = 3'b000; GS = 1'b1; end  
else begin  
    Y = 3'b000; GS = 1'b0; end
```

为什么可以不设计EI和EO了？