

5 锁存器与触发器

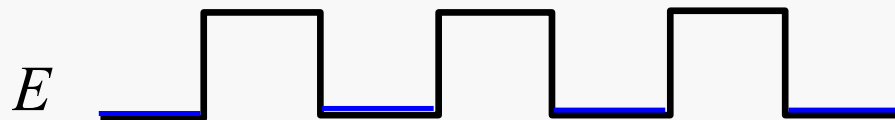
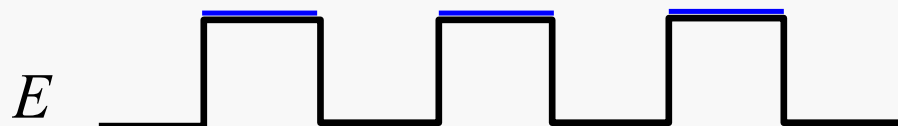
5.1、双稳态存储单元电路

5.2、锁存器

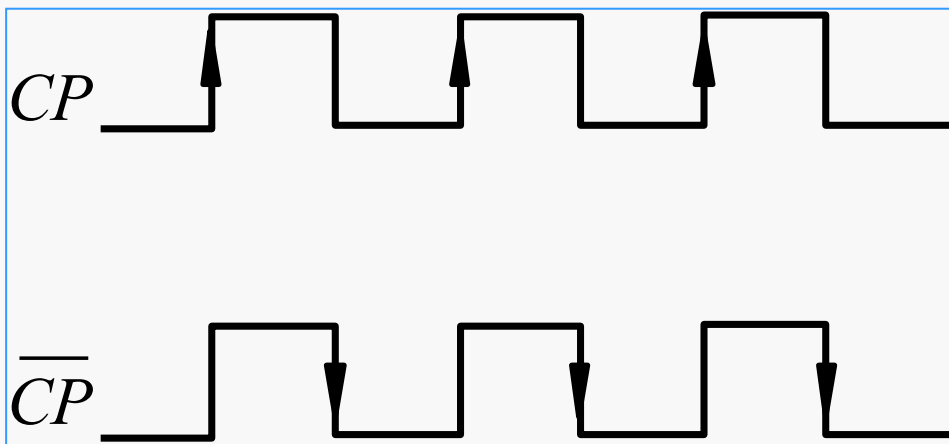
5.3、触发器

5.3 触发器

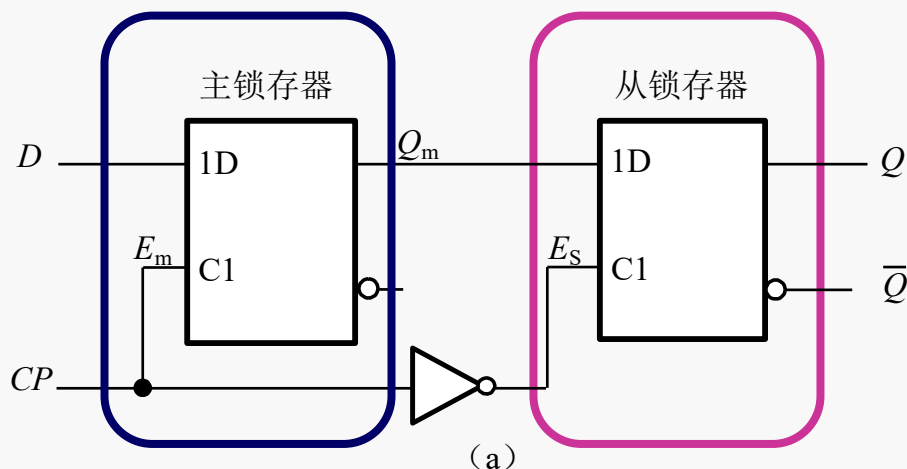
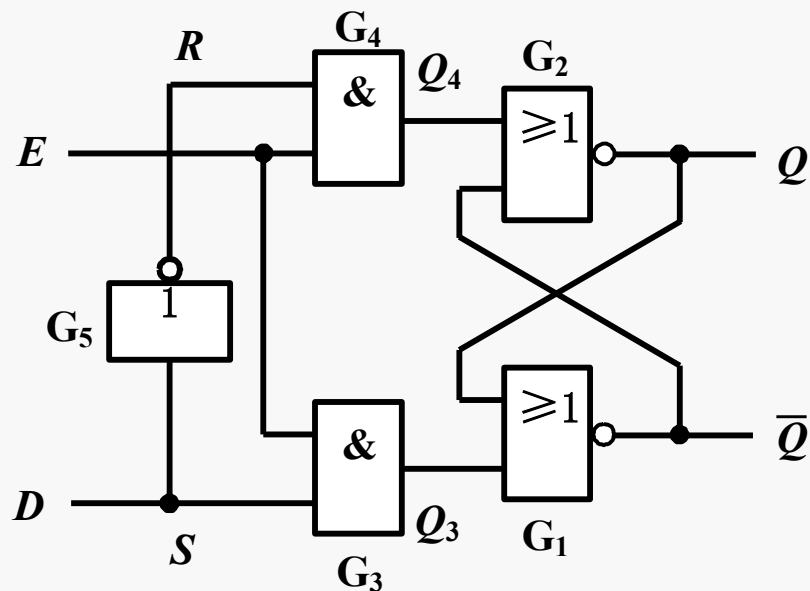
锁存器：在E的高（低）电平期间对信号敏感



触发器：在CP的上升沿（下降沿）对信号敏感



5.3 D触发器

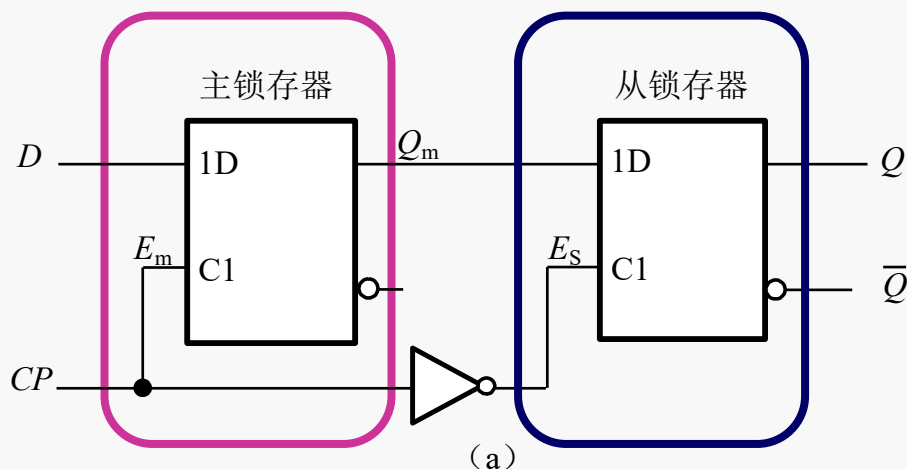
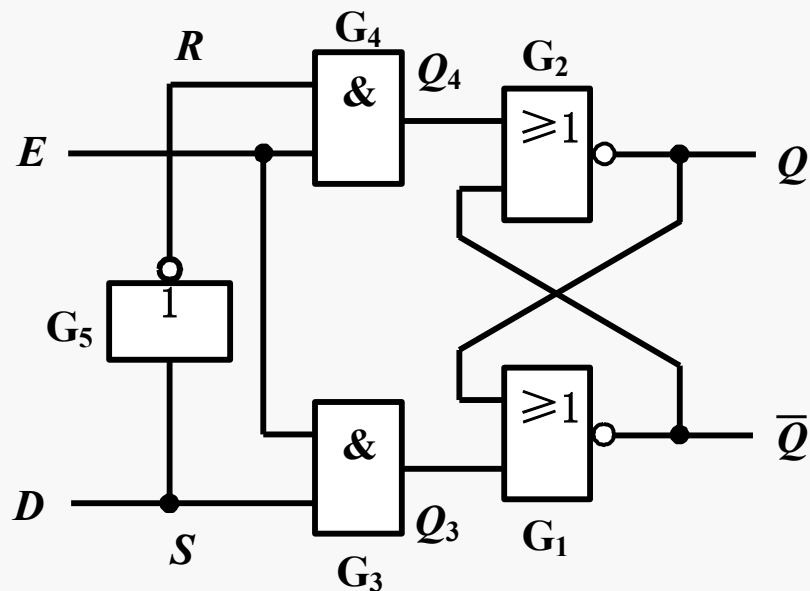


(1) $CP = 1$ 时: $E_m = 1$, $E_s = 0$

主锁存器: 输入信号 D 送入主锁存器, Q_m 跟随 D 端的状态变化, 使 $Q_m = D$

从锁存器: Q 维持在原来的状态不变。

5.3 D触发器



(2) $CP = 0$ 时: $E_m = 0$, $E_s = 1$

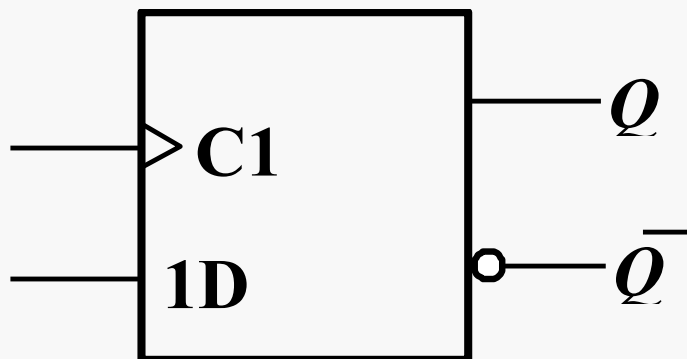
主锁存器: 输入信号 D 不能送入主锁存器, 主锁存器 Q_m 保持不变 (E_m 从有效到无效之前 D 的状态)。

从锁存器: $Q = Q_m$ 后, 将保持不变

触发器的状态 Q 仅取决于 CP 信号下降沿到达前瞬间的 D 信号。

5.3 D触发器

逻辑符号



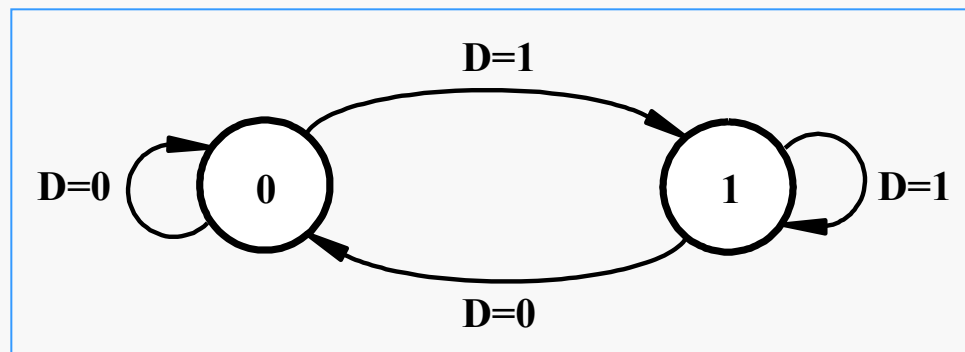
特性方程

$$Q^{n+1} = D$$

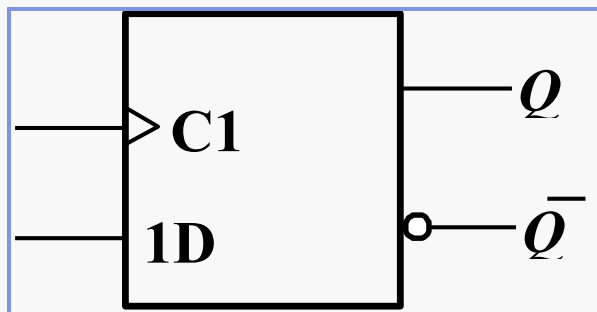
逻辑功能表

D	Q^n	Q^{n+1}
0	0	0
0	1	0
1	0	1
1	1	1

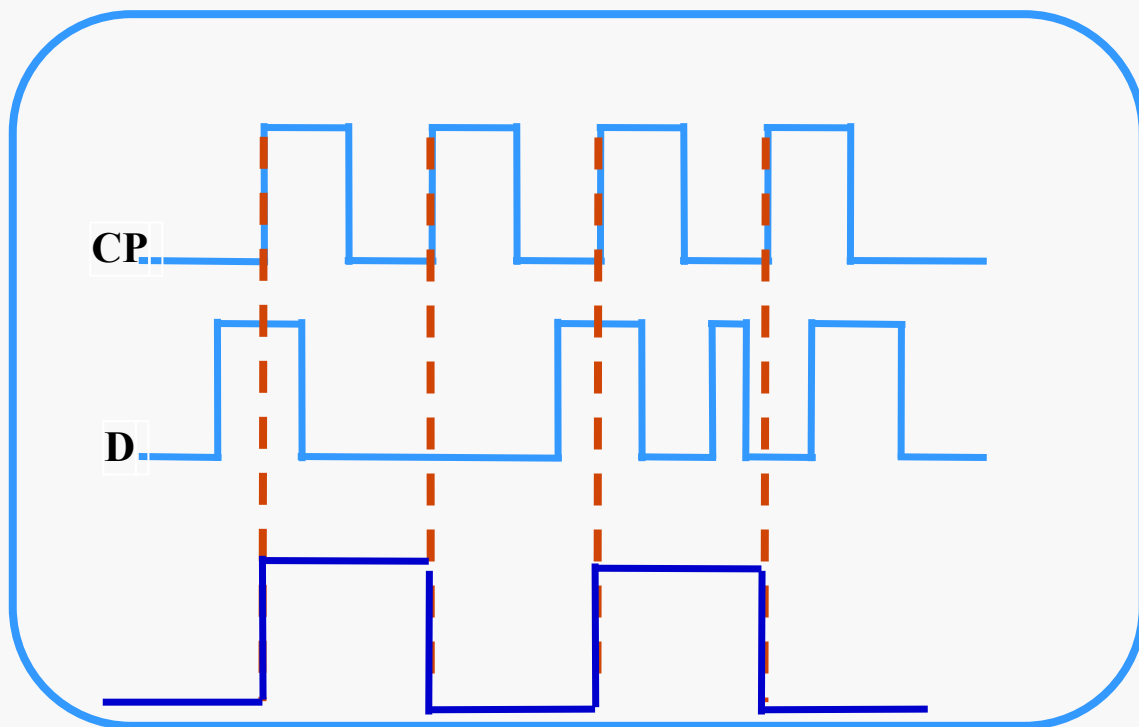
状态转换图



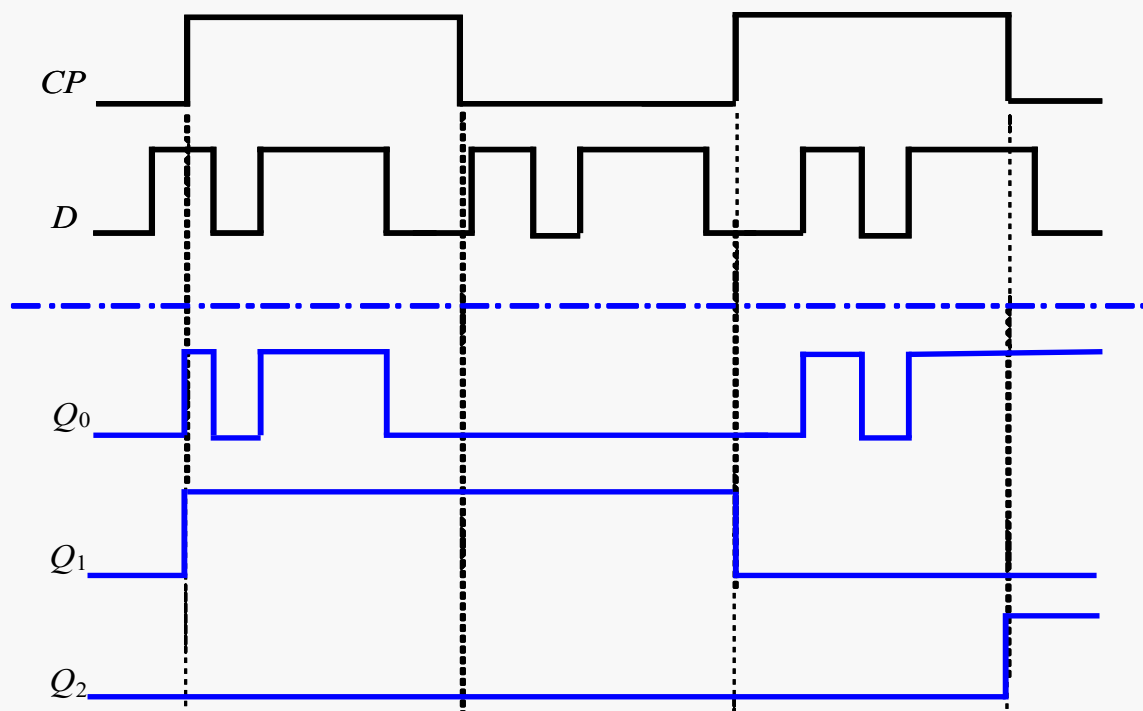
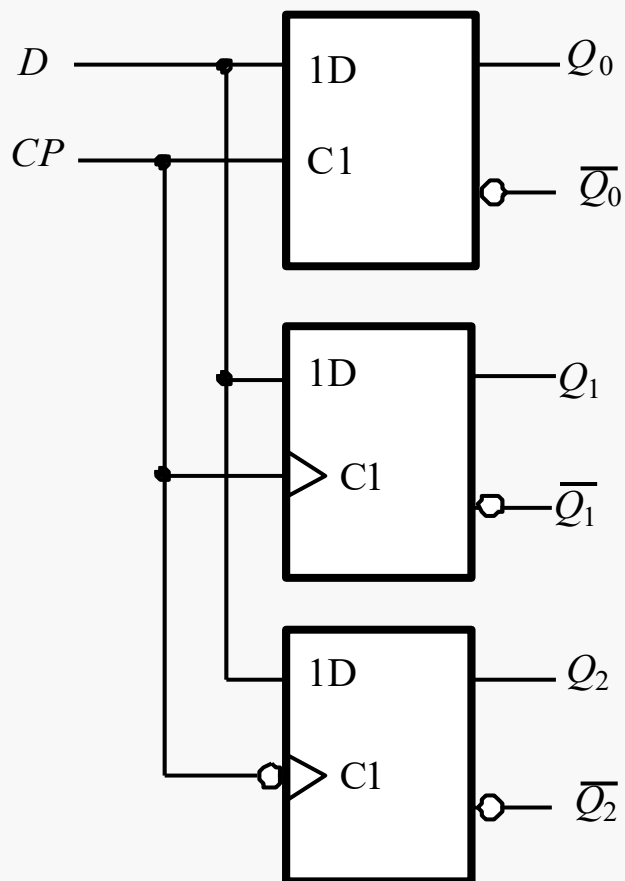
5.3 D触发器



工作波形

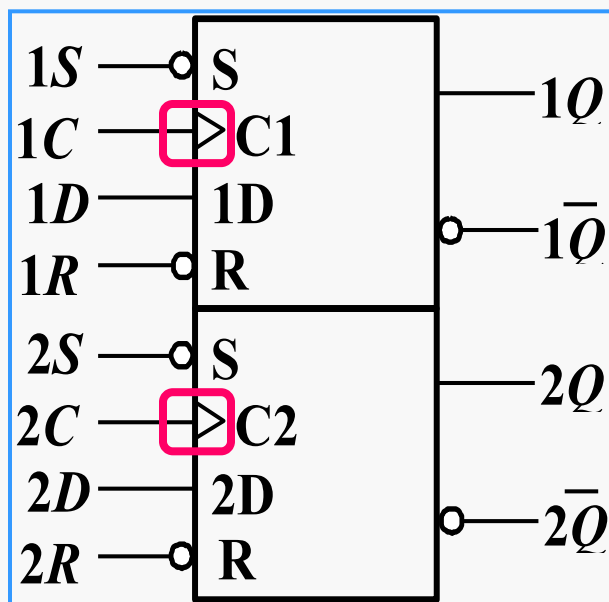


5.3 D触发器



5.3 D触发器——74HC74

逻辑符号



直接
置1
直接
置0

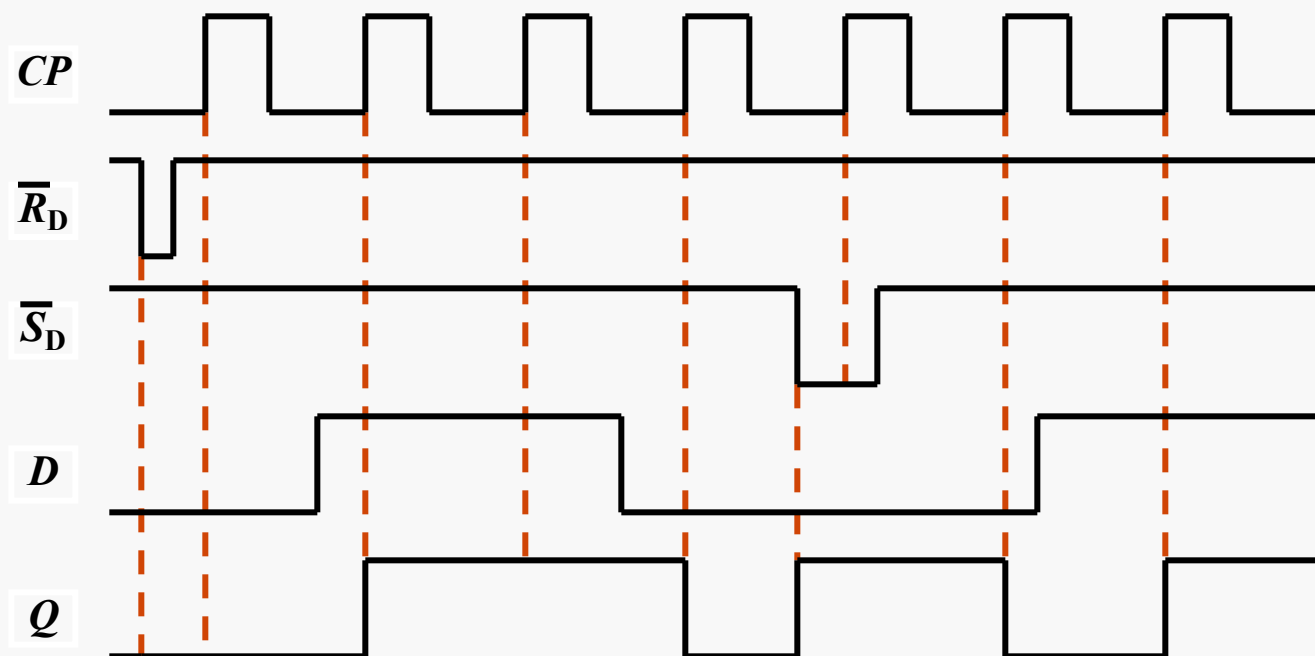
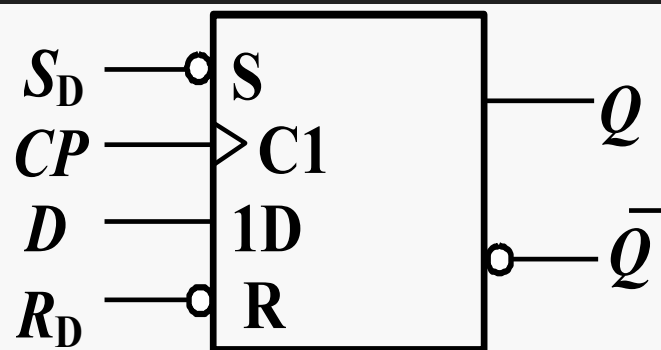
完成
D功
能

74HC/HCT74的功能表

输 入				输 出	
\bar{S}_D	\bar{R}_D	CP	D	Q	\bar{Q}
L	H	×	×	H	L
H	L	×	×	L	H
L	L	×	×	H	H
\bar{S}_D	\bar{R}_D	CP	D	Q^{n+1}	\bar{Q}^{n+1}
H	H	↑	L	L	H
H	H	↑	H	H	L

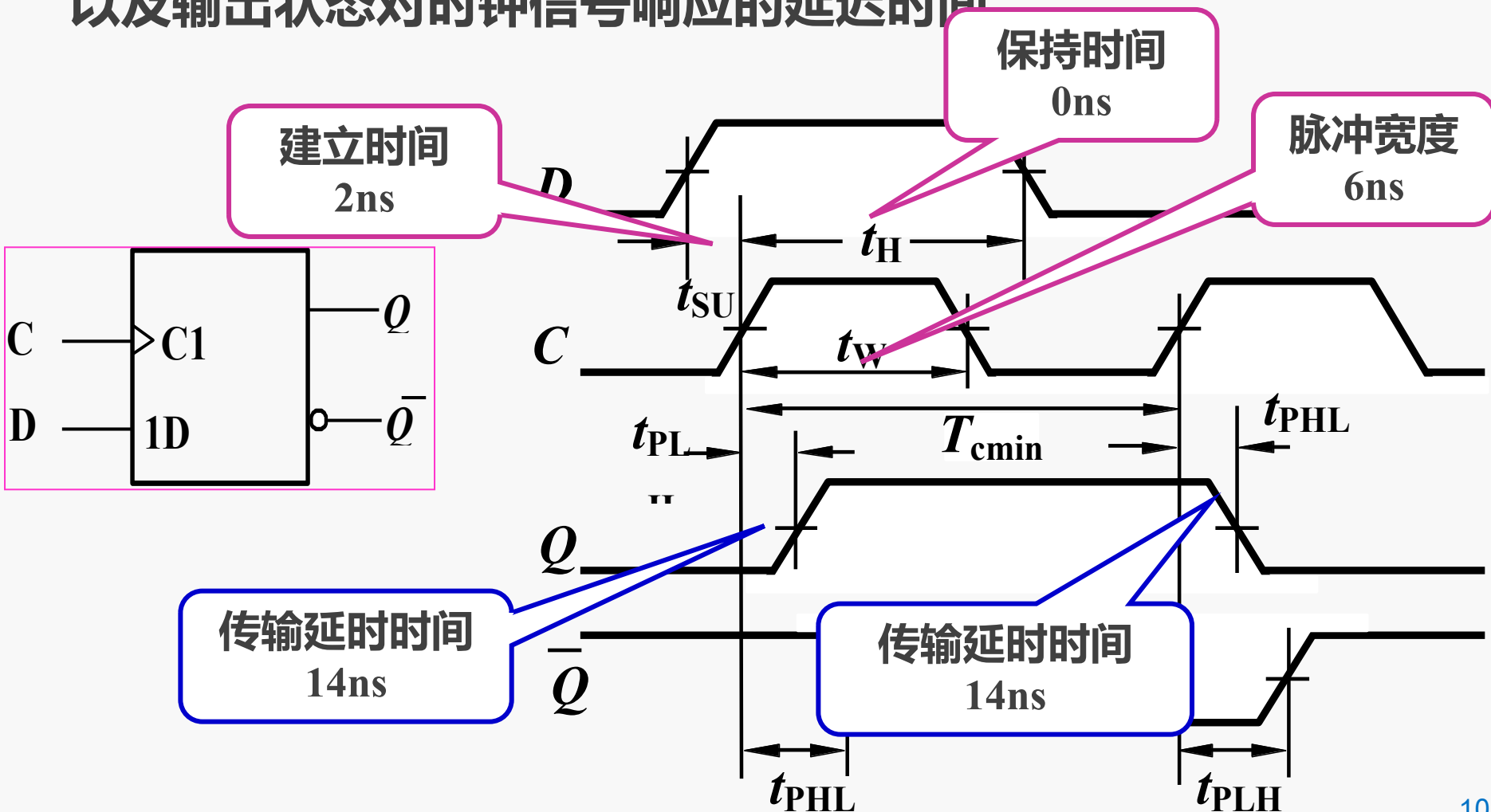
具有直接置1、直接置0，正边沿触发的D功能触发器

5.3 D触发器——带置位和复位信号的波形



5.3 D触发器——D触发器的动态特性

动态特性反映其触发器对输入信号和时钟信号间的时间要求，以及输出状态对时钟信号响应的延迟时间



5.3 D触发器——Verilog描述

时钟**上升沿**有效，异步复位置位信号**高电平**有效

```
always @ (posedge clk or posedge rst or posedge set)
begin
    if(rst) q=1'b0;
    else if(set) q=1'b1;
    else q=d;
end
```

时钟**下降沿**有效，异步复位置位信号**低电平**有效

```
always @ (negedge clk or negedge rst or negedge set)
begin
    if(!rst) q=1'b0;
    else if(!set) q=1'b1;
    else q=d;
end
```

5.3 D触发器——Verilog描述

时钟**上升沿**有效，同步复位置位信号**高电平**有效

```
always @ (posedge clk)
begin
    if(rst) q=1'b0;
    else if(set) q=1'b1;
    else q=d;
end
```

时钟**下降沿**有效，同步复位置位信号**低电平**有效

```
always @ (negedge clk)
begin
    if(!rst) q=1'b0;
    else if(!set) q=1'b1;
    else q=d;
end
```

5.3 D触发器——Verilog描述

例：

时钟：**上升沿**有效；

复位：**异步，低电平**有效；

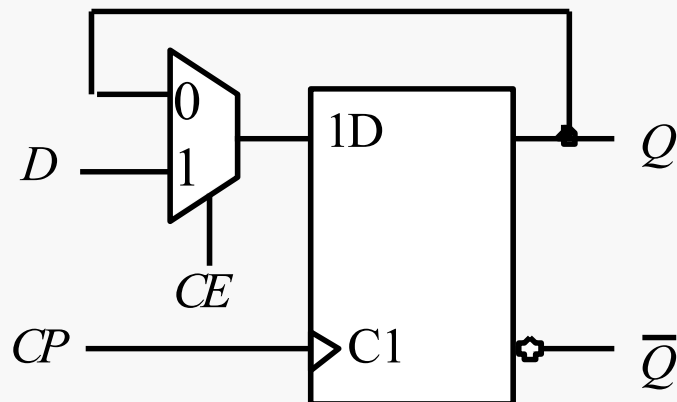
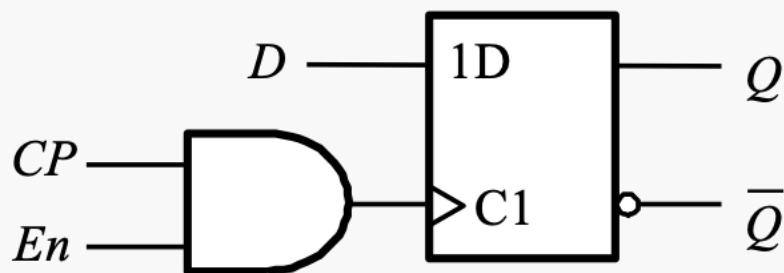
置位：**同步，高电平**有效。

```
always @ (posedge clk or negedge rst)
begin
    if(!rst) q=1'b0;
    else if(set) q=1'b1;
    else q=d;
end
```

5.3 D触发器——带使能信号的D触发器

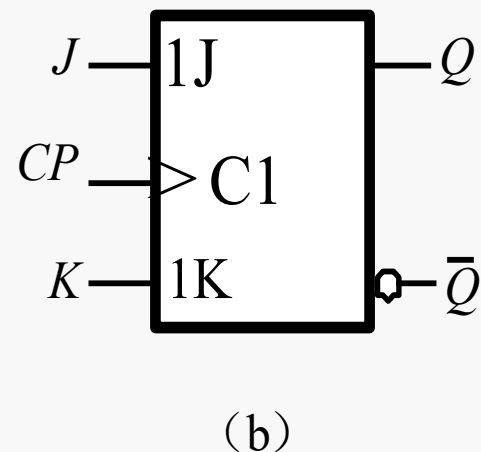
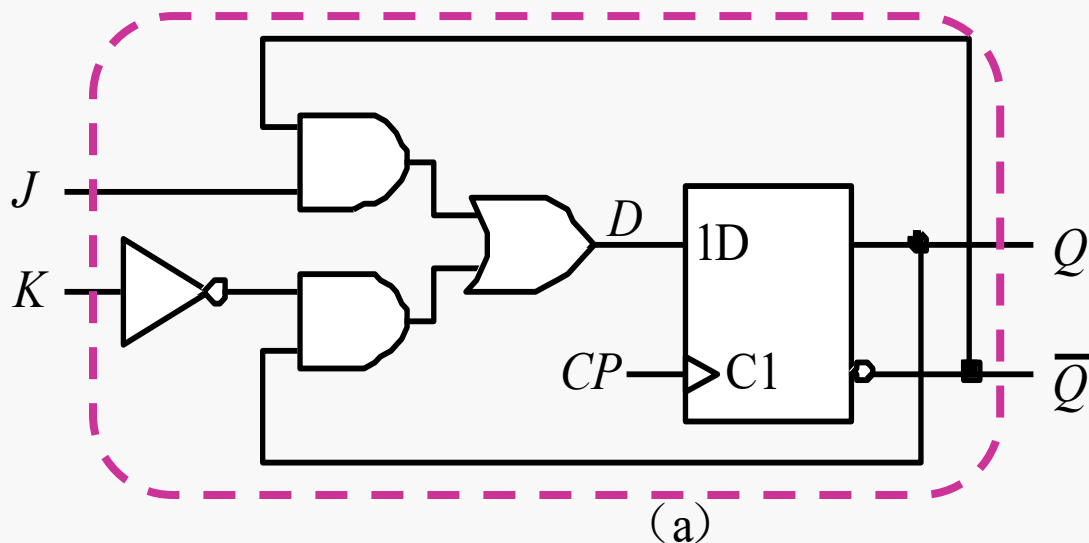
功能：(1) $En=0$ ， Q 保持不变。

(2) $En=1$ ，在 CP 作用下， $Q = D$ 。



哪一个电路更好呢？

5.3 JK触发器



$$D = J\bar{Q} + \bar{K}Q \quad Q^{n+1} = D \quad Q^{n+1} = J\bar{Q} + \bar{K}Q$$

$$J = K = 0$$

不变

$$Q^n = 0$$

$$Q^n = 1$$

$$Q^{n+1} = 0$$

$$Q^{n+1} = 1$$

$$J=1 \ K=0$$

置1

$$Q^n = 0$$

$$Q^n = 1$$

$$Q^{n+1} = 1$$

$$Q^{n+1} = 1$$

$$J = 0 \ K = 1$$

置0

$$Q^n = 0$$

$$Q^n = 1$$

$$Q^{n+1} = 0$$

$$Q^{n+1} = 0$$

$$J = K = 1$$

翻转

$$Q^n = 0$$

$$Q^n = 1$$

$$Q^{n+1} = 1$$

$$Q^{n+1} = 0$$

5.3 JK触发器

功能表

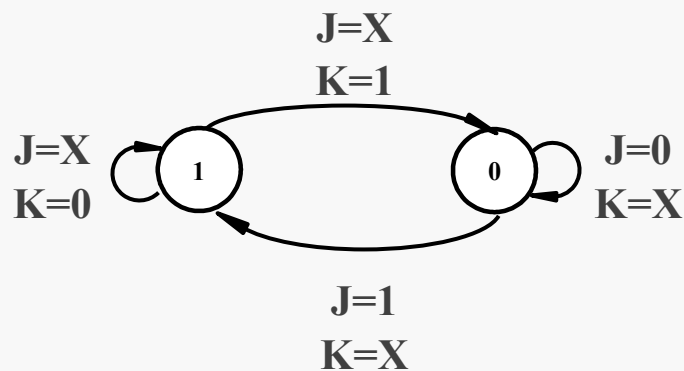
J	K	Q^n	Q^{n+1}	说 明
0	0	0	0	状态不变
0	0	1	1	
0	1	0	0	置 0
0	1	1	0	
1	0	0	1	置 1
1	0	1	1	
1	1	0	1	翻 转
1	1	1	0	

特性方程

$J \backslash KQ^n$	00	01	11	10
0	0	1	0	0
1	1	1	0	1

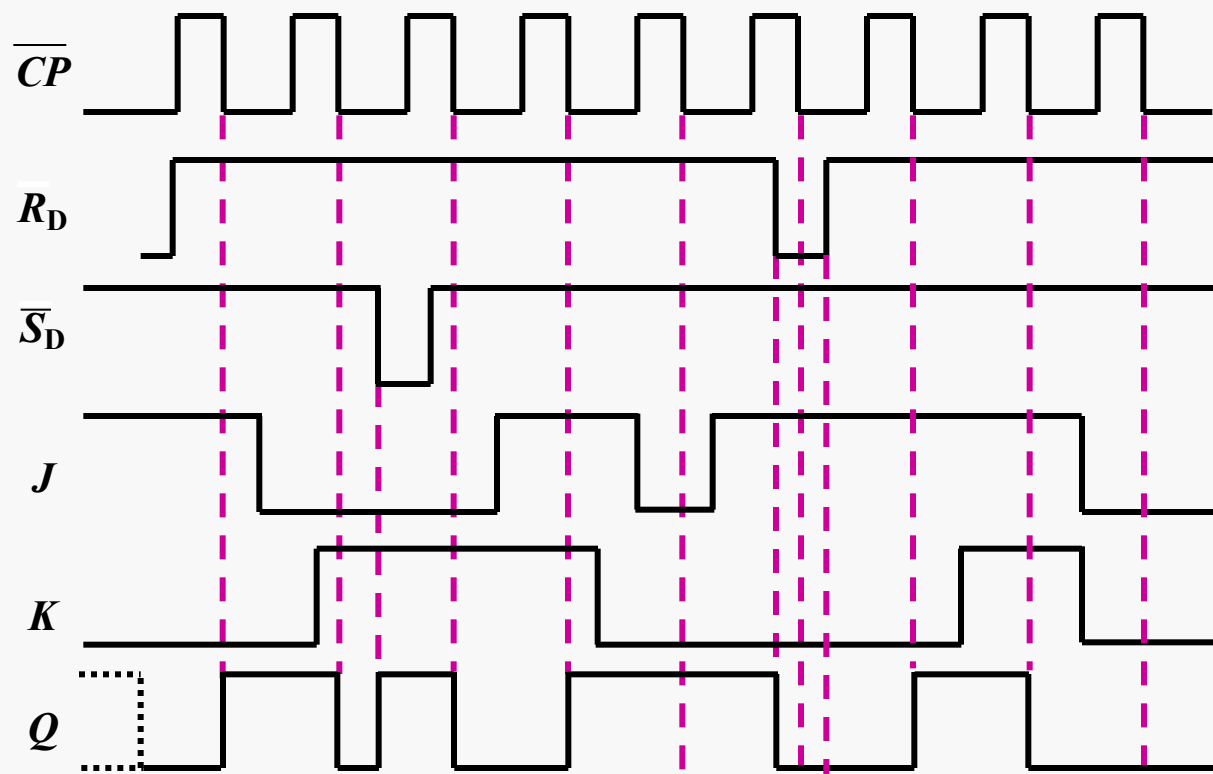
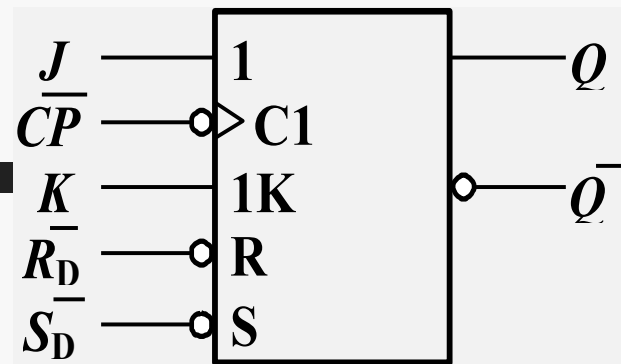
$$Q^{n+1} = J\overline{Q}^n + \bar{K}Q^n$$

状态转换图



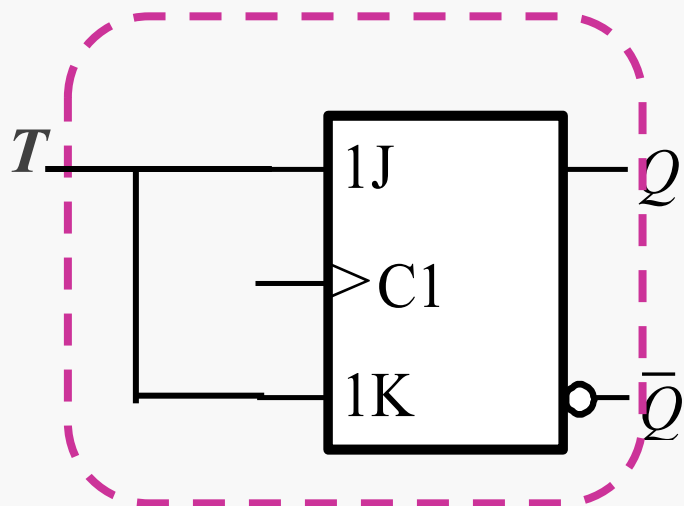
5.3 JK触发器

画出触发器的工作波形



5.3 T触发器

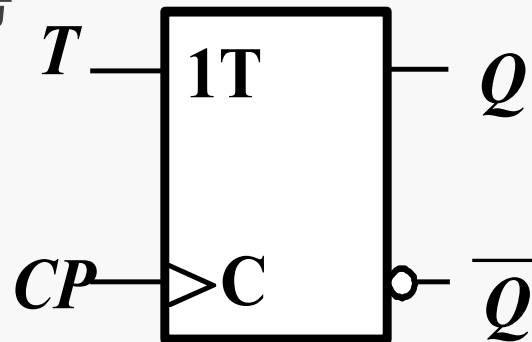
T触发器



功能表

T	Q^n	Q^{n+1}
0	0	0
0	1	1
1	0	1
1	1	0

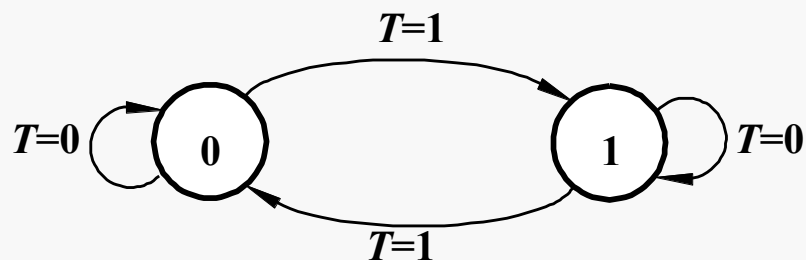
逻辑符号



特性方程

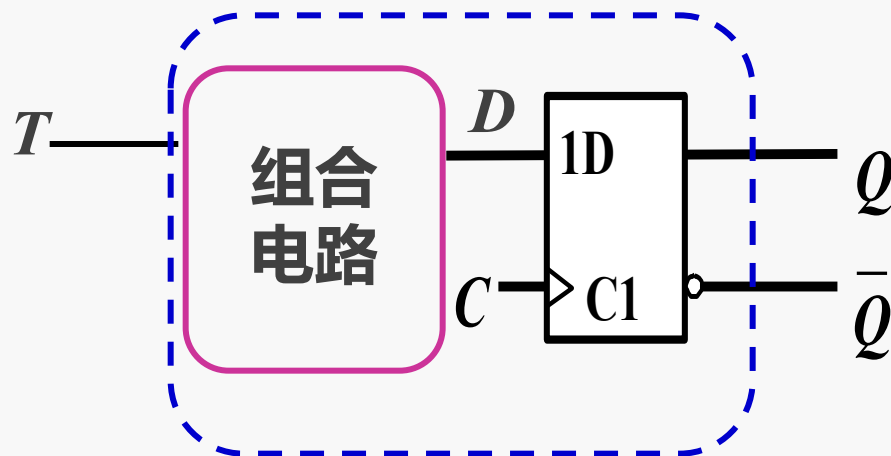
$$Q^{n+1} = T\bar{Q}^n + \bar{T}Q^n$$

状态转换图



5.3 T触发器

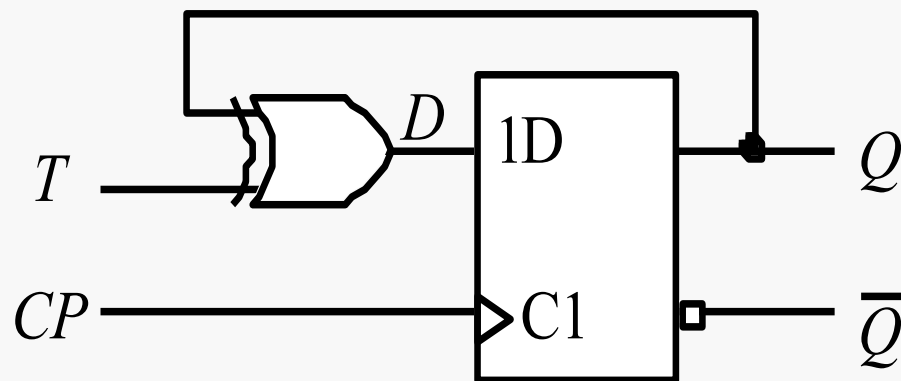
由D 触发器构成 T 触发器



$$Q^{n+1} = D$$

$$Q^{n+1} = T\bar{Q}^n + \bar{T}Q^n$$

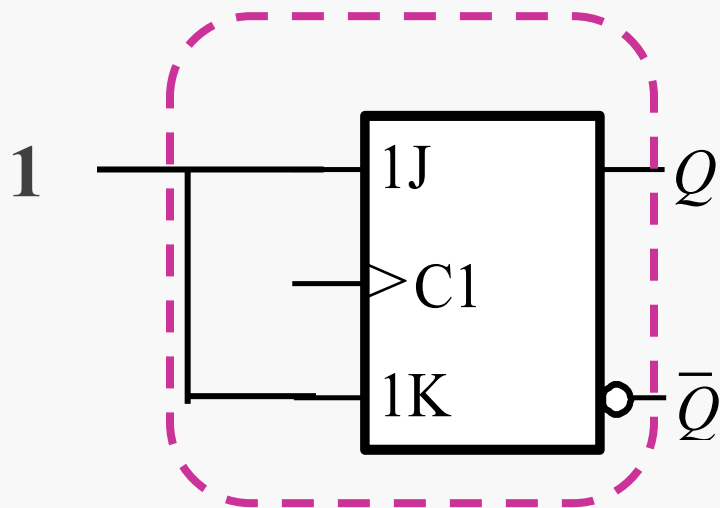
$$D = T\bar{Q} + \bar{T}Q = T \oplus Q$$



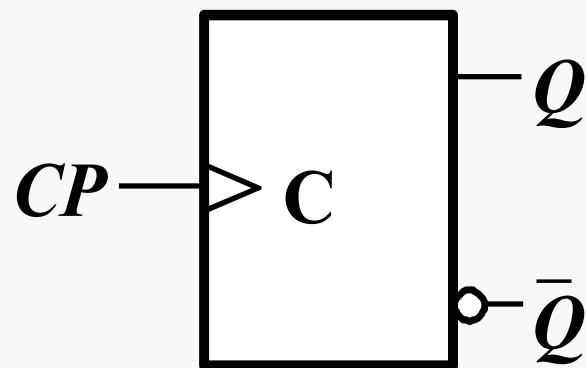
如果用同或呢？

5.3 T'触发器

上升沿触发的T'触发器



逻辑符号



时钟脉冲每作用一次，触发器翻转一次。

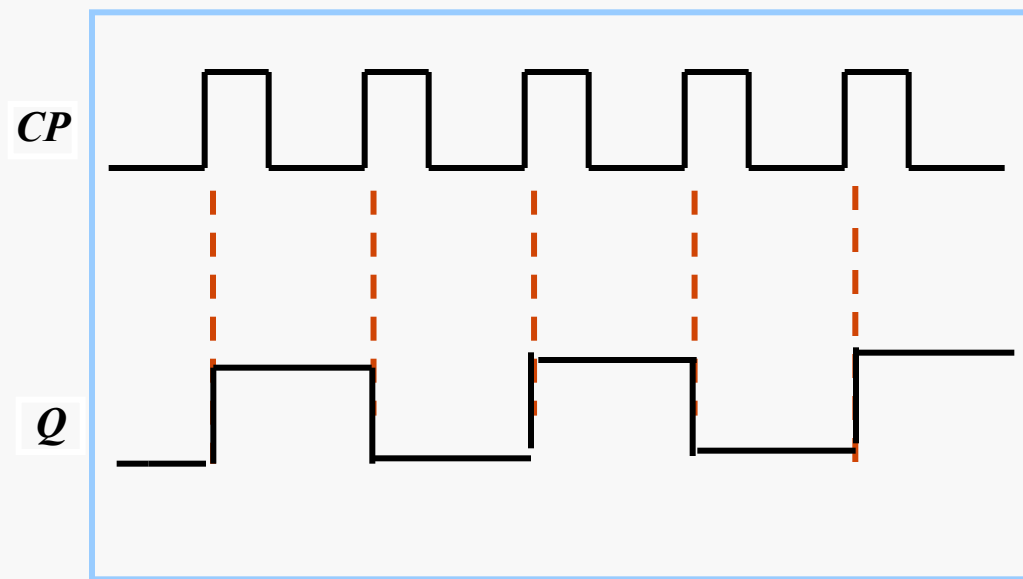
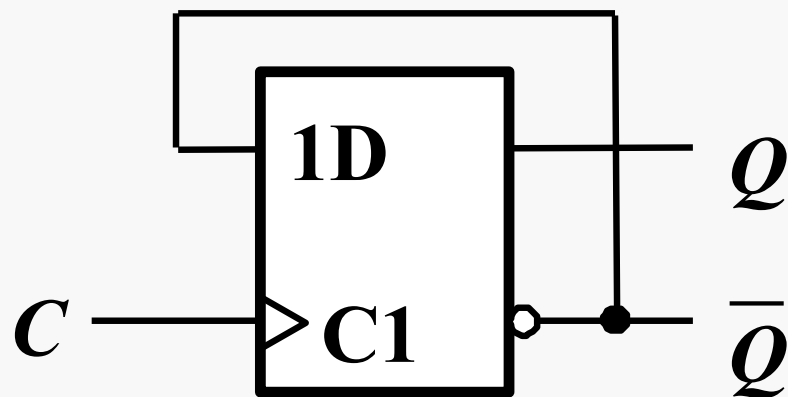
特性方程

$$Q^{n+1} = \overline{Q^n}$$

5.3 T'触发器

D 触发器构成 T' 触发器

$$Q^{n+1} = D \quad Q^{n+1} = \overline{Q^n} \quad D = \overline{Q^n}$$



二分频

5.3 触发器小结

- 触发器是时序逻辑电路的基本组成部件，尤其是D触发器和JK触发器
- 如何画工作波形
 - 异步复位和置位信号，优先级高
 - 上升沿或下降沿敏感
 - 依据输入和触发器当前状态确定其跳转状态
 - 触发器的特性方程