

# 华中科技大学考试题 (A 卷)

## 数字电路与逻辑设计 (闭卷) (2011/01/05)

专业 \_\_\_\_\_ 班级 \_\_\_\_\_ 姓名 \_\_\_\_\_ 学号 \_\_\_\_\_

题号	一	二	三	四	五	六	总分
分值	20	12	10	14	32	12	
得分							

### 一、 填空题 (20 空, 每空 1 分, 共 20 分)

- 逻辑代数式  $F = (A + \overline{B})(\overline{C} + D)$ , 则 F 的对偶式  $F' =$  \_\_\_\_\_,  
逻辑代数式  $F = A\overline{B} + A + C\overline{D}$ , 则 F 的反演式  $\overline{F} =$  \_\_\_\_\_。
- 二进制数  $(1101010.01)_2$  对应十进制数为 \_\_\_\_\_, 十进制数  $(54.25)_{10}$  用 8421BCD 码表示为 \_\_\_\_\_。
- CPLD 基于 \_\_\_\_\_ 技术实现组合逻辑函数, FPGA 中每个逻辑单元是利用 \_\_\_\_\_ 技术来实现组合逻辑的, 当需实现 4 输入 2 输出的组合电路所需占用的 SRAM 配置容量至少为 \_\_\_\_\_ bit。
- 若用 JK 触发器来实现方程为  $Q^{n+1} = \overline{A}Q^n + B$ , 则驱动方程为  $J =$  \_\_\_\_\_ 和  $K =$  \_\_\_\_\_。
- 将 D 触发器的 D 端与  $\overline{Q}$  端相连, 当触发器的现态为 \_\_\_\_\_ 时, 经过 2011 个时钟脉冲作用后, 触发器的状态为 0。
- 计数循环为  $\cdots \rightarrow 1 \rightarrow 0 \rightarrow 6 \rightarrow 5 \rightarrow 4 \rightarrow 3 \rightarrow 2 \rightarrow 1 \rightarrow 0 \rightarrow \cdots$  的模 7 减法计数器从 1 开始计数, 经过 2012 个计数脉冲后其计数值为 \_\_\_\_\_。
- 对于采集温度范围为  $0 \sim 80^\circ\text{C}$ , 能辨别  $0.1^\circ\text{C}$  变化的应用要求, 应选择 \_\_\_\_\_ bit 的 A/D 转换器; 如采样温度为  $20^\circ\text{C}$ , 对应的数字量为 ( \_\_\_\_\_ )<sub>16</sub>。
- \_\_\_\_\_ 电路具有一个稳态和一个暂稳态, 暂稳态存在的时间由 \_\_\_\_\_ 环节决定。
- 8bit 移位寄存器构成的扭环形计数器有 \_\_\_\_\_ 个有效计数状态。
- 能够实现线与功能的是 \_\_\_\_\_, 在 RAM 器件的输入输出电路

中使用的是\_\_\_\_\_。(集电极开路门, 三态门, 异或门, 传输门)

11.  $8K \times 8$  的 RAM 芯片有\_\_\_\_\_根地址线, 需要\_\_\_\_\_片  $2K \times 4$  的 RAM 芯片才能扩展得到  $16K \times 8$  的 RAM。

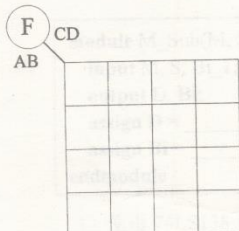
## 二、化简题 (2 小题, 共 12 分, 每小题 6 分)

- 1、用逻辑代数法将下式化简为最简与或式。

$$F = \overline{AB}(A+C) + \overline{C}(BD + \overline{AB} + AD)$$

- 2、用卡诺图化简逻辑函数, 写出最简与或式。(注: A 为最高位, D 为最低位)

$$F(A, B, C, D) = \sum m(0, 8, 9, 10, 11, 13, 15) + \sum d(1, 2, 5, 6, 14)$$





专业\_\_\_\_\_ 班级\_\_\_\_\_ 姓名\_\_\_\_\_ 学号\_\_\_\_\_

#### 四、 组合逻辑分析与设计 (14 分)

1、完成下面的全减器真值表，表中  $M$  为被减数， $S$  为减数， $B_{i-1}$  是低位的借位， $D$  为差， $B_i$  是向高位的借位。

(1) 若要求仅用与非门实现全减器功能，要求电路最简，请给出电路的逻辑表达式 (不必画出逻辑图)；

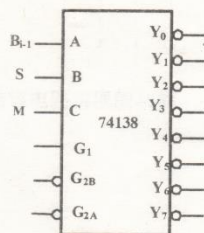
M	S	$B_{i-1}$	D	$B_i$

(2) 将下面的 Verilog HDL 程序补充完整，使其实现全减器；

```

module M_Sub(M, S, Bi_1, D, Bi);
    input M, S, Bi_1; // Bi_1 为低位的借位
    output D, Bi;      // Bi 为向高位的借位
    assign D = _____;
    assign Bi = _____;
endmodule
    
```

(3) 使用 74LS138 和少量门电路，实现全减器。



五、 时序逻辑分析与设计 (3 小题, 共 32 分, 10 分+12 分+10 分)

1、 现需设计一个单输入单输出的同步时序电路, 对串行输入数据 X 进行检测:

a) 假设 Z 的初始状态为  $Z=0$ ;

b) 当检测到 X 连续输入两个 0 时, 输出 Z 变为 0, 当检测到 X 连续输入两个 1 时, 输出 Z 变为 1, 否则 Z 保持不变, 例如:

输入序列为  $X=01011010111010010100010$

输出序列为  $Z=000011111111111000000000$

根据上述要求完成以下设计工作:

(1) 画出原始状态图

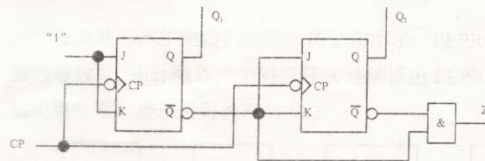
(2) 建立原始状态表, 并检查是否需要化简

(3) 给出一种状态分配方案并说明理由



专业 \_\_\_\_\_ 班级 \_\_\_\_\_ 姓名 \_\_\_\_\_ 学号 \_\_\_\_\_

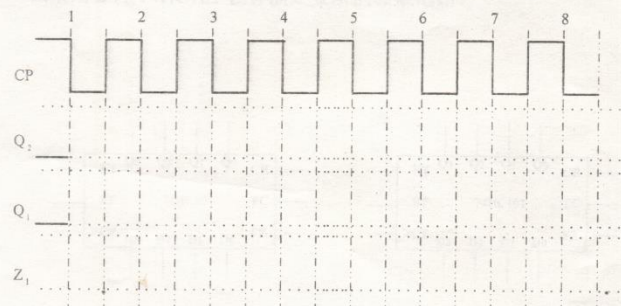
2、分析如图所示同步时序电路



(1) 写出电路的驱动方程，输出方程和状态方程

(2) 列出状态转换表，画出状态图

(3) 画在 8 个 CP 作用下， $Q_1$ 、 $Q_2$  和  $Z$  的时序图，初始状态为  $Q_2Q_1=00$



(4) 总结该电路实现的功能

3、阅读下面的 Verilog HDL 程序，完成以下问题。

```

module m_test2 (CP, A, B, C, D);
input CP;
input A, B;
input[2:0] C;
output[2:0] D;

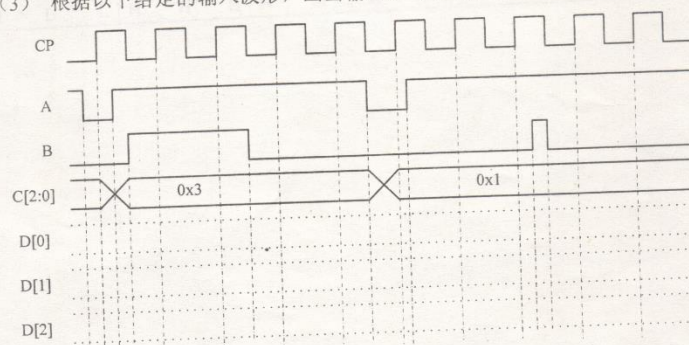
always @(negedge A or posedge CP)
begin
    if (!A) D <= 3'b000;
    else if (B) D <= C;
    else D <= { D[1:0], D[2] };
end
endmodule

```

(1) 简要解释程序实现的功能，并说明其中信号 A、B 的作用及有效电平。

(2) 程序中有一处语法错误，请指出，并改正。

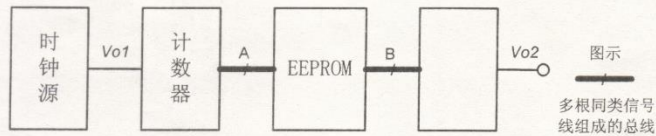
(3) 根据以下给定的输入波形，画出输出信号 D 的波形。



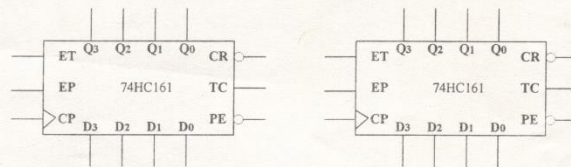
专业 \_\_\_\_\_ 班级 \_\_\_\_\_ 姓名 \_\_\_\_\_ 学号 \_\_\_\_\_

### 六、综合题 (12 分)

一个任意波形产生电路的简要框图如图所示，EEPROM 中存储了一个周期的完整波形数据，由计数器产生的信号 A 连续读出 EEPROM 中的数据 B 并送入下一级电路处理，处理所得波形为  $V_{o2}$ 。



- (1) 试问时钟源可由什么功能电路产生？
- (2) 图中空白框图中是什么电路？完成什么功能？
- (3) 图中 A、B 分别接 EEPROM 的什么信号总线？如果要求输出波形的量化等级达到 256，每周期采样点个数为 64，则总线 A、B 分别为多少位宽？
- (4) 试采用 2 片 74HC161 设计满足要求的计数电路。

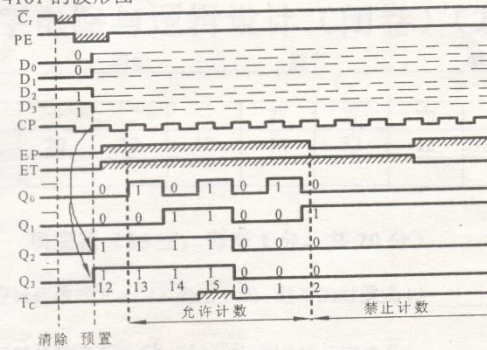


- (5) 若输出信号  $V_{o2}$  的频率  $f_{V_{o2}}$  为 1kHz，那么时钟源的频率  $f_{V_{o1}}$  应为多少？



# 附录

74161 的波形图



74138 的功能表

输入						输出							
G <sub>1</sub>	G <sub>2A</sub>	G <sub>2B</sub>	C	B	A	Y <sub>0</sub>	Y <sub>1</sub>	Y <sub>2</sub>	Y <sub>3</sub>	Y <sub>4</sub>	Y <sub>5</sub>	Y <sub>6</sub>	Y <sub>7</sub>
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	L	H	H	H	H	L	H	H	H	H	H
H	L	L	L	H	L	H	H	H	L	H	H	H	H
H	L	L	L	H	H	H	H	H	L	H	H	H	H
H	L	L	H	L	L	H	H	H	H	L	H	H	H
H	L	L	H	H	L	H	H	H	H	H	L	H	H
H	L	L	H	H	H	H	H	H	H	H	H	L	L