

6 时序逻辑电路

6.1、概述

6.2、时序逻辑电路的分析

6.3、同步时序电路的设计

6.4、寄存器和移位寄存器

6.5、计数器

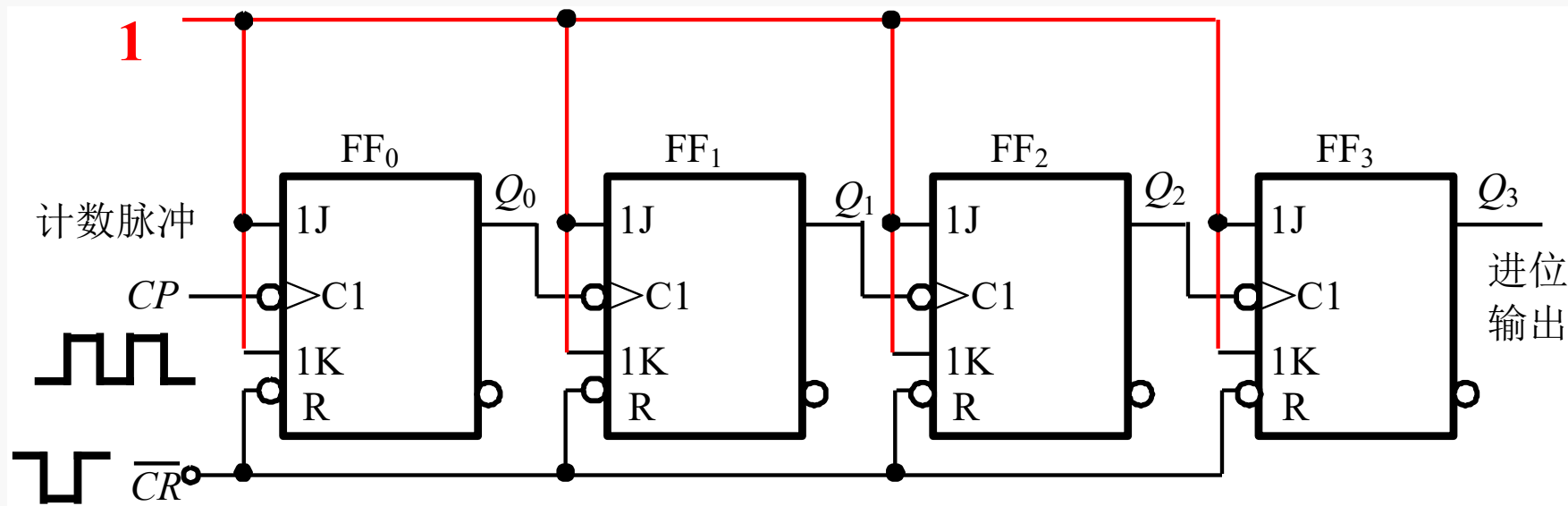
6.5 计数器

计数器：对输入时钟脉冲进行计数。可用于分频、定时、产生节拍脉冲和脉冲序列。

计数器分类：

- (1) 按脉冲输入方式：同步和异步计数器
- (2) 按进位体制：二进制、十进制和任意进制计数器
- (3) 按逻辑功能：加法、减法和可逆计数器

6.5 计数器——异步计数器

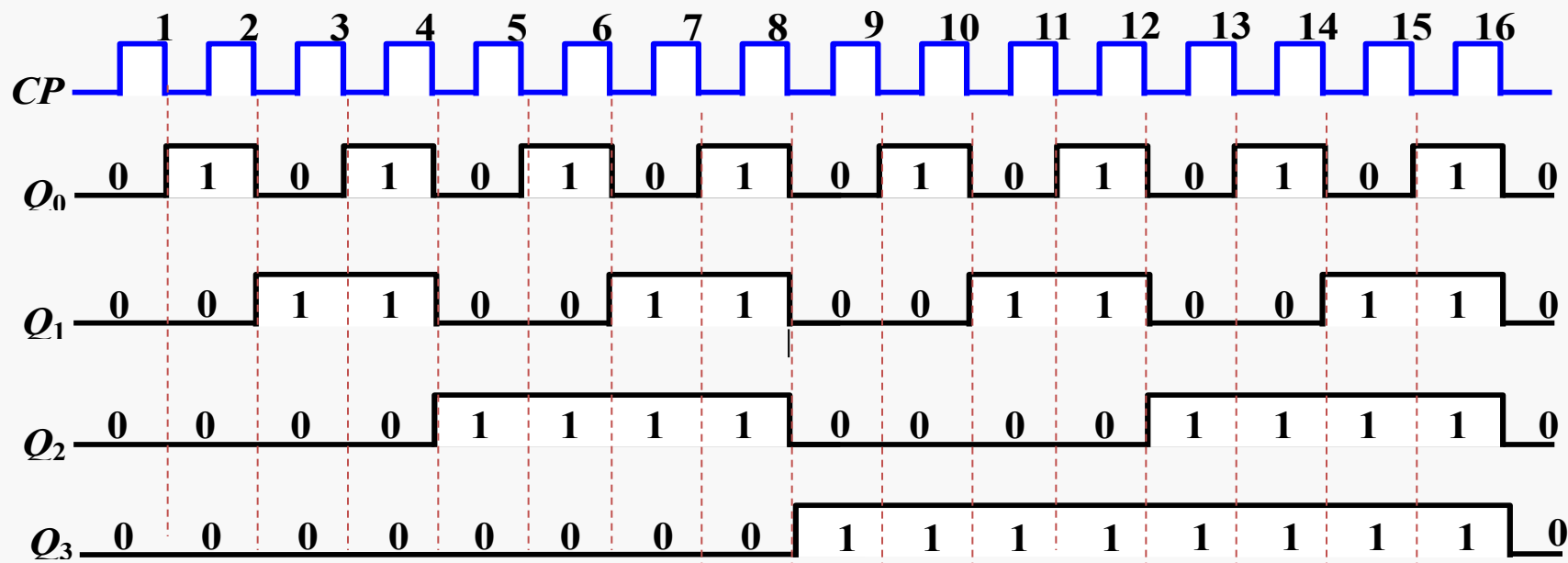


时钟方程： $CP_0 = CP, CP_1 = Q_0, CP_2 = Q_1, CP_3 = Q_2$

驱动方程： $J_0 = K_0 = 1, \dots, J_3 = K_3 = 1$

每输入一个计数脉冲，触发器翻转一次

6.5 计数器——异步计数器

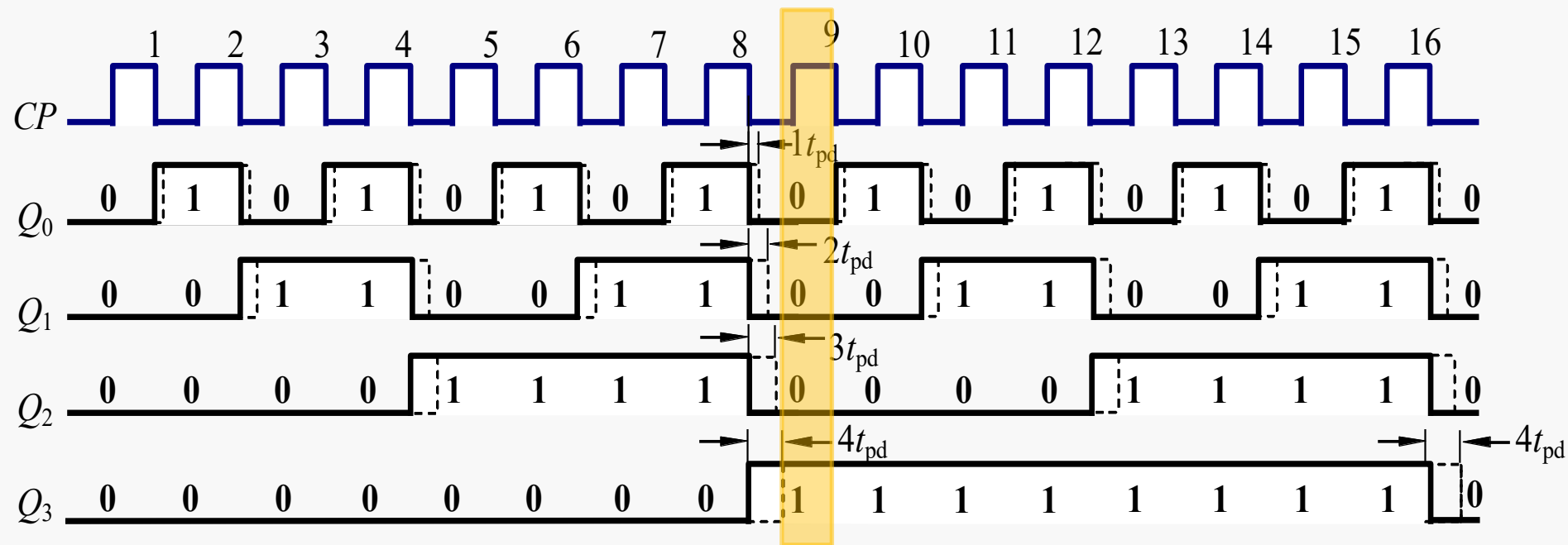


$$f_{Q_0} = \frac{1}{2} f_{CP} \quad f_{Q_1} = \frac{1}{4} f_{CP} \quad f_{Q_2} = \frac{1}{8} f_{CP} \quad f_{Q_3} = \frac{1}{16} f_{CP}$$

计数器的功能 (1) : 分频器

6.5 计数器——异步计数器

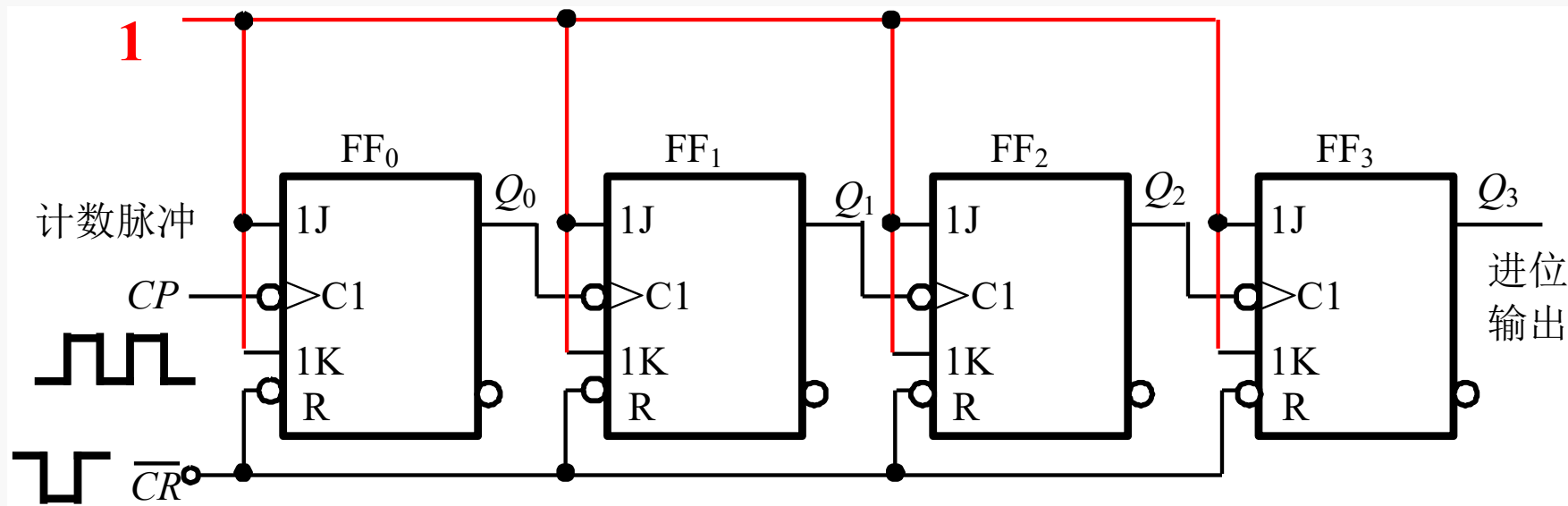
假设每个触发器的延时而为 $1t_{pd}$ ，输出波形会怎样？？？



计数器正确输出的时间为： $T - n * t_{pd}$

异步时序电路的时钟频率低

6.5 计数器——异步计数器

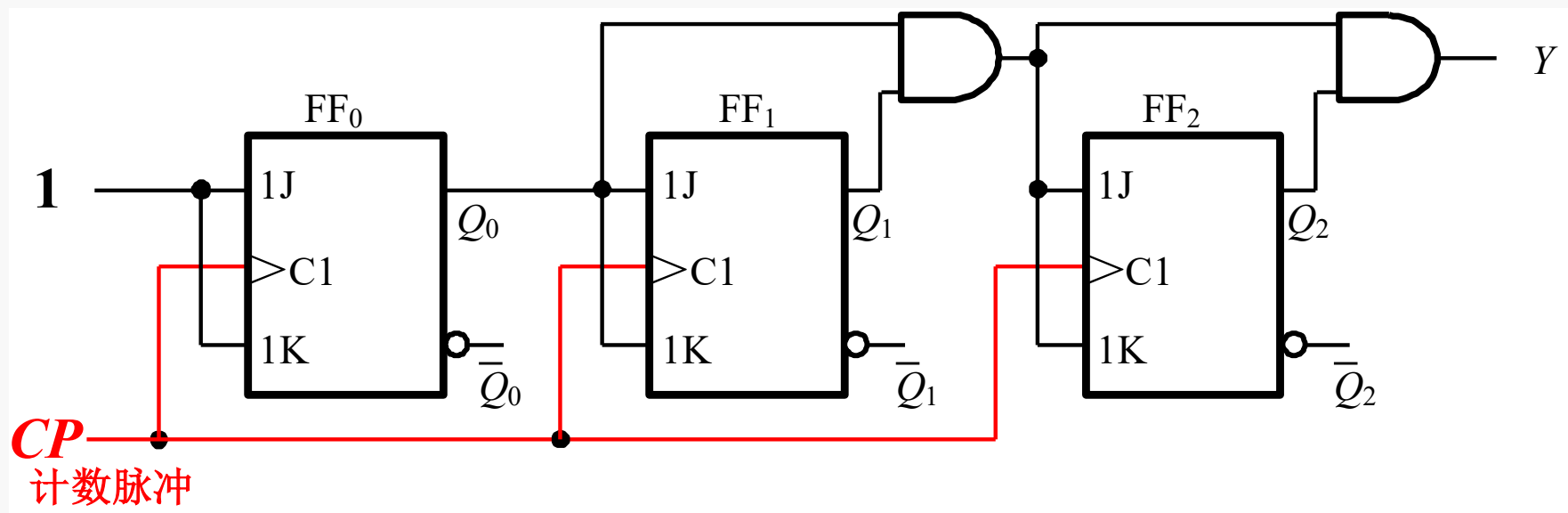


两个问题：

(1) 如何实现11进制异步计数器 ???

(2) 如何实现异步减法计数器 ???

6.5 计数器——同步计数器



驱动方程:

$$\begin{cases} J_0 = K_0 = 1 \\ J_1 = K_1 = Q_0^n \\ J_2 = K_2 = Q_1^n Q_0^n \end{cases}$$

状态方程:

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

$$\begin{cases} Q_0^{n+1} = \bar{Q}_0^n \\ Q_1^{n+1} = \bar{Q}_1^n Q_0^n + Q_1^n \bar{Q}_0^n \\ Q_2^{n+1} = Q_2^n \bar{Q}_1^n + Q_2^n \bar{Q}_0^n + \bar{Q}_2^n Q_1^n Q_0^n \end{cases}$$

输出方程:

$$Y = Q_2^n Q_1^n Q_0^n$$

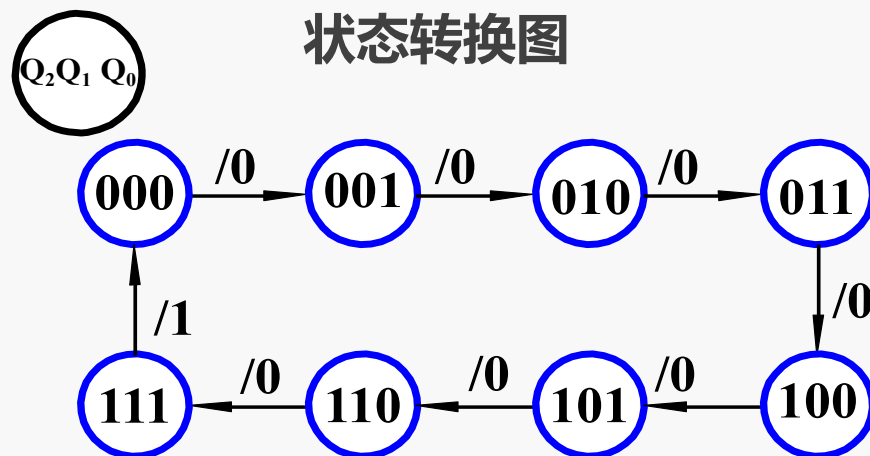
$$\begin{cases} Q_0^{n+1} = \overline{Q_0^n} \\ Q_1^{n+1} = \overline{Q_1^n} Q_0^n + Q_1^n \overline{Q_0^n} \\ Q_2^{n+1} = Q_2^n \overline{Q_1^n} + Q_2^n \overline{Q_0^n} + \overline{Q_2^n} Q_1^n Q_0^n \end{cases}$$

$$Y = Q_2^n Q_1^n Q_0^n$$

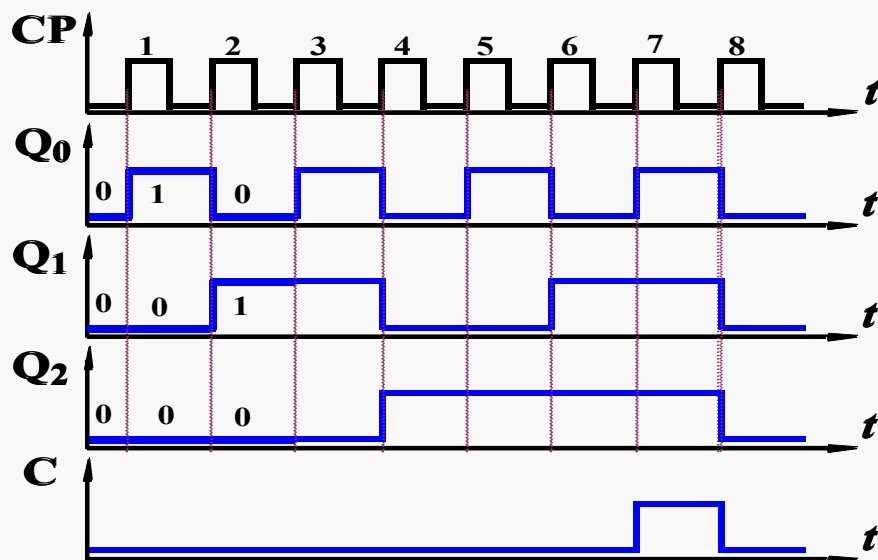
状态转换表

计数 顺序	电路状态			进位 C
	Q_2	Q_1	Q_0	
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	0
4	1	0	0	0
5	1	0	1	0
6	1	1	0	0
7	1	1	1	1
8	0	0	0	0

状态转换图

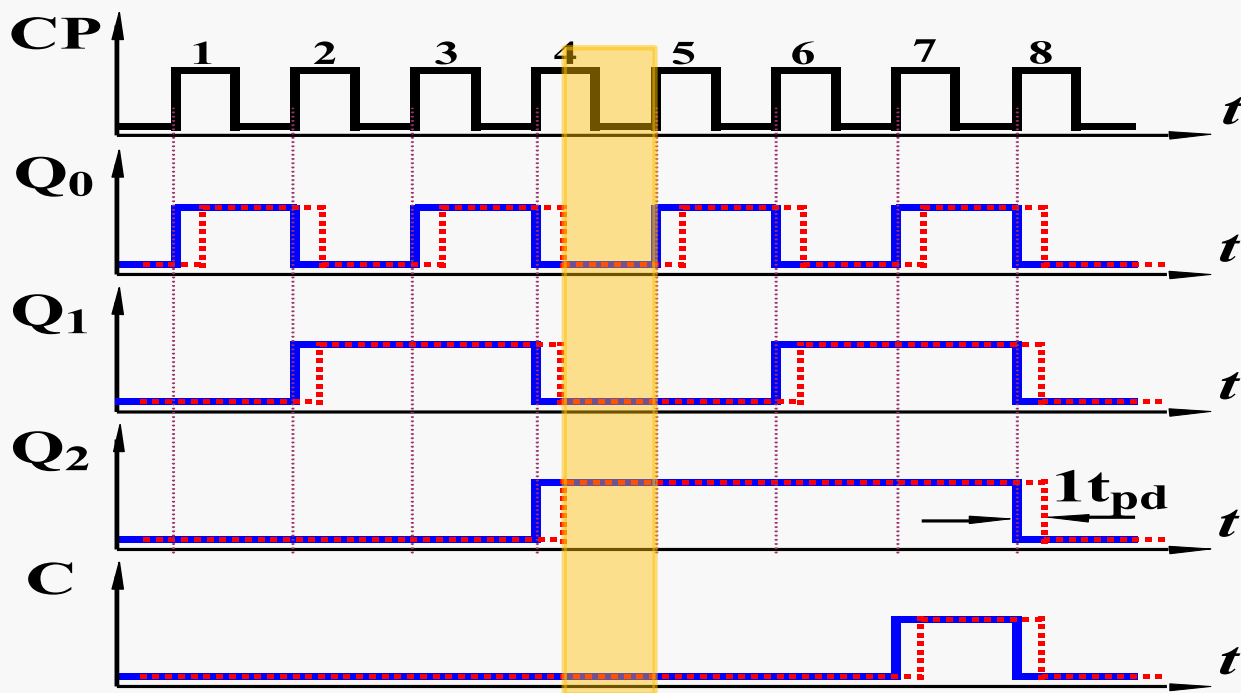


波形图



6.5 计数器——同步计数器

假设每个触发器的**延时为 $1t_{pd}$** ，输出波形会怎样？？？



同步计数器正确输出的时间： $T - t_{pd}$ ，**时钟频率高。**

还会有竞争冒险？？？

(1) 格雷码

(2) 时序电路竞争冒险的特点

6.5 计数器——同步计数器 (Verilog描述)

```
module cnt8(CP, M, Q);  
input CP, M;      //M为计数标志  
output[2:0] Q;  
reg[2:0] Q;
```

```
always@(posedge CP)  
if (M) //加法计数  
    if(Q < 7) Q <= Q + 1;  
    else      Q <= 0;  
else //减法计数  
    if(Q == 0) Q <= 7;  
    else      Q <= Q - 1;
```

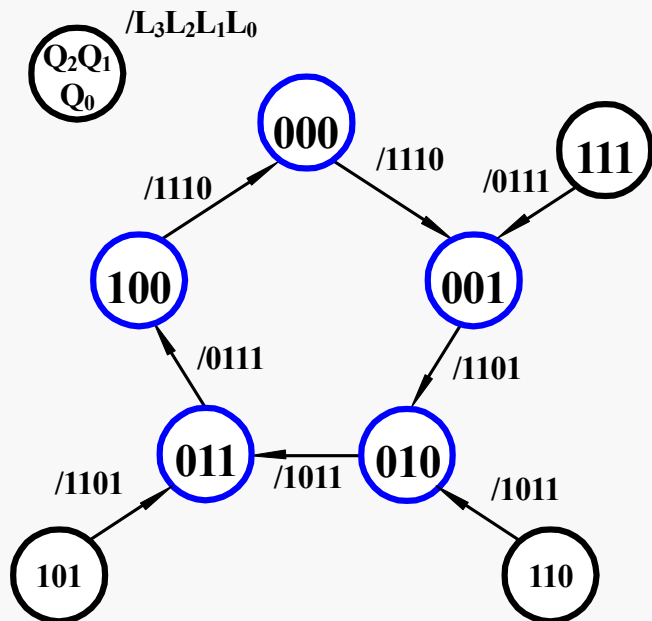
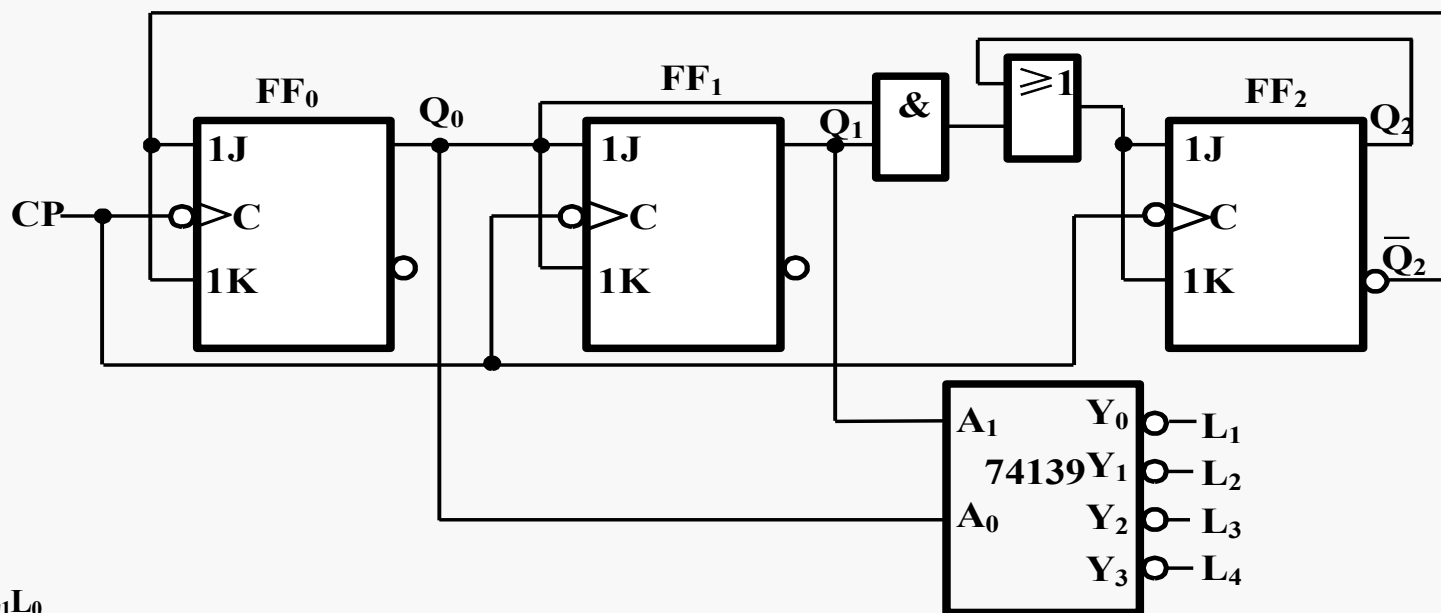
```
endmodule
```

```
module cnt8(CP, M, Q);  
input CP, M; //M为计数标志  
output[2:0] Q;  
reg[2:0] Q;
```

```
always@(posedge CP)  
if(M) //加法计数  
    if(Q < 6) Q <= Q + 1;  
    else      Q <= 0;  
else //减法计数  
    if(Q == 0) Q <= 6;  
    else      Q <= Q - 1;
```

```
endmodule
```

6.5 计数器——同步计数器（利用T触发器）



J=K=1, Q翻转
J=K=0, Q不变

- 000→001→010→011→100→000
- Q₀平时翻转，在Q₂=1时保持不变
- Q₁在Q₀=1时翻转，其余保持不变
- Q₂在Q₂=1时或Q₁Q₀=11时翻转

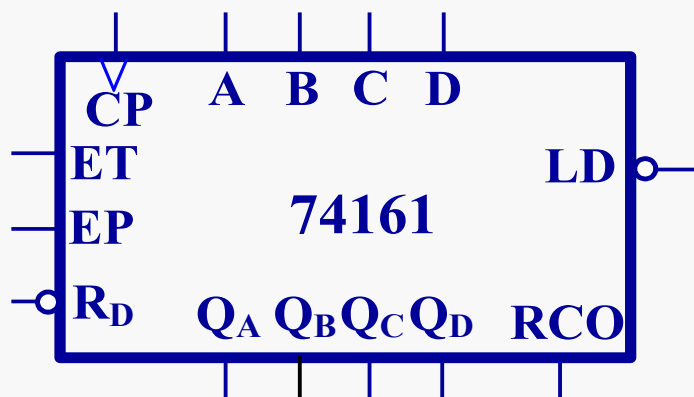
6.5 计数器——同步计数器（利用T触发器）

- $000 \rightarrow 001 \rightarrow 010 \rightarrow 011 \rightarrow 100 \rightarrow 101 \rightarrow 110 \rightarrow 000$
- Q_0 ：平时翻转，只在 $Q_2Q_1Q_0=110$ 时保持为0
- Q_1 ：在 $Q_0=1$ 时或 $Q_2Q_1Q_0=110$ 时翻转，其余保持
- Q_2 ：在 $Q_1Q_0=11$ 时或 $Q_2Q_1Q_0=110$ 时翻转，其余保持

$J=K=1$ ，Q翻转
 $J=K=0$ ，Q不变

$$\begin{cases} J_0 = K_0 = \overline{Q_2Q_1Q_0} \\ J_1 = K_1 = Q_0 + Q_2Q_1\overline{Q_0} = Q_0 + Q_2Q_1 \\ J_2 = K_2 = Q_1Q_0 + Q_2Q_1\overline{Q_0} = Q_1Q_0 + Q_2\overline{Q_0} \end{cases}$$

6.5 计数器——同步计数器 (74HC161)



$$RCO = ET Q_A Q_B Q_C Q_D$$

74161逻辑功能表

清零	预置	使能	时钟	预置数据输入	输出
R_D	LD	EP ET	CP	A B C D	$Q_A Q_B Q_C Q_D$
L	x	x x	x	x x x x	L L L L
H	L	x x	\uparrow	A B C D	A B C D
H	H	L x	x	X X X X	保持
H	H	X L	x	X X X X	保持
H	H	H H	\uparrow	X X X X	计数

- 异步清零
- 同步并行预置数据
- 保持原有状态不变
- 计数

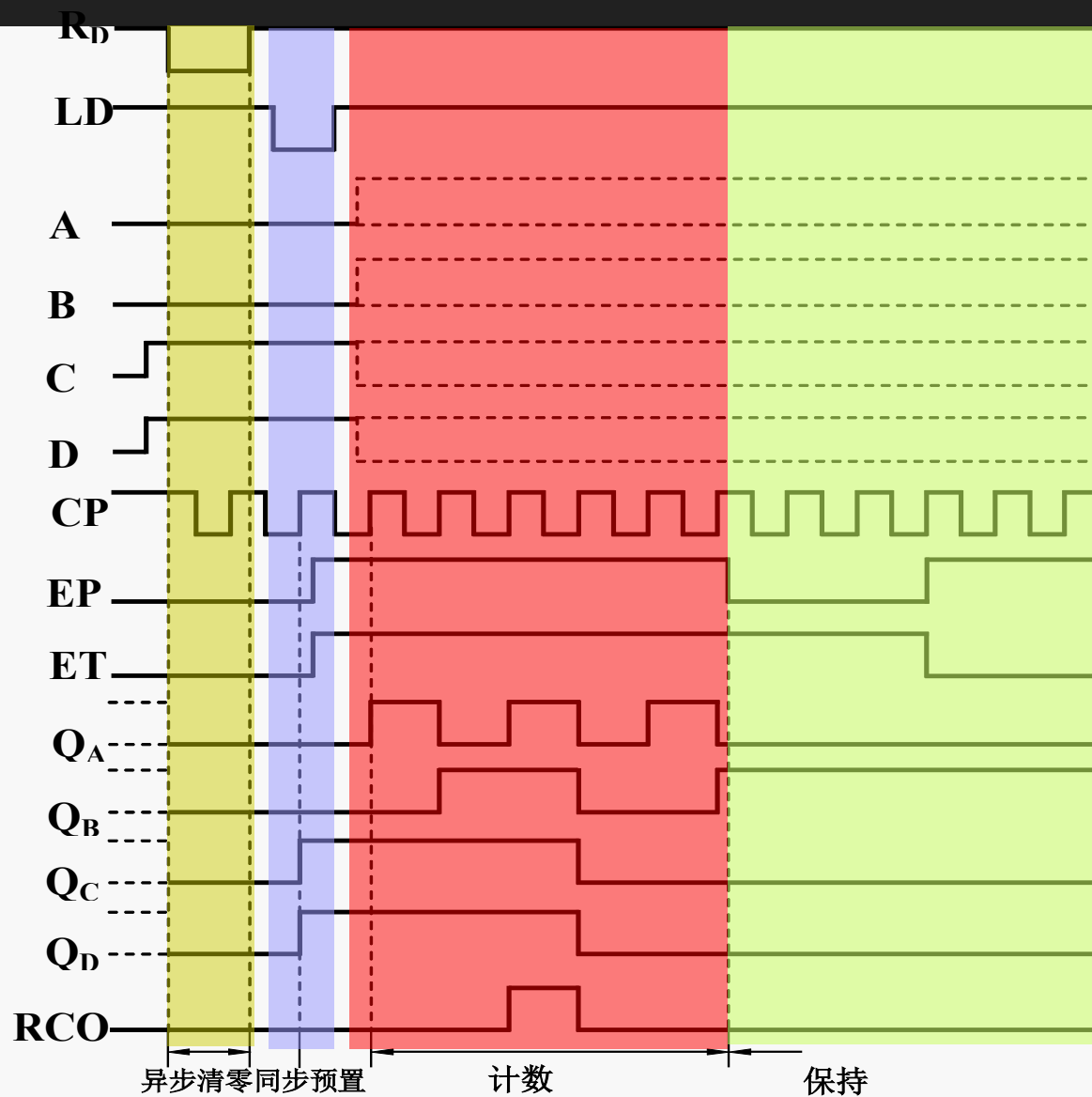
$$Q_D Q_C Q_B Q_A = 0000$$

$$Q_D Q_C Q_B Q_A = DCBA$$

$$Q_D Q_C Q_B Q_A = Q_D Q_C Q_B Q_A$$

CP 每来一个上升沿，计数器的数值增1

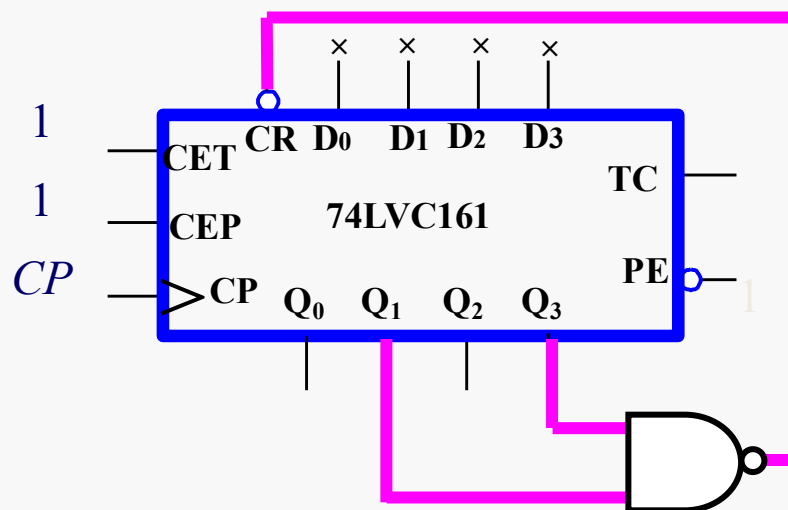
6.5 计数器——同步计数器 (74HC161)



6.5 计数器——同步计数器 (74HC161)

例 用74HC161构成十进制加计数器。

CP	Q_3	Q_2	Q_1	Q_0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
...			
9	1	0	0	1
10	1	0	1	0
...	...			
15	1	1	1	1



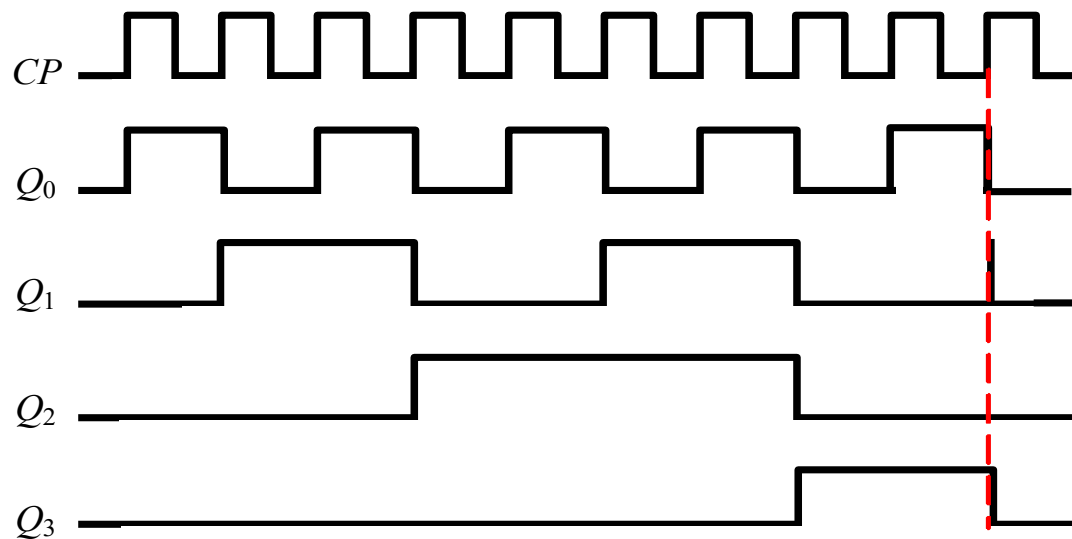
设法跳过 $16-10=6$ 个状态

(1) 反馈清零法：利用**异步置零**输入端

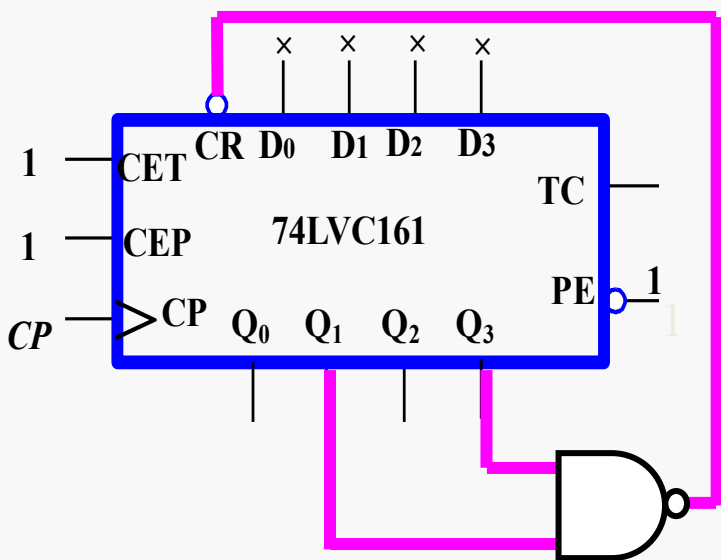
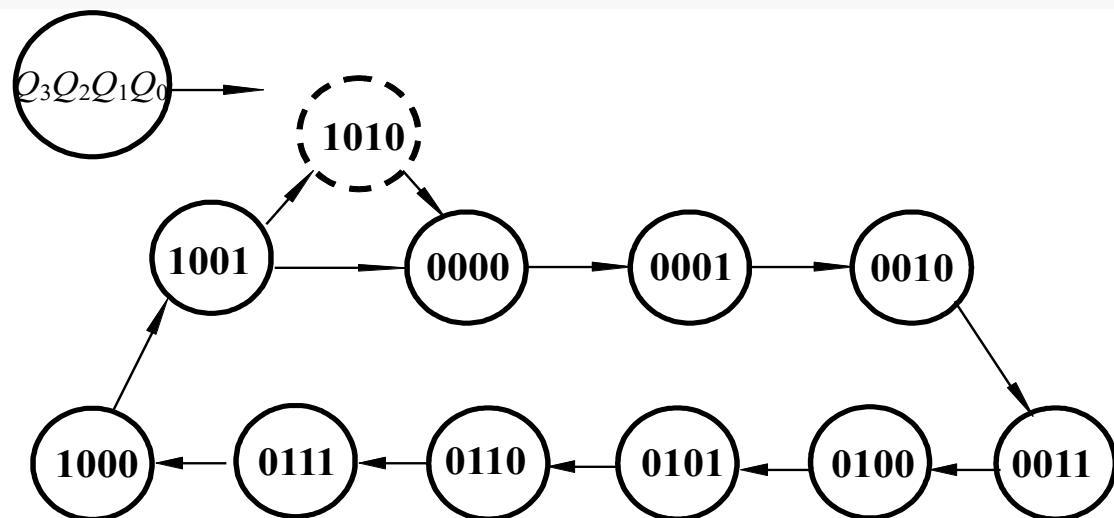
$$CR = \overline{Q_3 \cdot Q_1} = 0$$

6.5 计数器——同步计数器 (74HC161)

工作波形



状态图

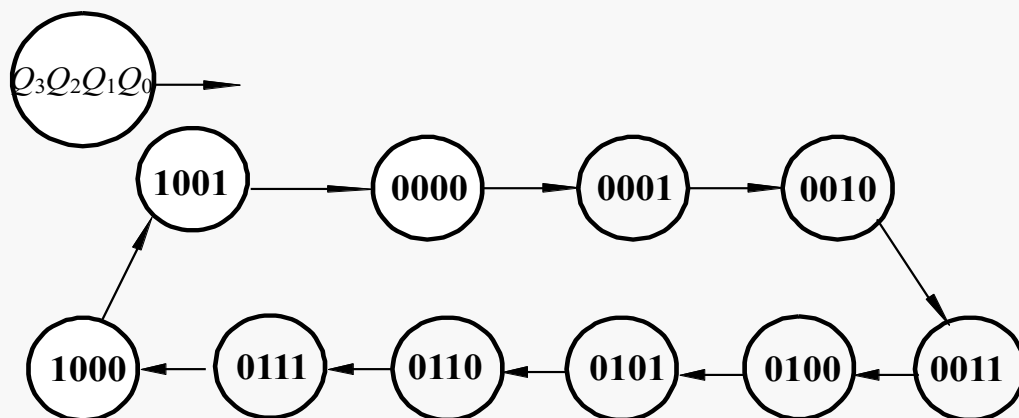
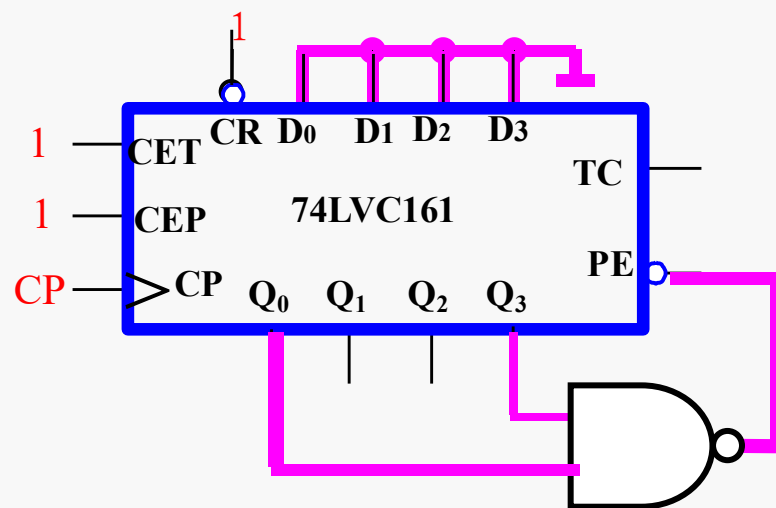


6.5 计数器——同步计数器 (74HC161)

(2) 反馈置数法：利用**同步置数**输入端

CP	Q_3	Q_2	Q_1	Q_0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
...			
8	1	0	0	0
9	1	0	0	1

$$PE = \overline{Q_3 Q_0} = 0$$

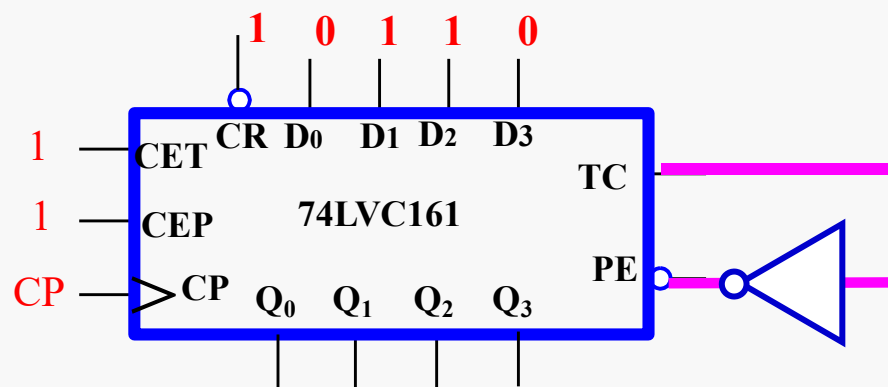


6.5 计数器——同步计数器 (74HC161)

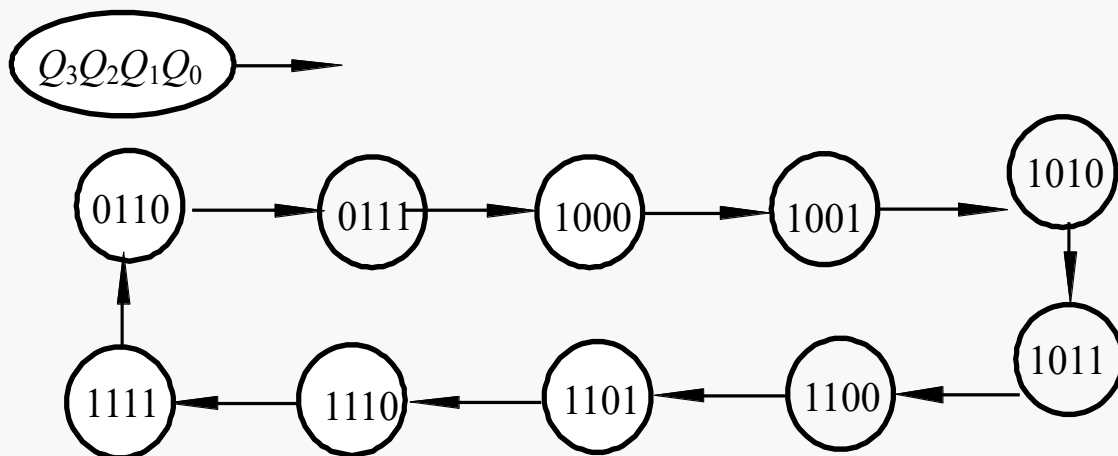
(3) 反馈置数法：利用后十种状态作为有效状态

$Q_3 \quad Q_2 \quad Q_1 \quad Q_0$

0	1	1	0
0	1	1	1
1	0	0	0
1	0	0	1
1	0	1	0
1	0	1	1
1	1	0	0
1	1	0	1
1	1	1	0
1	1	1	1



$$TC = CET \cdot Q_3 \cdot Q_2 \cdot Q_1 \cdot Q_0 = 1$$



6.5 计数器——同步计数器

如何用74HCT161组成256进制计数器？？？

设计思想

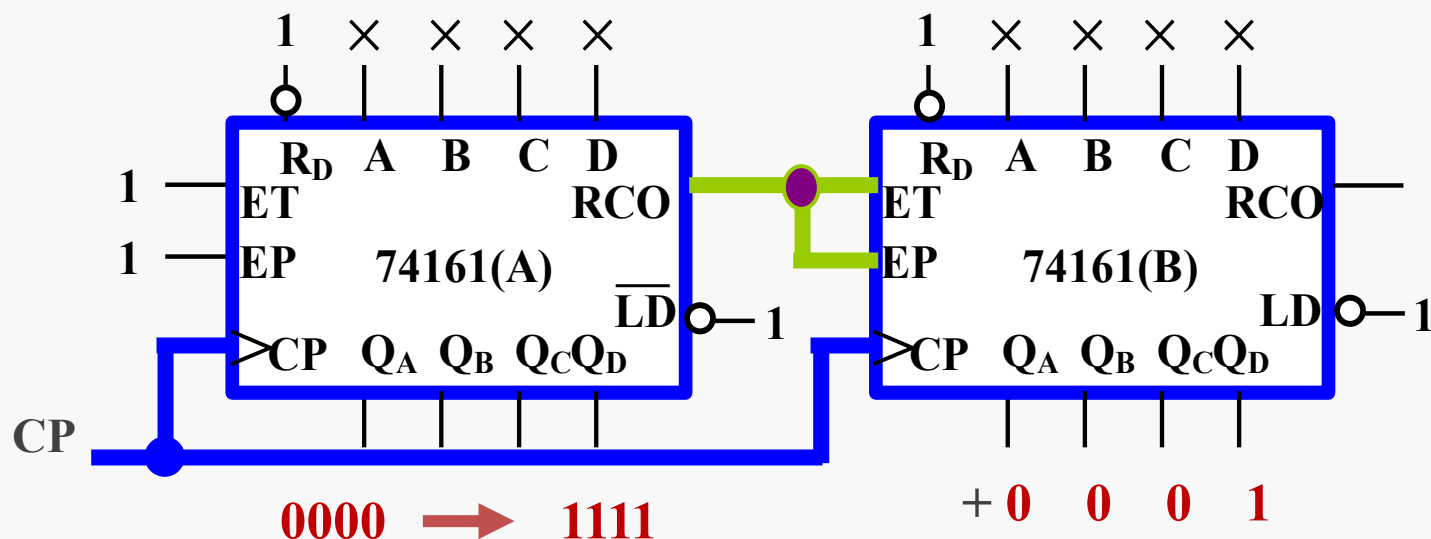
- 1片74161是16进制计数器， $256 = 16 \times 16$
- 所以256进制计数器至少需用两片74161构成

片与片之间的两种连接方式

- 并行进位**：两片74161共用时钟信号，低位片的进位信号作为高位片的使能信号
- 串行进位**：低位片的进位信号作为高位片的时钟信号

6.5 计数器——同步计数器

并行进位：低位片的进位作为高位片的使能

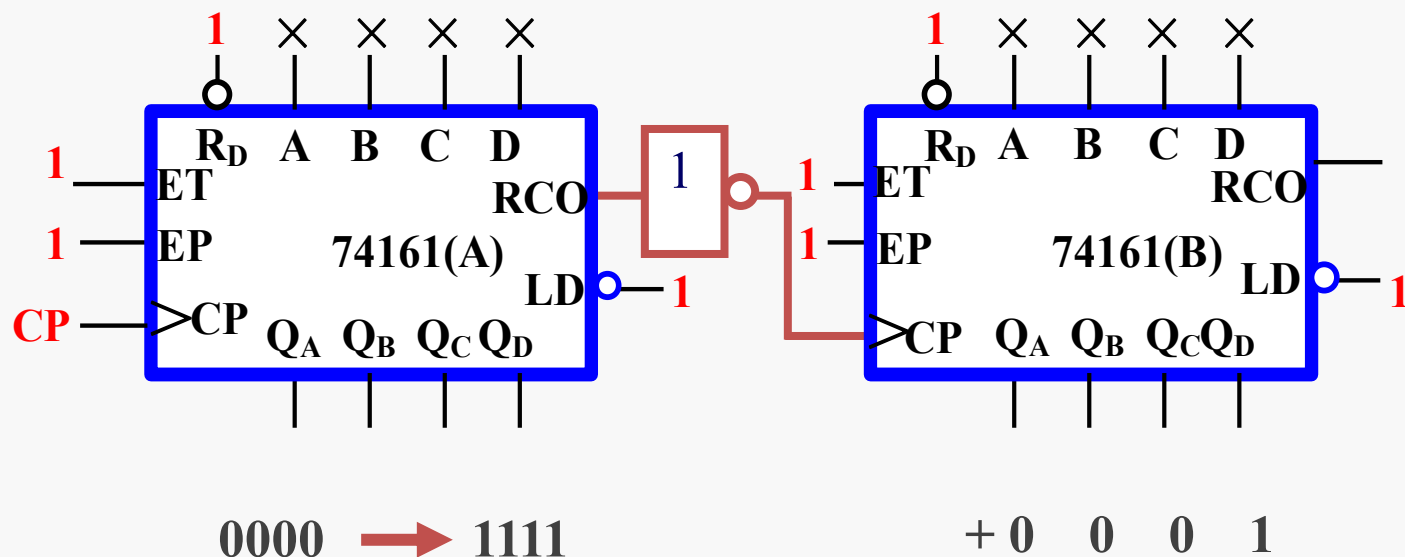


计数状态：0000 0000 ~ 1111 1111

$$N = 16 \times 16 = 256$$

6.5 计数器——同步计数器

串行进位：低位片的进位作为高位片的时钟

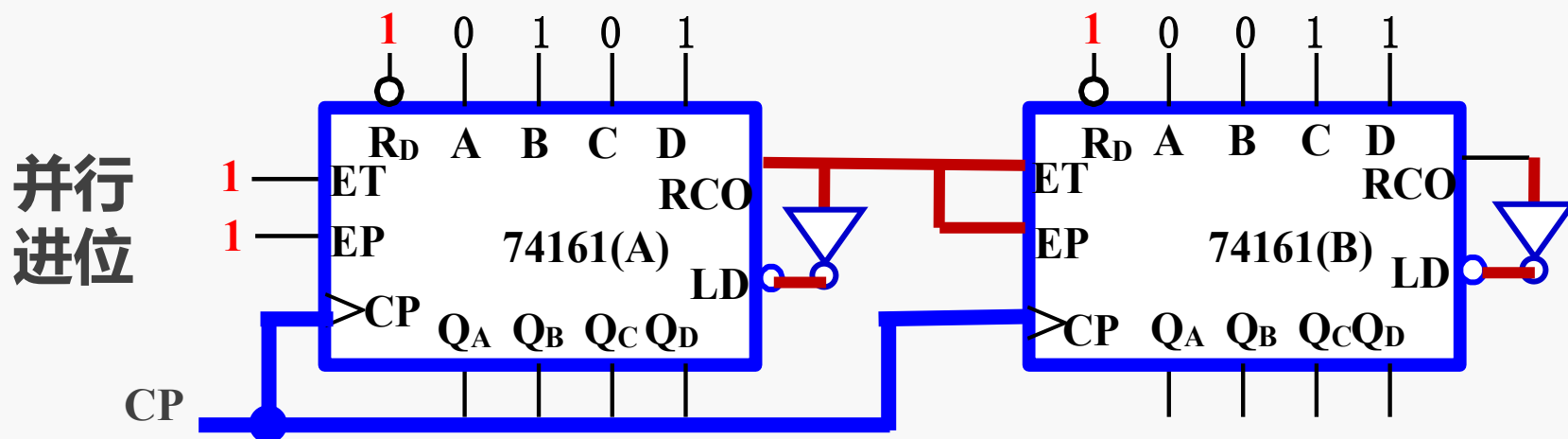


计数状态：0000 0000 ~ 1111 1111

为什么低RCO要**取反**后作为高位的CP？

6.5 计数器——同步计数器

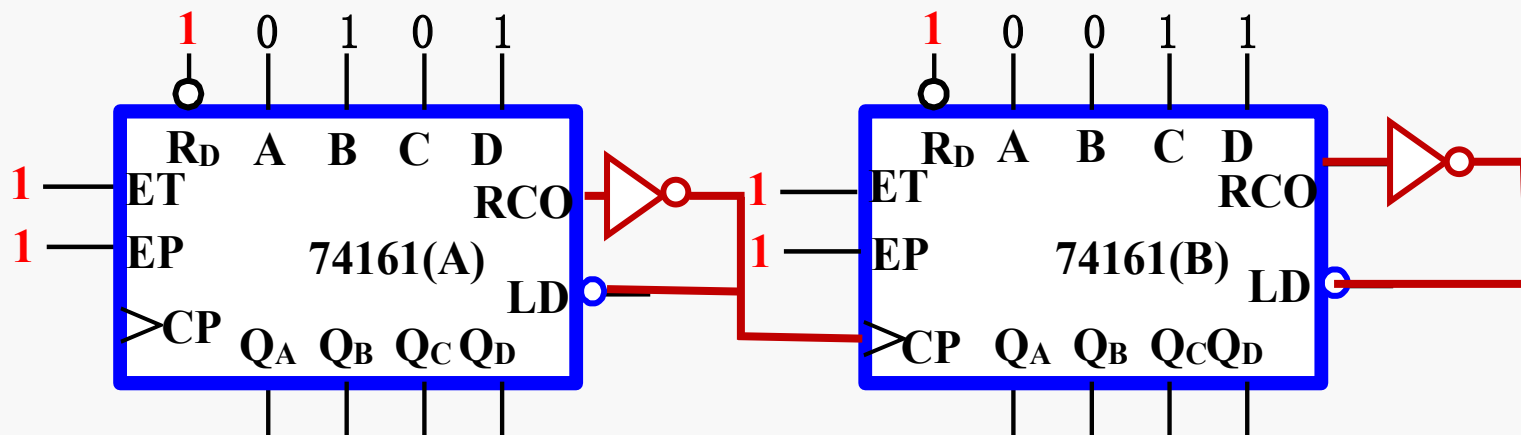
如何实现24进制计数器？



序号	低位	高位	序号	低位	高位
1	1010	1100	2	1011	1100
3	1100	1100	4	1101	1100
5	1110	1100	6	1111	1100
7	1010	1101	8	1011	1101
9	1100	1101	10	1101	1101

6.5 计数器——同步计数器

串行进位



如何实现19进制计数器 ???

6.5 计数器——同步计数器

什么是真正的扩展???

