

# 8 存储器

---

8.1、基本定义

8.2、ROM

8.3、RAM

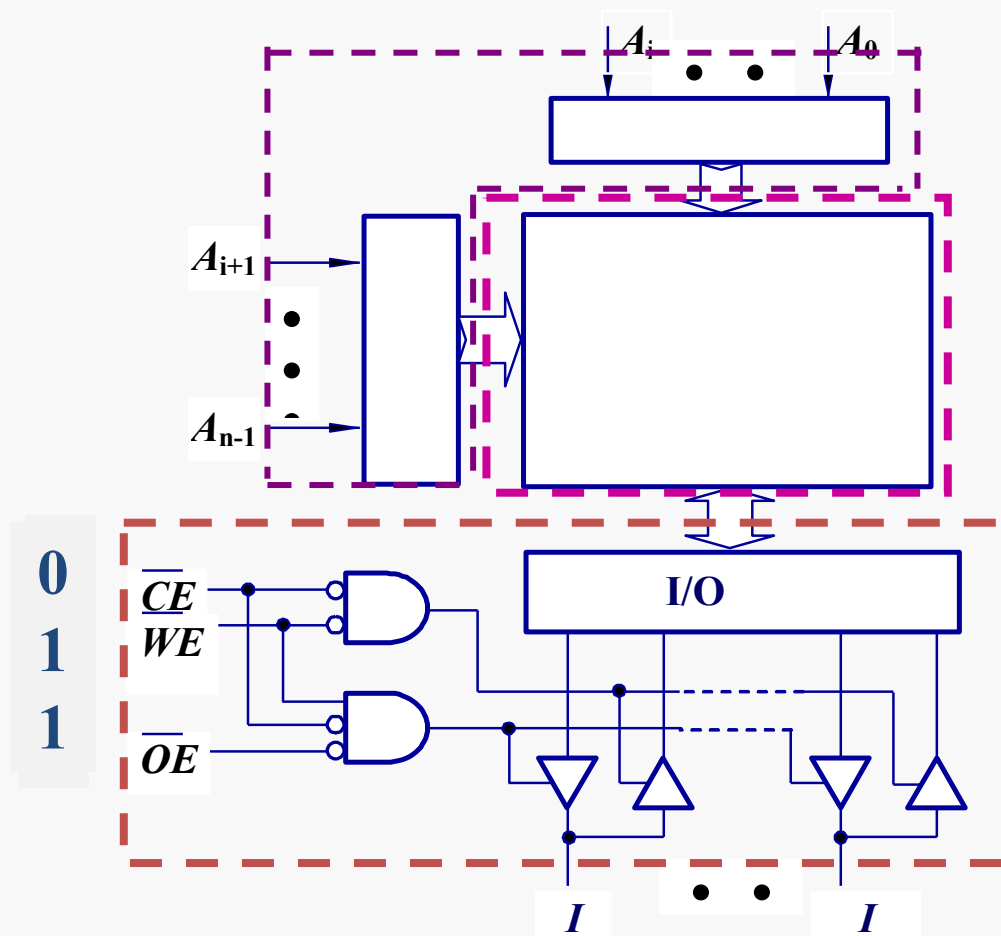
## 8.3 RAM——结构

$\overline{CE} \ \overline{WE} \ \overline{OE} = 100$   
保持

$\overline{CE} \ \overline{WE} \ \overline{OE} = 010$   
输出

$\overline{CE} \ \overline{WE} \ \overline{OE} = 00X$   
输入

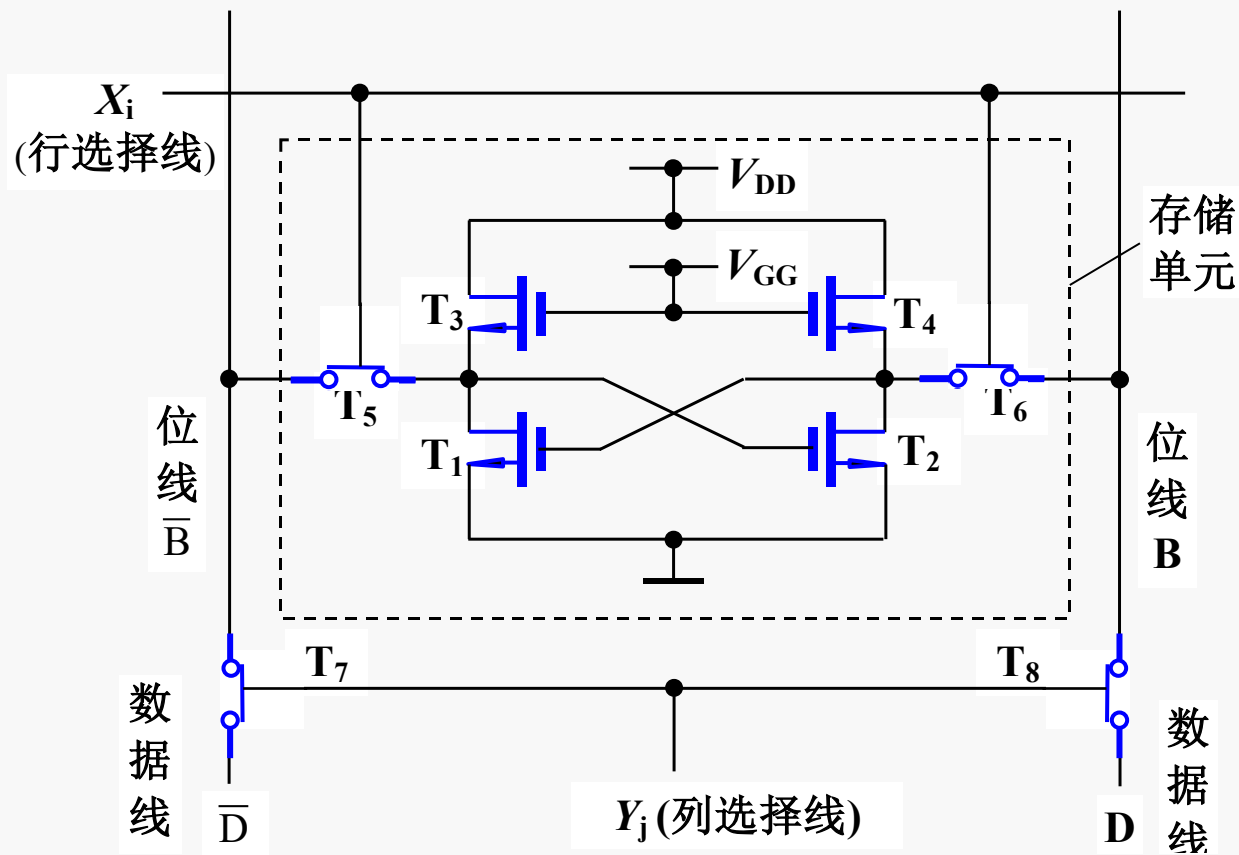
$\overline{CE} \ \overline{WE} \ \overline{OE} = 011$   
输出端呈高阻态



## 8.3 RAM——工作模式

工作模式	$\overline{CE}$	$\overline{WE}$	$\overline{OE}$	$I/O$
保持(低功耗)	1	X	X	高阻
读	0	1	0	数据输出
写	0	0	X	数据输入
输出无效	0	1	1	高阻

## 8.3 RAM——SRAM



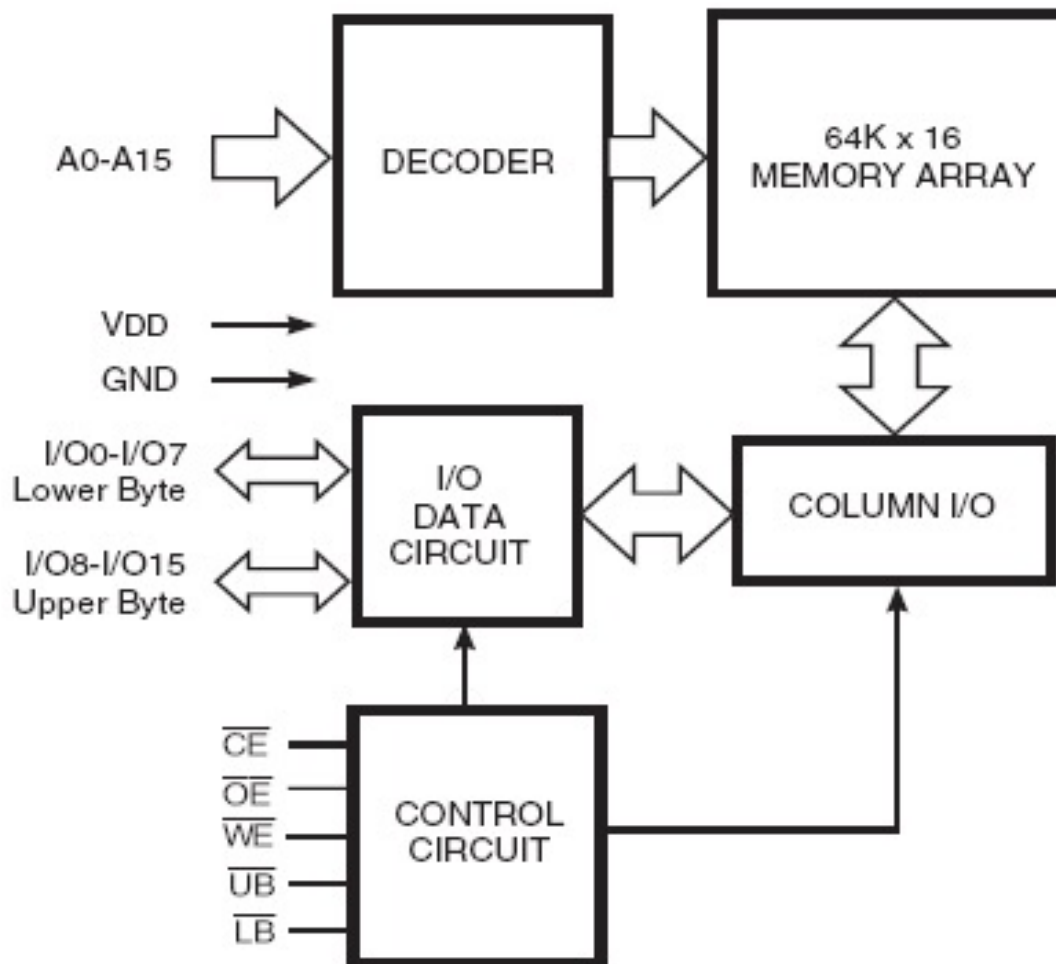
$X_i = 1$

$T_5$ 、 $T_6$  导通  
触发器与位线接通

$Y_j = 1$

$T_7$ 、 $T_8$  均导通  
触发器的输出与  
数据线接通，该  
单元通过数据线  
读取数据。

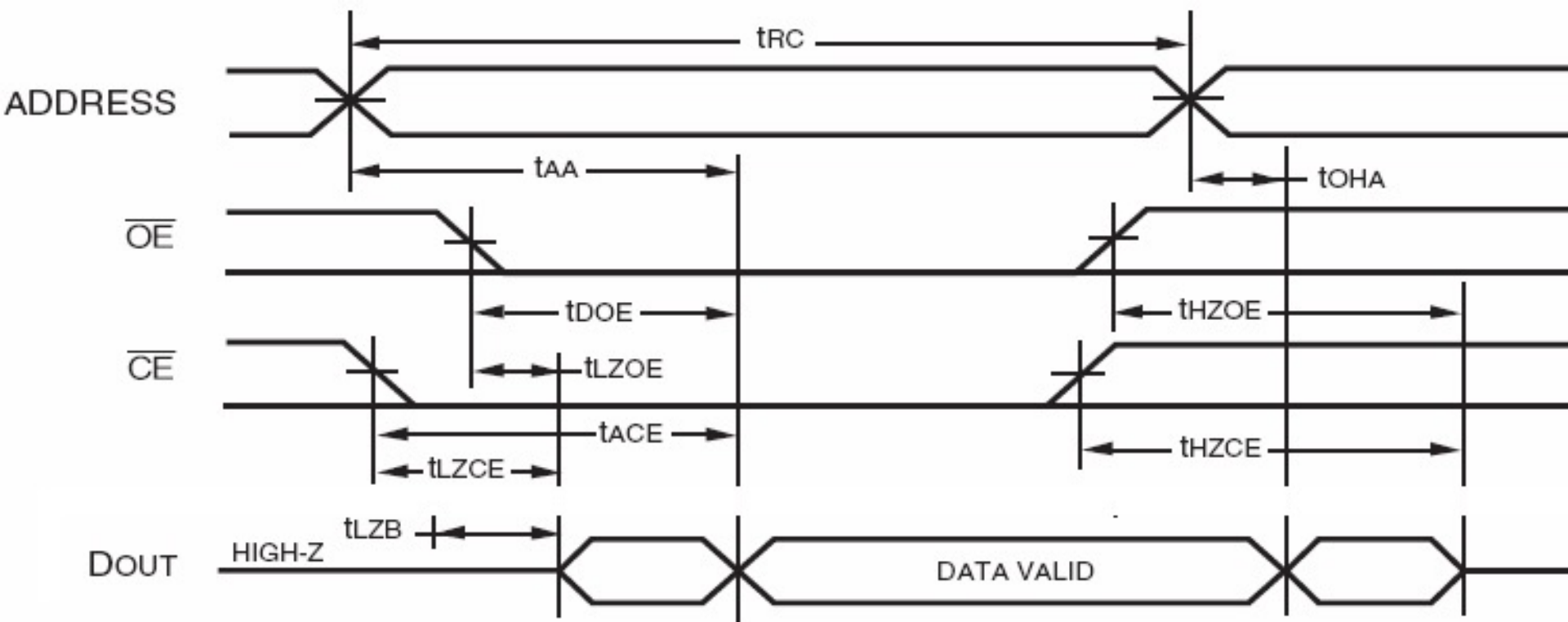
## 8.3 RAM——SRAM集成电路



**IS64WV6416BLL**  
**64K × 16位SRAM**

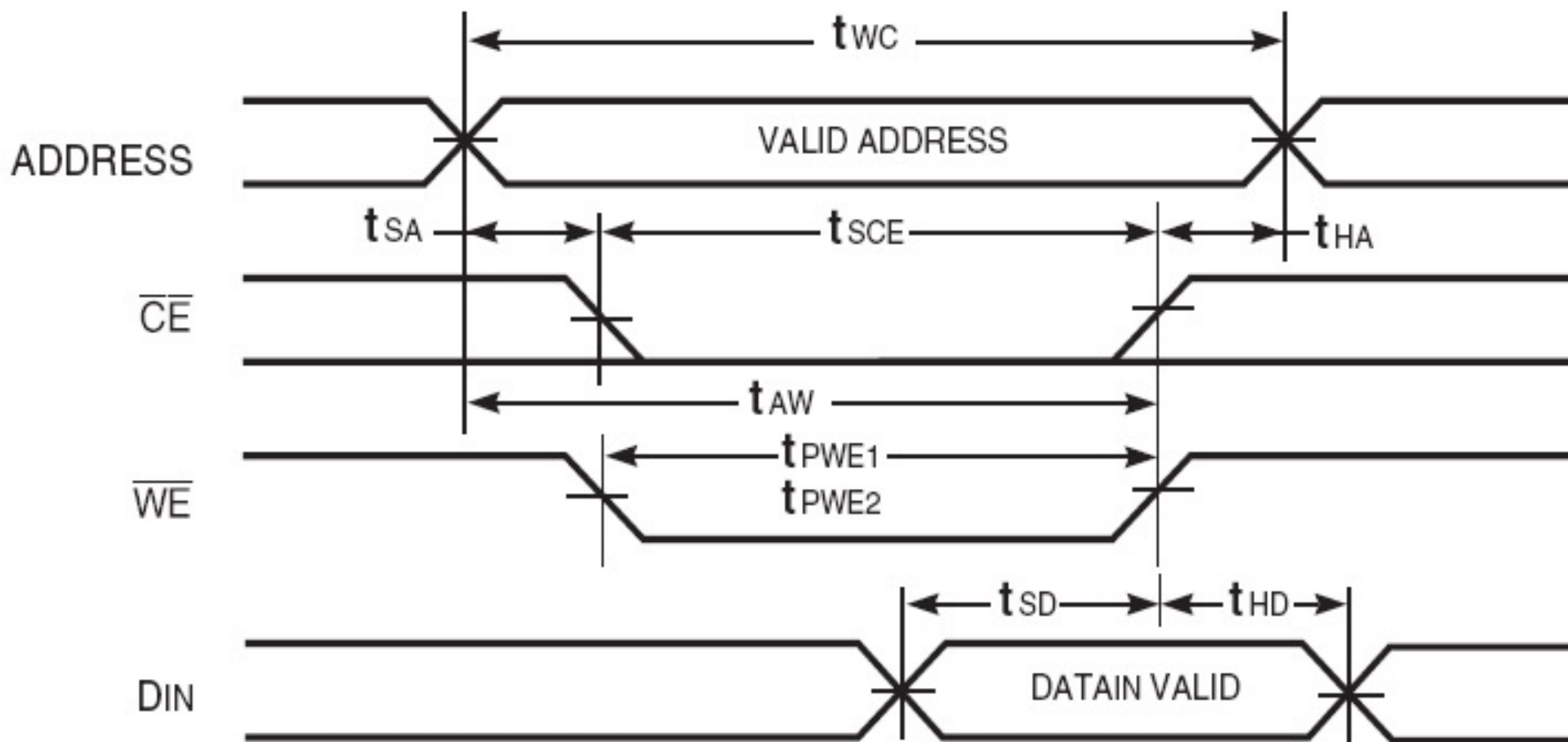
## 8.3 RAM——SRAM集成电路

### 读操作时序图



## 8.3 RAM——SRAM集成电路

### 写操作时序图



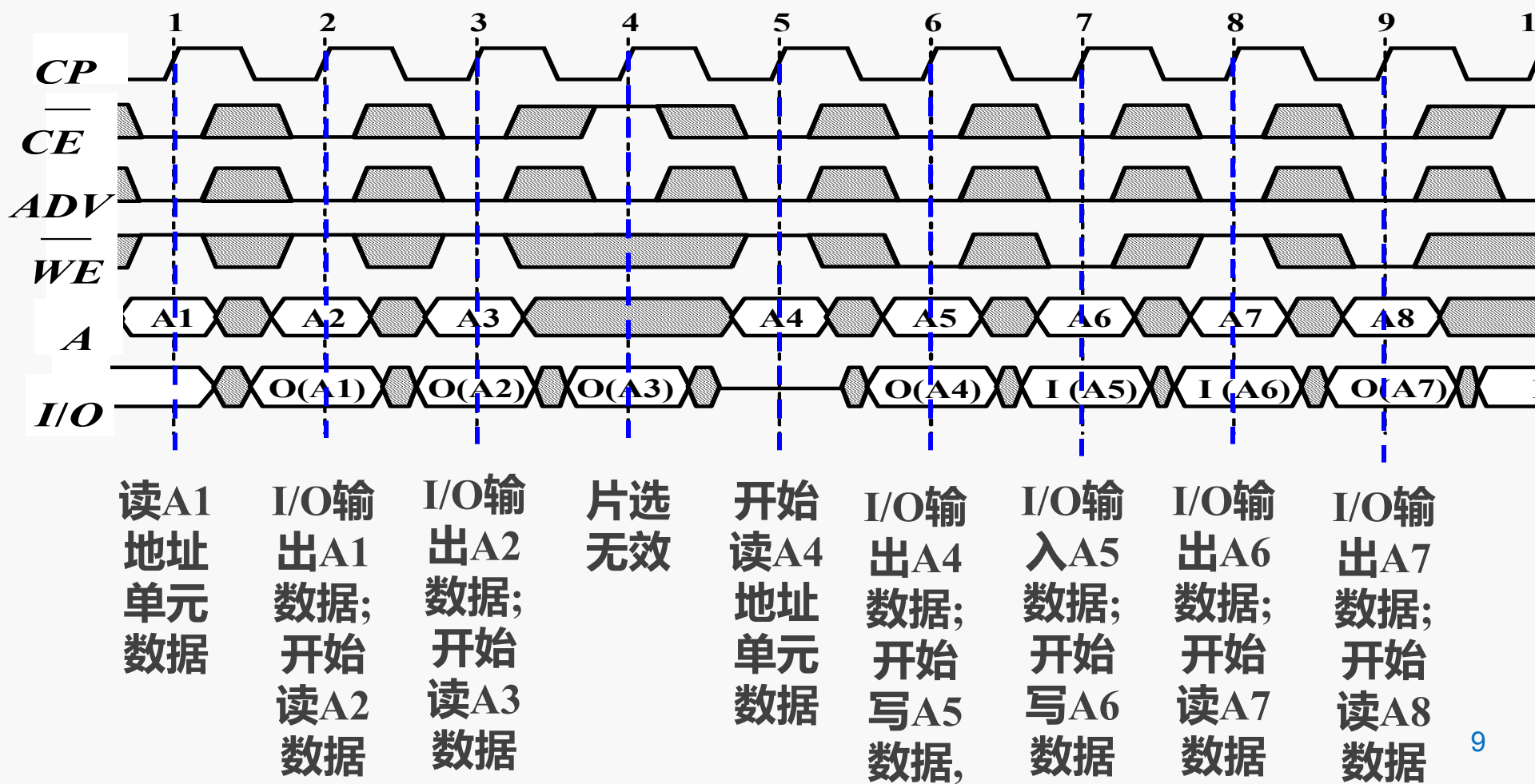




## ADV=0:普通模式读写

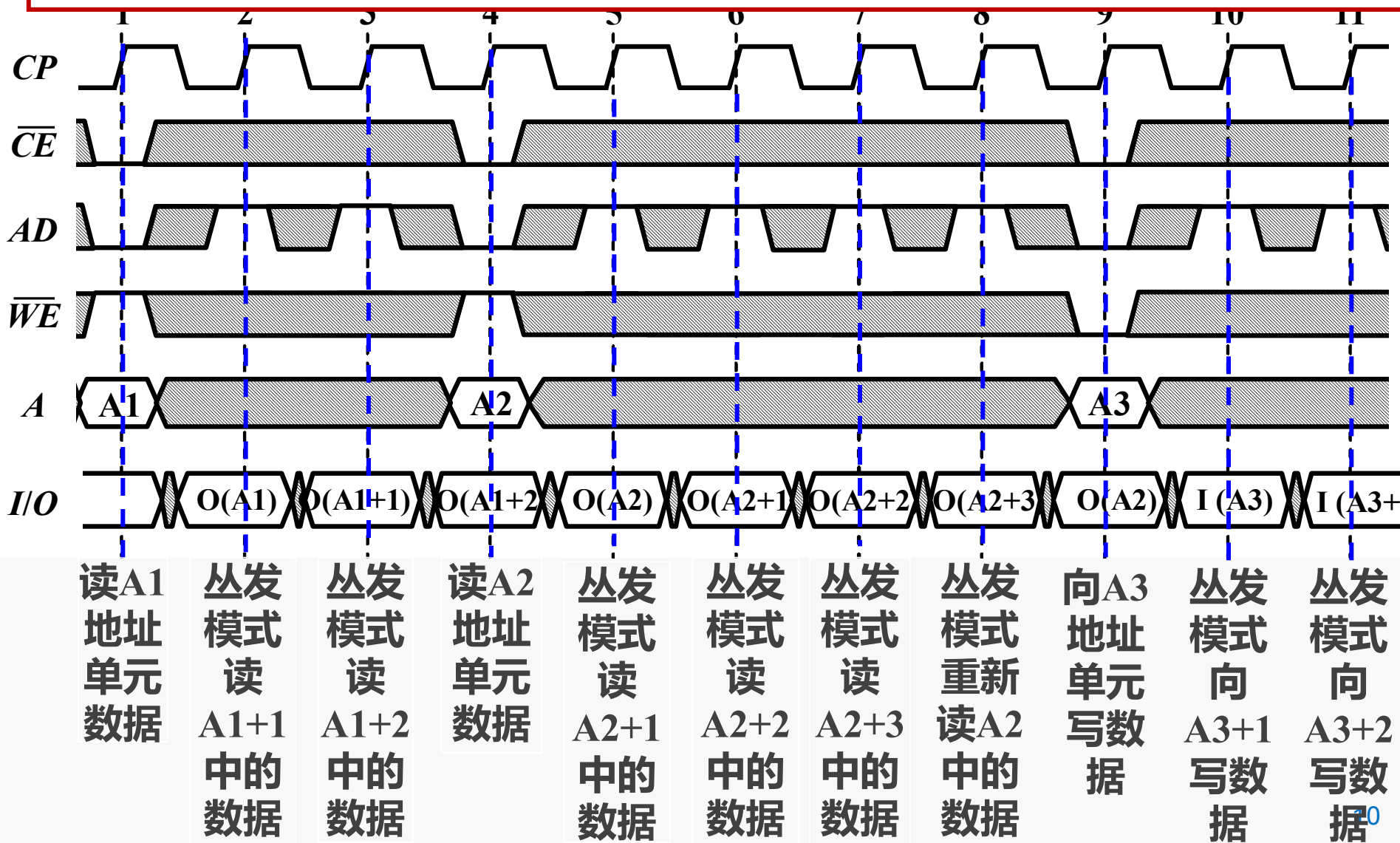
$\overline{WE}$  0:写操作       $\overline{WE}$  1:读操作

普通读写模式：在每个时钟有效沿锁存输入信号，在一个时钟周期内，由内部电路完成数据的读(写)操作。

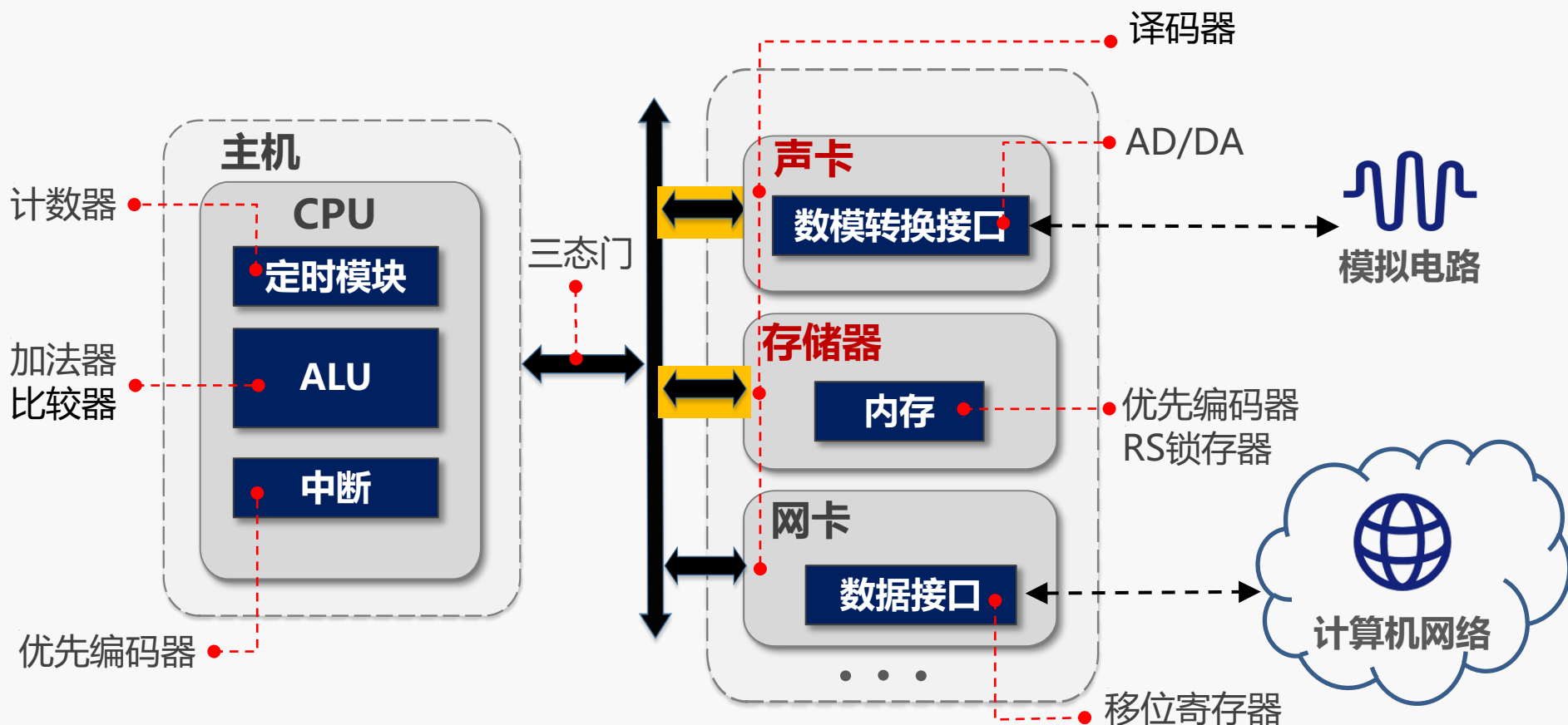


## ADV=1:丛发模式读写

**丛发读写模式：**在有新地址输入后，自动产生后续地址进行读写操作，地址总线让出控制权。



## 8.3 SSRAM



**丛发模式：**在计算机的DMA系统之中，使计算机从单调的数据存取任务中解脱出来，从而提高了整个系统的处理速度。

## 8.3 RAM——FIFO与双口RAM

### FIFO：先进先出

- (1) 没有地址总线，两组数据总线
- (2) 读、写分别在两套数据总线进行

### 双口RAM

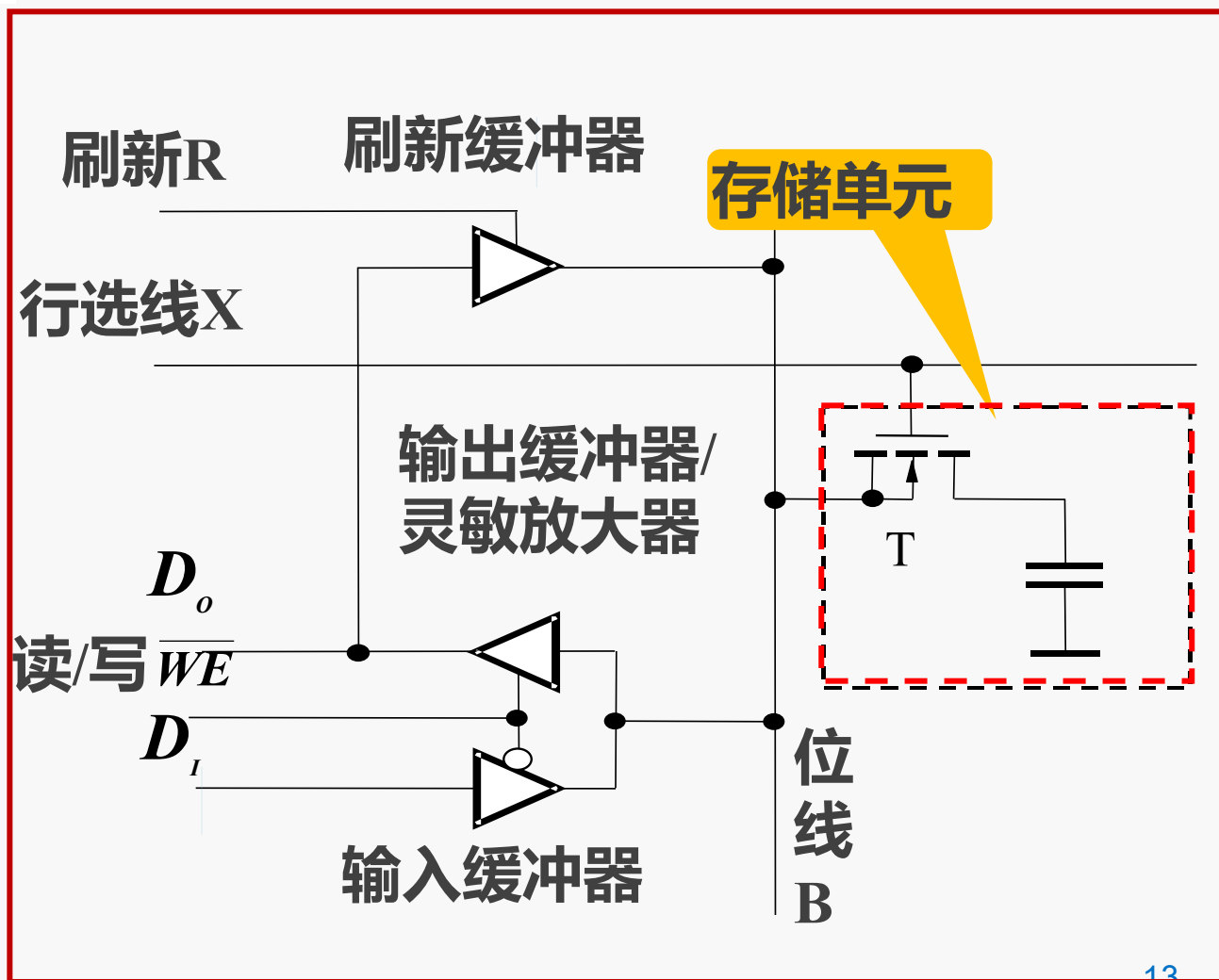
- (1) 读写分别有一组地址和数据总线
- (2) 读写可同时、异步进行

## 8.3 RAM——DRAM

写操作:  $X=1$     $\overline{WE}=0$    T导通, 电容器C与位线B连通

输入缓冲器被选通,  
数据 $D_I$ 经缓冲器和  
位线写入存储单元

如果 $D_I$ 为1, 则向  
电容器充电, 反之  
电容器放电。未选  
通的缓冲器呈高阻  
态。

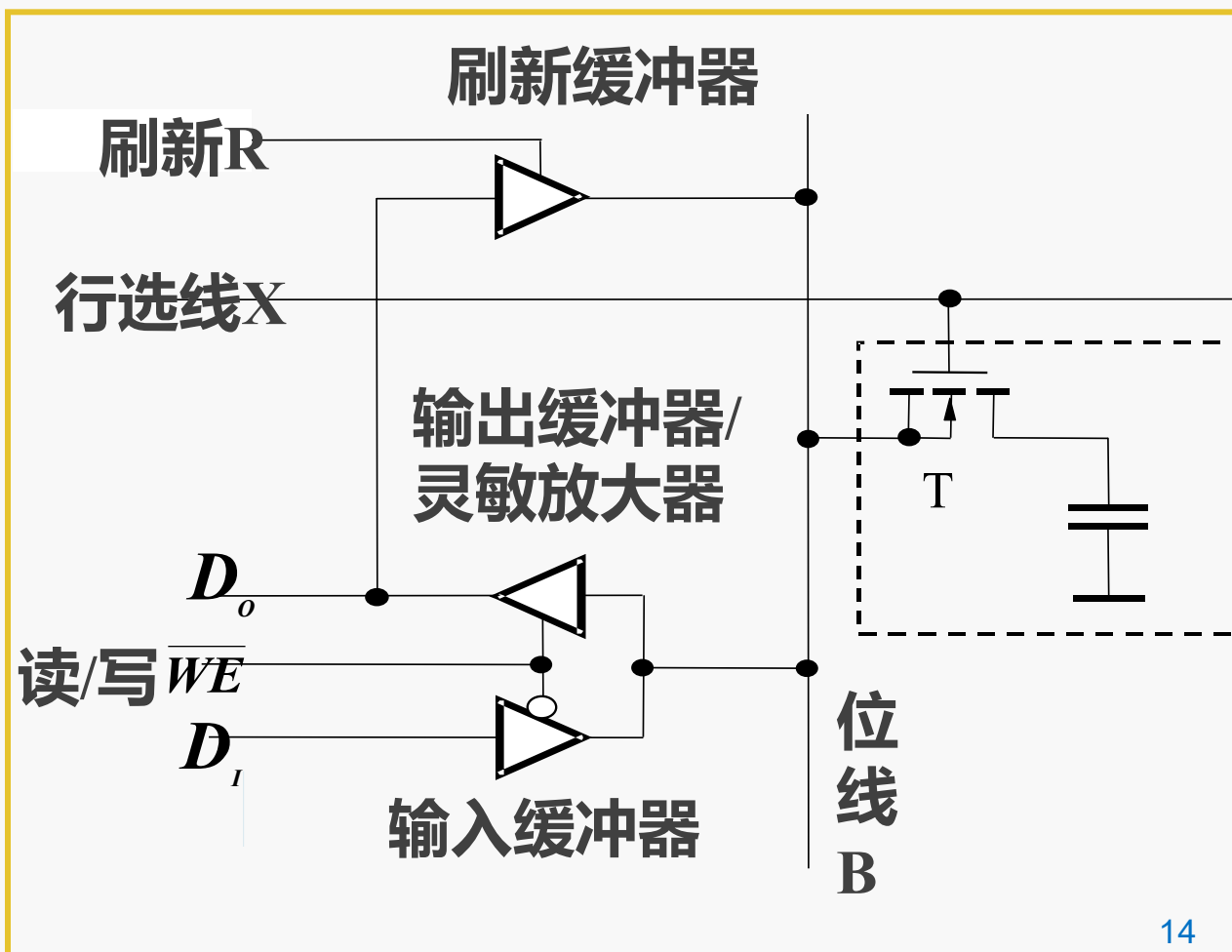


## 8.3 RAM——DRAM

读操作:  $X=1$     $\overline{WE}=1$    T导通, 电容器C与位线B连通

输出缓冲器/灵敏放大器被选通, C中存储的数据通过位线和缓冲器输出

每次读出后, 必须及时对读出单元刷新, 即此时刷新控制R也为高电平, 则读出的数据又经刷新缓冲器和位线对电容器C进行刷新。



## 8.3 RAM——DRAM的操作

- 读、写操作

- 行地址和列地址分时送入

- 页模式操作

- 行地址不变，仅改变列地址，只对一页的数据进行存取

- 刷新操作

- 对行地址指定的所有存储单元进行刷新，一般10us左右刷新一次

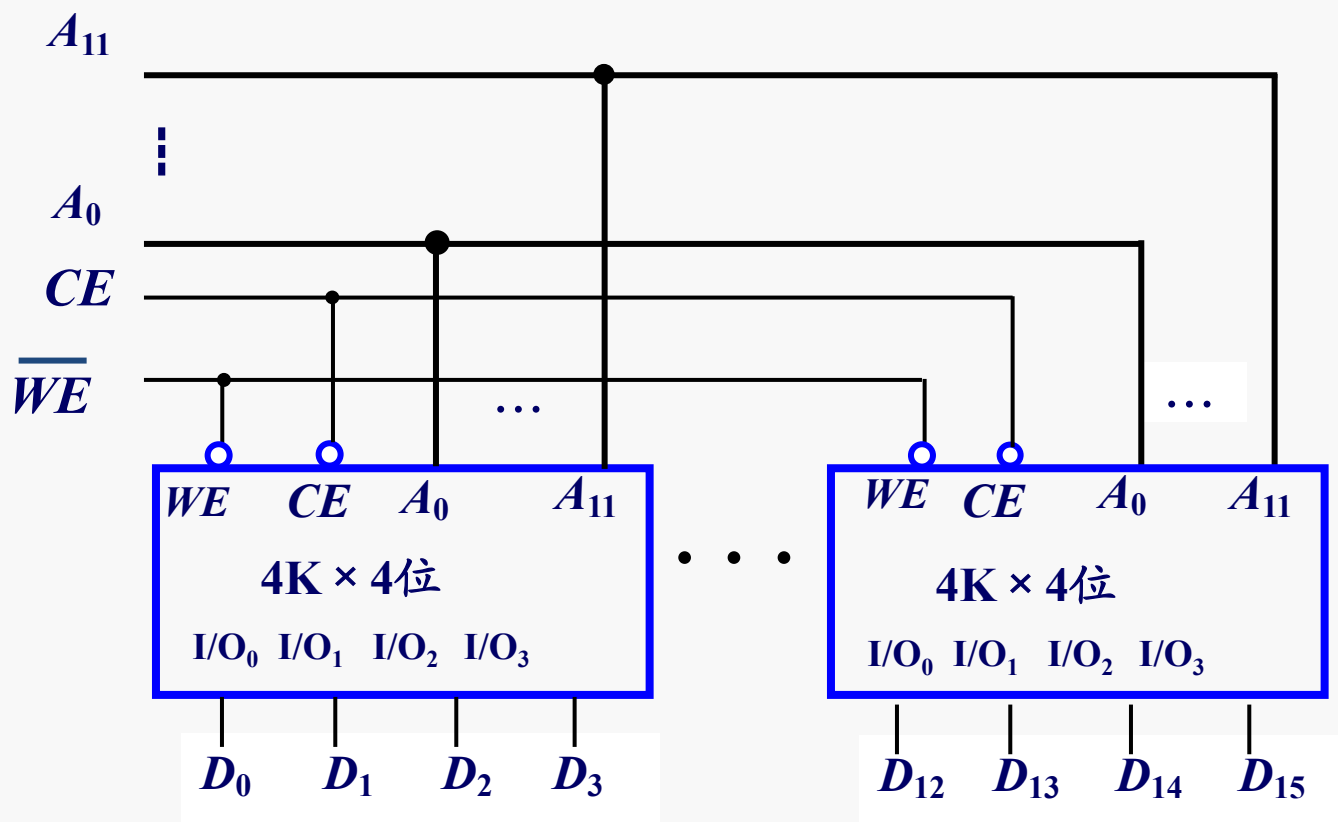
## 8.3 RAM——DRAM的操作

- **SDR(Single Data Ratio)**：利用时钟的上升沿访问数据，采用时钟频率进行命名，如PC133，表示时钟频率为133MHz
- **DDR、DDR2和DDR3(Double Data Ratio)**：时钟的上升和下降沿均可访问数据，利用读写速率进行命名，如DDR3-1800，即访问速率为1800MHz，而时钟频率为 $1800/2 = 900\text{MHz}$ 。
- **QDR (Quad Data Ratio)**：在时钟上升、下降沿以及高低电平时，都可以传输数据，从而达到4倍的数据传输速率。



## 8.3 RAM——扩展

**字长（位数）的扩展：**用 $4K \times 4$ 位的芯片组成 $4K \times 16$ 位的存储器。



- 1、如果地址线接错，有问题吗？
- 2、如果数据线接错，有问题吗？

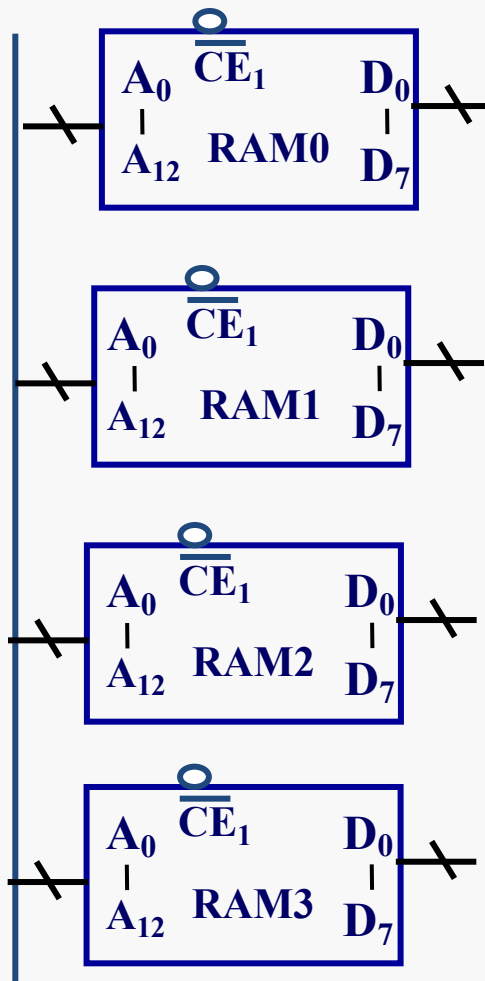
## 8.3 RAM——扩展

**字数的扩展：**用8K×8位的芯片组成32K×8位的存储器

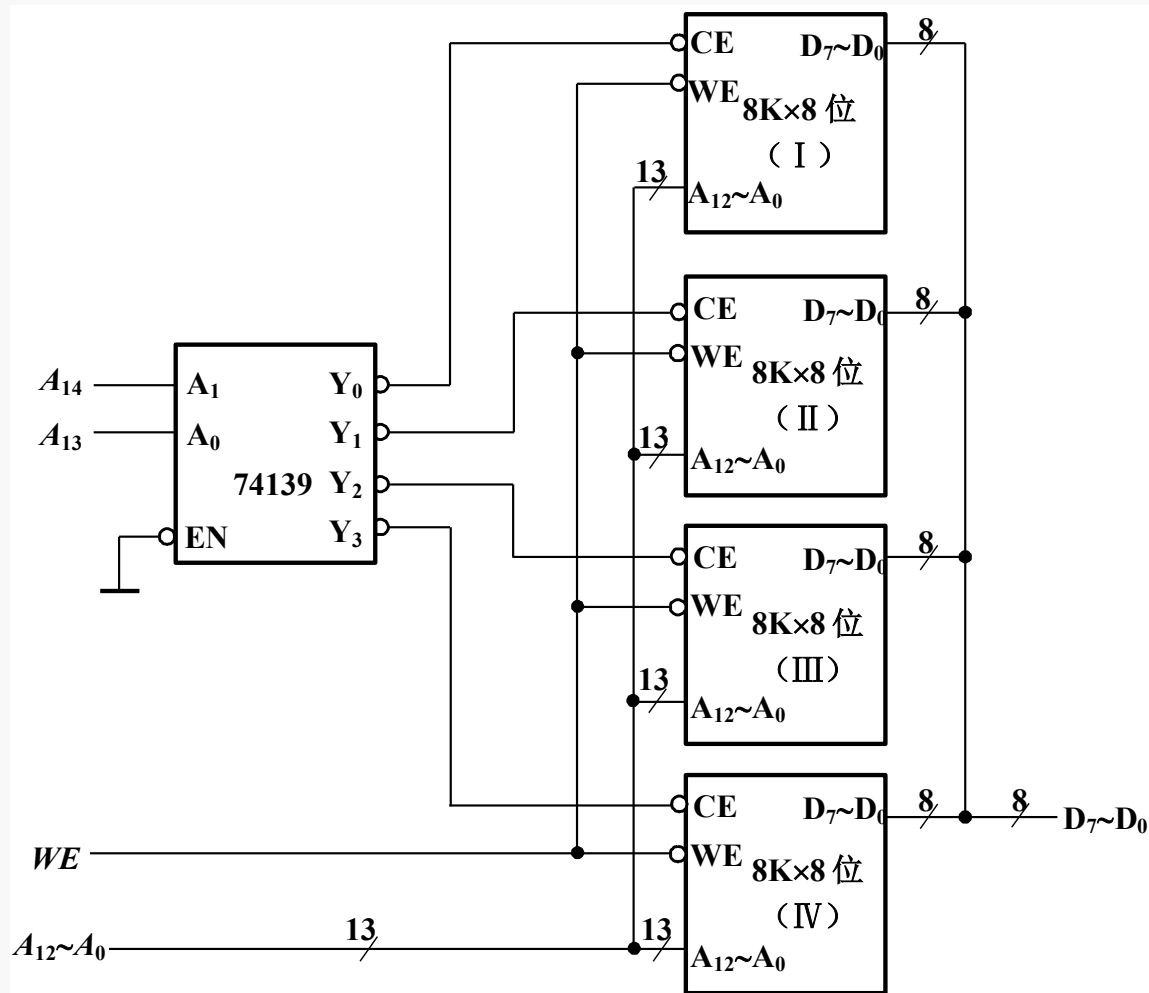
芯片数=4

地址线数=15

$A_0 \sim A_{14}$



## 8.3 RAM——扩展



利用译码器，产生各存储器的片选