

3 逻辑门电路

3.1、逻辑门电路概述及电气特性

3.2、CMOS逻辑门电路（三态门、OD门）

3.3、TTL逻辑门电路

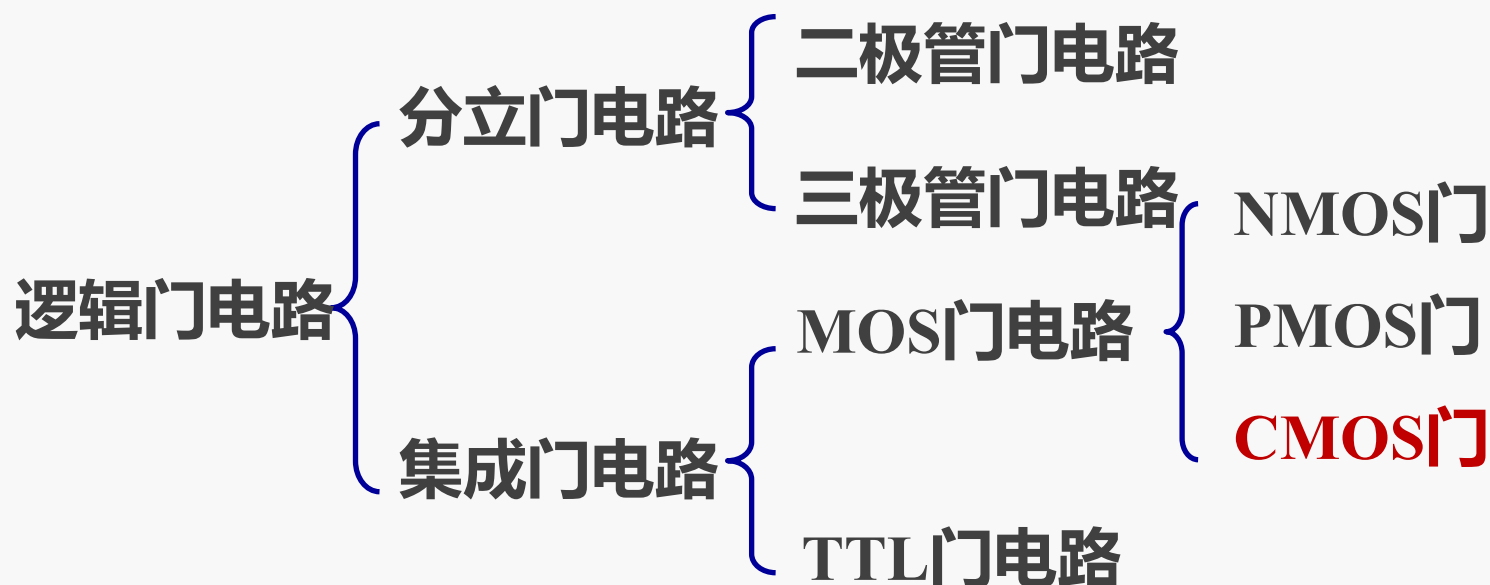
3.4*、BICMOS逻辑门电路

3.5、CMOS与TTL电路之间的接口问题

3.1 逻辑门电路概述及电气特性

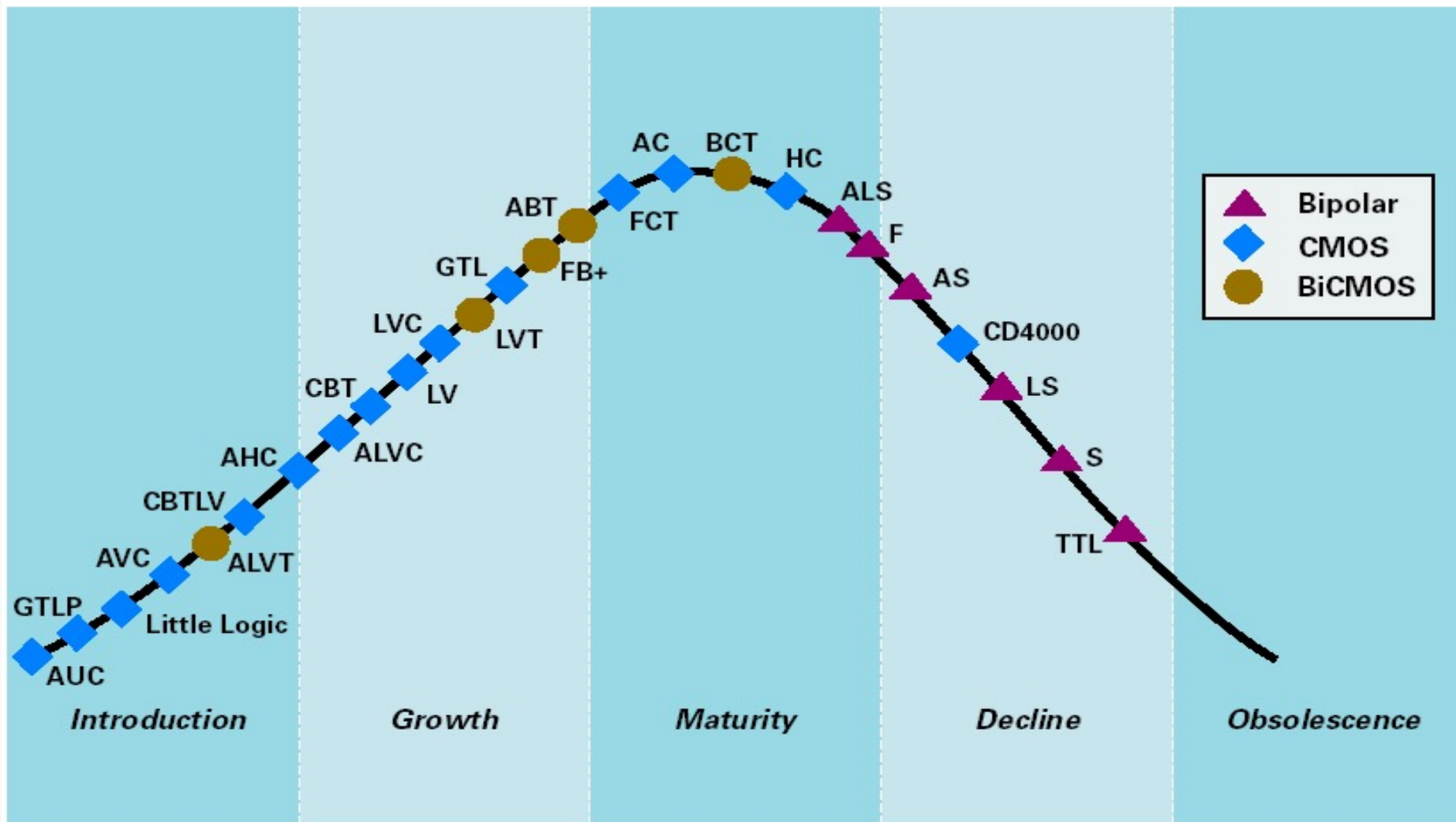
逻辑门：实现基本逻辑运算和复合逻辑运算的单元电路。

逻辑门电路的分类



3.1 逻辑门电路概述及电气特性

PRODUCT LIFE CYCLE



3.1 逻辑门电路概述及电气特性

[HSTL](#) High-Speed Transceiver Logic

[FCT](#) Fast CMOS Technology

[LV](#) Low-Voltage CMOS Technology

[LVC](#) Low-Voltage CMOS Technology

[AVC](#) Advanced Very-Low-Voltage CMOS Logic

[ALVC](#) Advanced Low-Voltage CMOS Technology

[ALB](#) Advanced Low-Voltage BiCMOS

[LVT](#) Low-Voltage BiCMOS Technology

[ALVT](#) Advanced Low-Voltage BiCMOS Technology

[AUC](#) 1.8V Advanced Ultra-Low-Voltage CMOS Logic

[ALS](#) Advanced Low-Power Schottky Logic

[HC](#) High-Speed CMOS Logic

[HCT](#) High-Speed CMOS Logic

[AHC](#) Advanced High-Speed CMOS

[AHCT](#) Advanced High-Speed CMOS Technology

[AC](#) Advanced CMOS Logic

[ACT](#) Advanced CMOS Logic

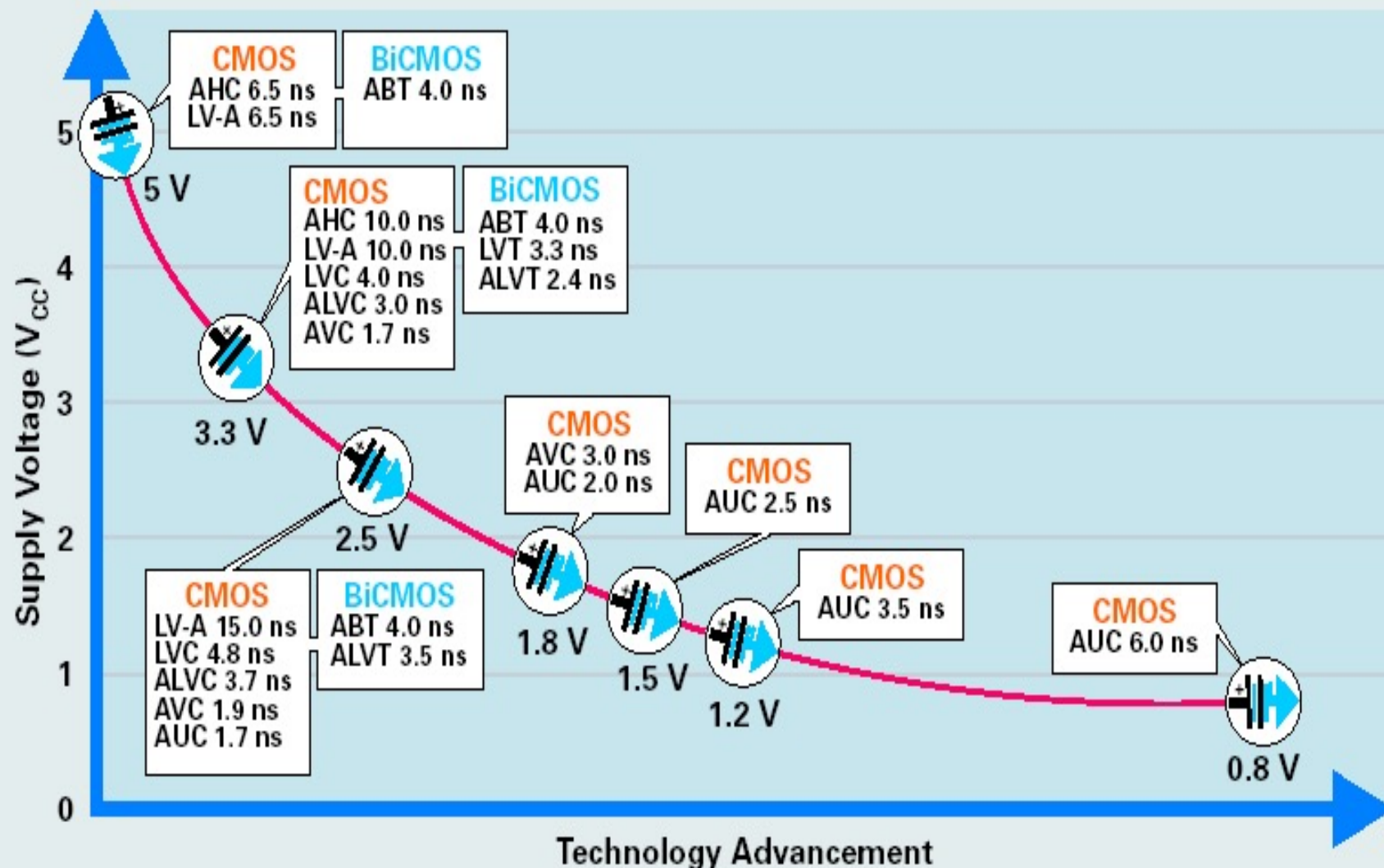
[BCT](#) BiCMOS Technology

[ABT](#) Advanced BiCMOS Technology

[ABTE](#) Advanced BiCMOS Technology/Enhanced Transceiver

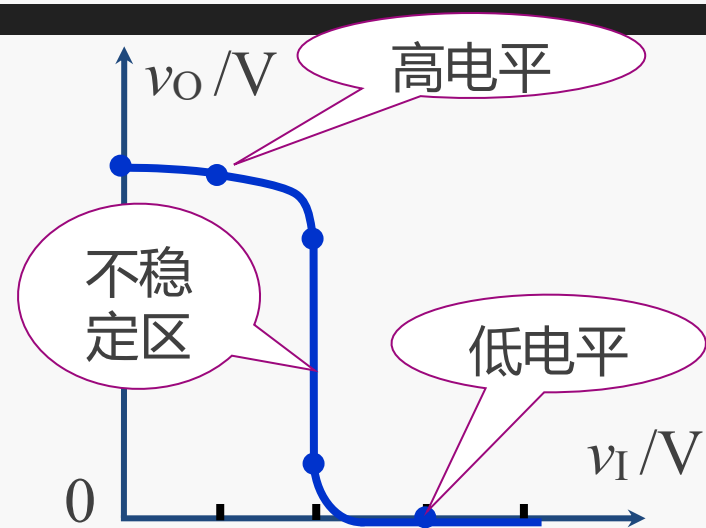
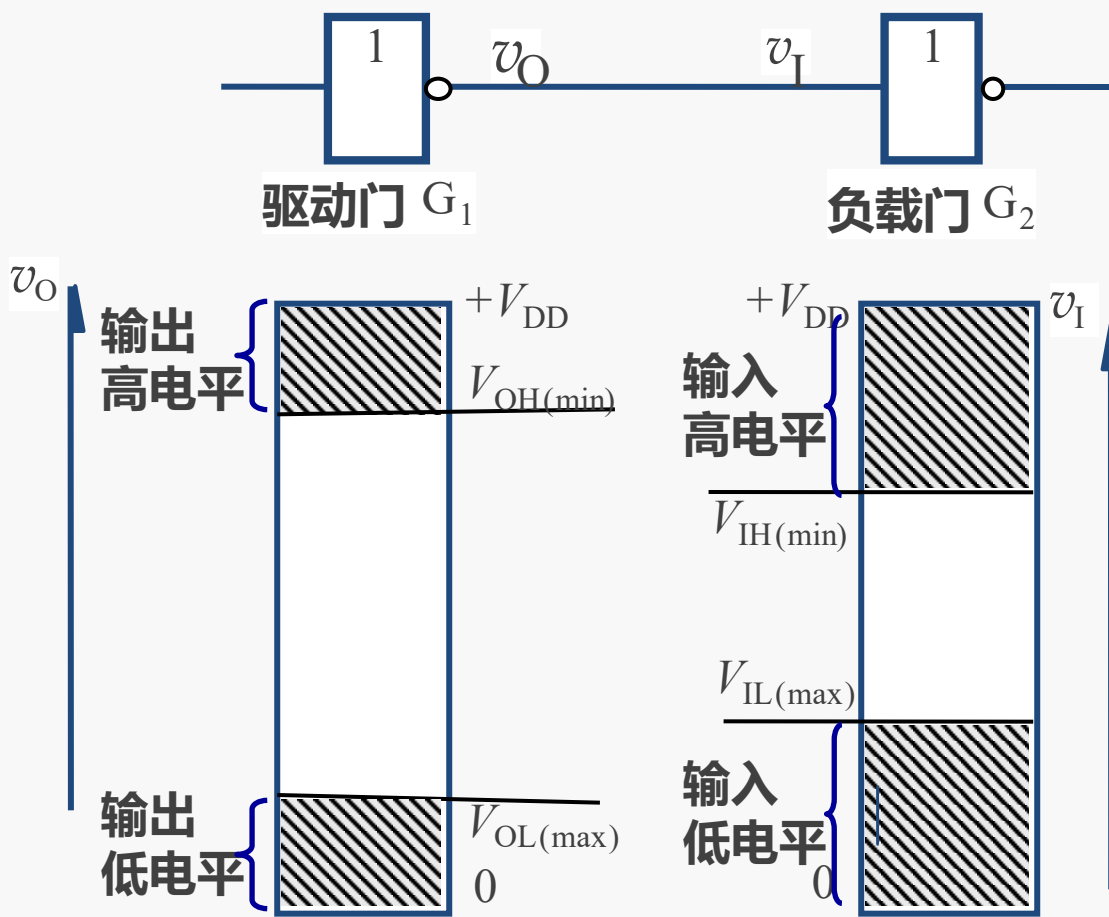
3.1 逻辑门电路概述及电气特性

LOGIC MIGRATION



3.1 逻辑门电路概述及电气特性

1、输入和输出的高、低电平



输入低电平的上限值

$$V_{IL(max)}$$

输入高电平的下限值

$$V_{IL(min)}$$

输出高电平的下限值

$$V_{OH(min)}$$

输出低电平的上限值

$$V_{OH(max)}$$

3.1 逻辑门电路概述及电气特性

2、噪声容限：在输出电平不变的条件下，输入电平允许波动的范围，表示门电路的抗干扰能力

负载门输入高电平时的噪声容限：

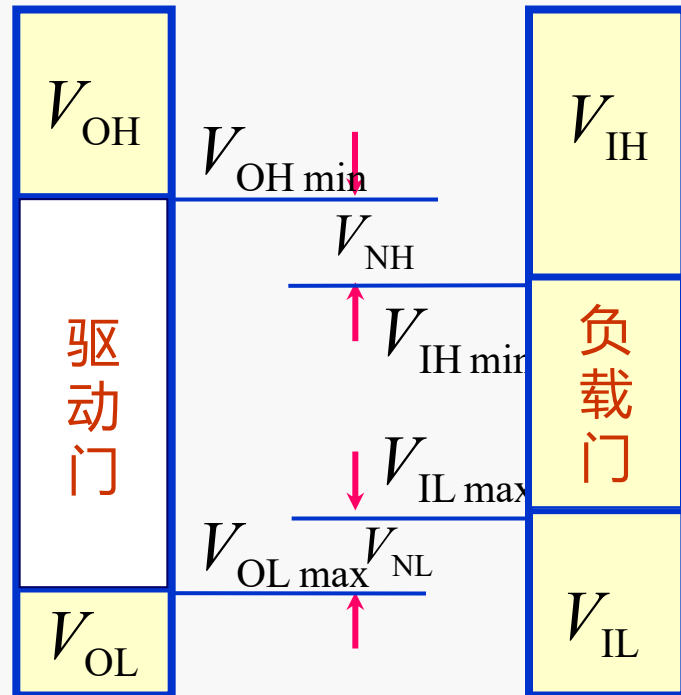
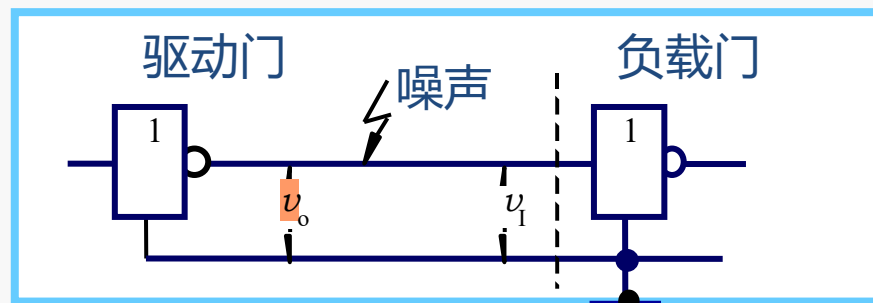
V_{NH} —当前级门输出高电平的最小值时允许负向噪声电压的最大值。

$$V_{NH} = V_{OH(min)} - V_{IH(min)}$$

负载门输入低电平时的噪声容限：

V_{NL} —当前级门输出低电平的最大值时允许正向噪声电压的最大值

$$V_{NL} = V_{IL(max)} - V_{OL(max)}$$

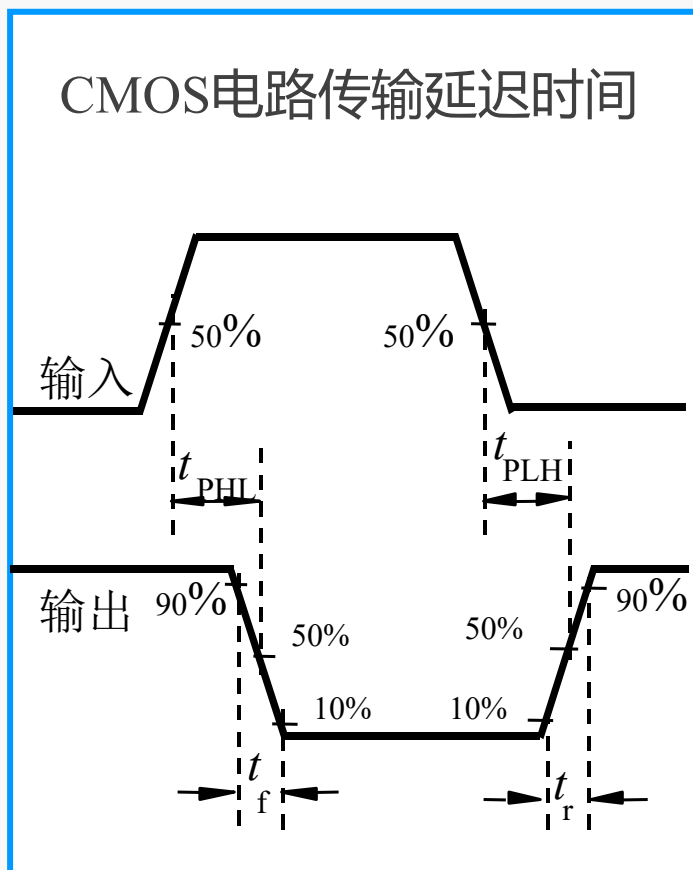


3.1 逻辑门电路概述及电气特性

3、传输延迟时间

表征门电路开关速度的参数，说明门电路在输入脉冲波形的作用下，其输出波形相对于输入波形延迟的时间长度。

| 类型 参数 | 74HC $V_{DD}=5V$ | 74HCT $V_{DD}=5V$ | 74LVC $V_{DD}=3.3V$ | 74AUC $V_{DD}=1.8V$ |
|-------------------------------|---------------------|----------------------|------------------------|------------------------|
| t_{PLH} 或 t_{PHL} (ns) | 7 | 8 | 2.1 | 0.9 |



3.1 逻辑门电路概述及电气特性

4、功耗

静态功耗：指的是当电路没有状态转换时的功耗。

动态功耗：电路进行状态转换时的功耗。

TTL门电路：主要为静态功耗。

CMOS门电路：静态功耗非常低，其**动态功耗**为：

$$P_D = FC_{PD}V_{DD}^2$$

5、延时-功耗积：是速度功耗综合性的指标.延时-功耗积，

用符号 DP 表示： $DP = T_{pd}P_D$

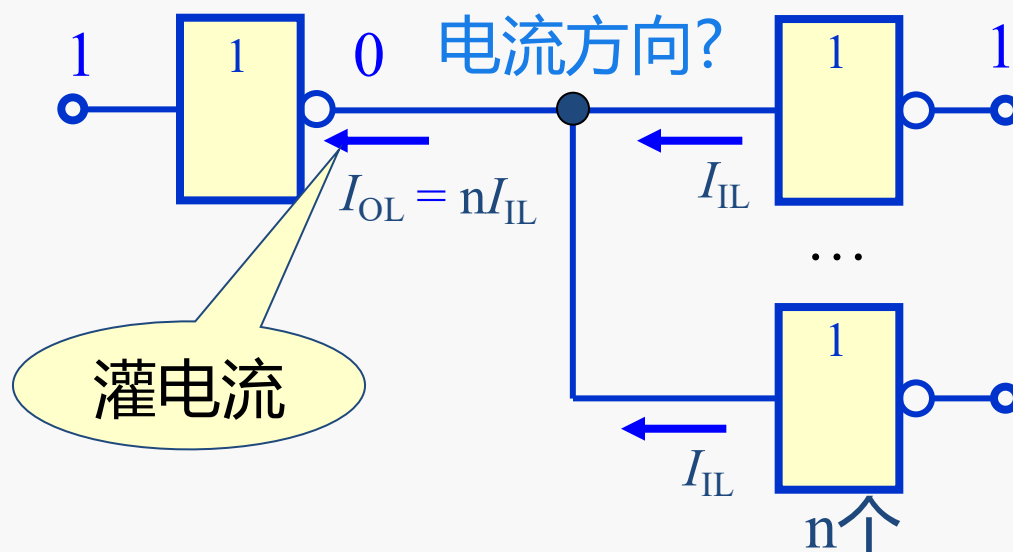
6、扇入与扇出数

扇入数：门电路输入端的个数。

3.1 逻辑门电路概述及电气特性

扇出数：门电路正常工作情况下，所能驱动同类门电路的最大数目。驱动门的负载分为灌电流负载和拉电流负载。

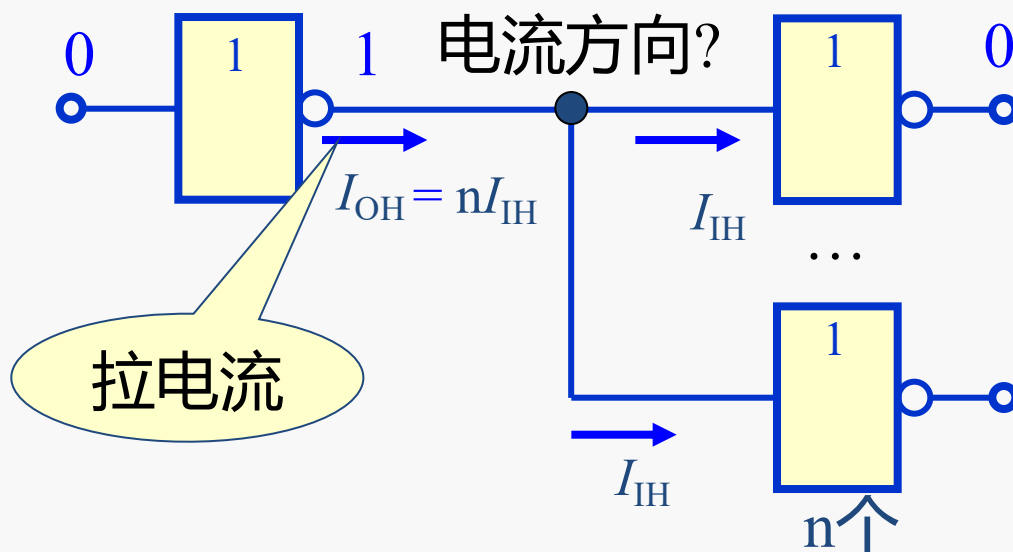
(a) 带灌电流负载



$$N_{OL} = \frac{I_{OL}(\text{驱动门})}{I_{IL}(\text{负载门})}$$

3.1 逻辑门电路概述及电气特性

(b) 带拉电流负载



$$N_{OH} = \frac{I_{OH}(\text{驱动门})}{I_{IH}(\text{负载门})}$$

如 $N_{OH} \neq N_{OL}$ 则取两者的最小值为门的扇出系数

3.1 逻辑门电路概述及电气特性

| 电路类型 | | 电源电压/V | 传输延迟时间/ns | 静态功耗/mW | 功耗—延迟积/mW·ns | 直流噪声容限 | | 输出逻辑摆幅/V |
|--------|--------------|--------|-----------|---------------------|----------------------|------------|------------|----------|
| | | | | | | V_{NL}/V | V_{NH}/V | |
| TTL | CT54/74 | +5 | 10 | 15 | 150 | 1.2 | 2.2 | 3.5 |
| | CT54LS/74LS | +5 | 7.5 | 2 | 15 | 0.4 | 0.5 | 3.5 |
| HTL | | +15 | 85 | 30 | 2550 | 7 | 7.5 | 13 |
| ECL | CE10K系列 | -5.2 | 2 | 25 | 50 | 0.155 | 0.125 | 0.8 |
| | CE100K系列 | -4.5 | 0.75 | 40 | 30 | 0.135 | 0.130 | 0.8 |
| CMOS | $V_{DD}=5V$ | +5 | 45 | 5×10^{-3} | 225×10^{-3} | 2.2 | 3.4 | 5 |
| | $V_{DD}=15V$ | +15 | 12 | 15×10^{-3} | 180×10^{-3} | 6.5 | 9.0 | 15 |
| 高速CMOS | | +5 | 8 | 1×10^{-3} | 8×10^{-3} | 1.0 | 1.5 | 5 |