

4.5 常用组合逻辑电路

4.5.1、编码器

4.5.2、译码器

4.5.3、数据选择器

4.5.4、数值比较器

4.5.5、加法器

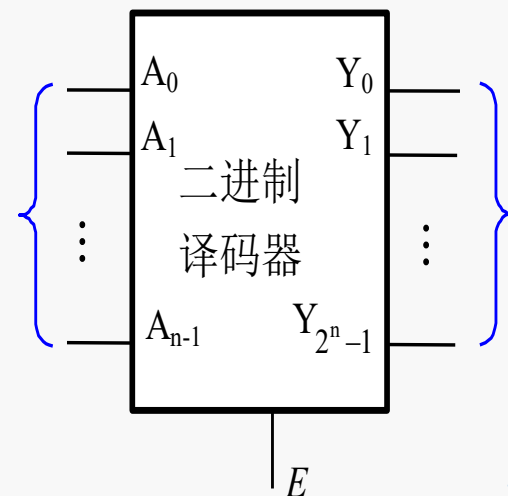
4.5.2 译码器

译码：它能将二进制码翻译成代表某一特定含义的信号(即电路的某种状态)。译码是编码的逆过程。

译码器：具有译码功能的逻辑电路

译码器分类：

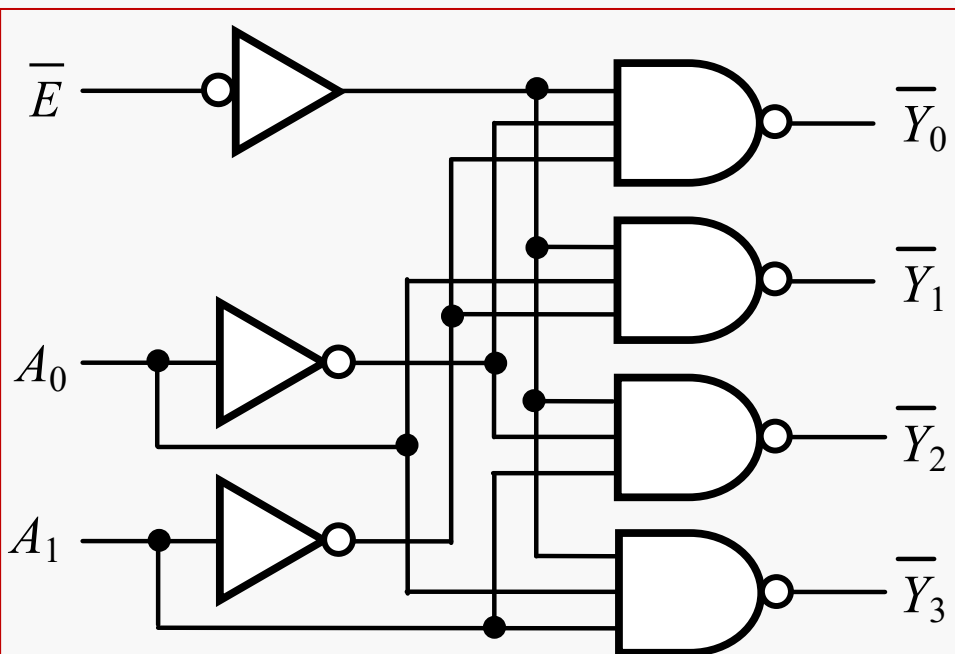
- 唯一地址译码器：将一系列代码转换成与之**唯一对应**的有效信号
 - 二进制译码器
 - 二-十进制译码器
 - 显示译码器
- 代码变换器：将一种码转换成另一种码



4.5.2 译码器——2线-4线译码器（74HC139）

功能表

输 入			输 出			
\overline{E}	A_1	A_0	$\overline{Y_0}$	$\overline{Y_1}$	$\overline{Y_2}$	$\overline{Y_3}$
1	×	×	1	1	1	1
0	0	0	0	1	1	1
0	0	1	1	0	1	1
0	1	0	1	1	0	1
0	1	1	1	1	1	0



$$\overline{Y_0} = \overline{\overline{E} \overline{A_1} \overline{A_0}}$$

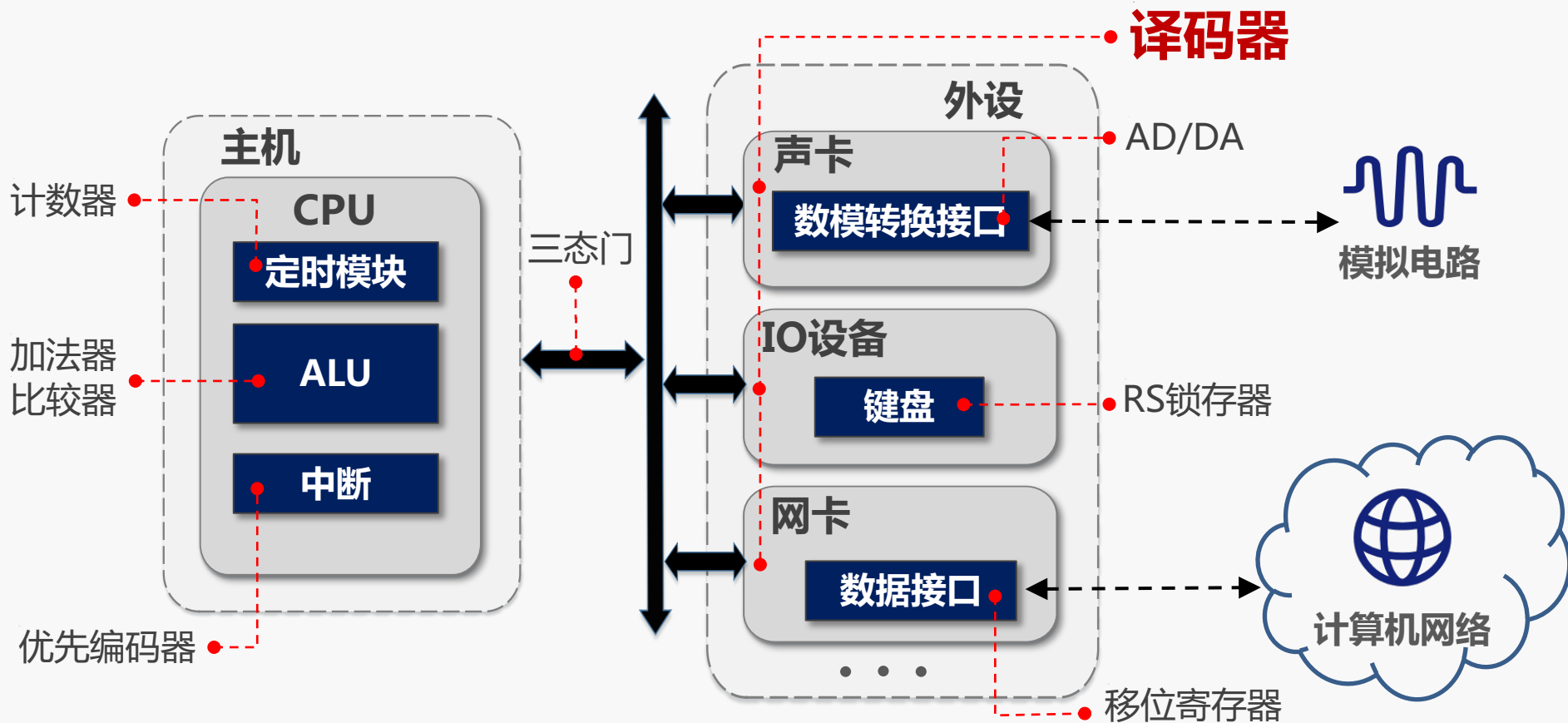
$$\overline{Y_2} = \overline{\overline{E} A_1 \overline{A_0}}$$

$$\overline{Y_1} = \overline{\overline{E} \overline{A_1} A_0}$$

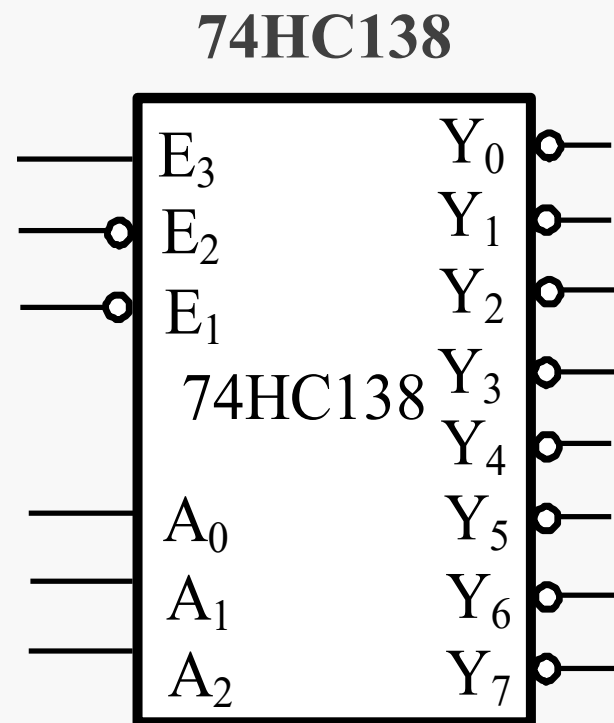
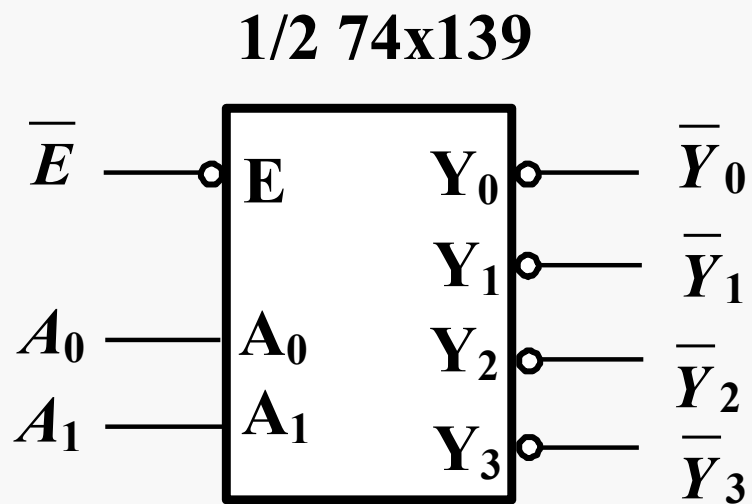
$$\overline{Y_3} = \overline{\overline{E} A_1 A_0}$$

为什么称为**唯一地址**译码器？？？

4.5.2 译码器的应用



4.5.2 译码器



4.5.2 译码器——Verilog描述

```
reg[3:0] Q;  
always @(A or B or EI)  
if(~EI) begin  
    case ({A,B})  
        2'b00 : Q = 4'b1110;  
        2'b01 : Q = 4'b1101;  
        2'b10 : Q = 4'b1011;  
        2'b11 : Q = 4'b0111;  
        default : Q = 4'b1111;  
    endcase end  
else  
    Q = 4'b1111;
```

使能有效，工作

[illegible]

$$\begin{aligned} \overline{Y}_0 &= \overline{\overline{C}\overline{B}\overline{A}} & \overline{Y}_1 &= \overline{\overline{C}\overline{B}A} & \overline{Y}_2 &= \overline{\overline{C}B\overline{A}} & \overline{Y}_3 &= \overline{\overline{C}BA} \\ \overline{Y}_4 &= \overline{C\overline{B}\overline{A}} & \overline{Y}_5 &= \overline{C\overline{B}A} & \overline{Y}_6 &= \overline{CB\overline{A}} & \overline{Y}_7 &= \overline{CBA} \end{aligned}$$

E_3	\overline{E}_2	\overline{E}_0	A_2 (C)	A_1 (B)	A_0 (A)	\overline{Y}_0	\overline{Y}_1	\overline{Y}_2	\overline{Y}_3	\overline{Y}_4	\overline{Y}_5	\overline{Y}_6	\overline{Y}_7
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	L	H	H	H	H	H	L	H	H	H	H
H	L	L	H	L	L	H	H	H	H	L	H	H	H
H	L	L	H	H	L	H	H	H	H	H	L	H	H
H	L	L	H	H	H	H	H	H	H	H	H	L	H
H	L	L	H	H	H	H	H	H	H	H	H	H	L

4.5.2 译码器

$$\begin{array}{ll}\overline{Y}_0 = \overline{\overline{C}\overline{B}\overline{A}} = \overline{m}_0 & \overline{Y}_4 = \overline{C\overline{B}\overline{A}} = \overline{m}_4 \\ \overline{Y}_1 = \overline{\overline{C}\overline{B}A} = \overline{m}_1 & \overline{Y}_5 = \overline{C\overline{B}A} = \overline{m}_5 \\ \overline{Y}_2 = \overline{\overline{C}B\overline{A}} = \overline{m}_2 & \overline{Y}_6 = \overline{CB\overline{A}} = \overline{m}_6 \\ \overline{Y}_3 = \overline{\overline{C}BA} = \overline{m}_3 & \overline{Y}_7 = \overline{CBA} = \overline{m}_7\end{array}$$

3线-8线译码器的 $\overline{Y}_0 \sim \overline{Y}_7$ 是三变量函数的全部最小项。

基于这一点，用该器件能够实现所有三变量逻辑函数。

4.5.2 译码器

例 用3线-8线译码器74HC138和必要的逻辑门实现函数

$$L = AB + BC + \overline{A}\overline{B}C$$

解：（1）首先将逻辑函数 L 变换为最小项表达式：

$$\begin{aligned} L &= AB + BC + \overline{A}\overline{B}C = AB(C + \overline{C}) + BC(A + \overline{A}) + \overline{A}\overline{B}C \\ &= ABC + AB\overline{C} + ABC + \overline{A}BC + \overline{A}\overline{B}C \\ &= m_3 + m_5 + m_6 + m_7 \end{aligned}$$

（2）将上式两次求反，并用摩根定律变换可得

$$\begin{aligned} L &= \overline{\overline{m_3 + m_5 + m_6 + m_7}} \\ &= \overline{\overline{m_3} \cdot \overline{m_5} \cdot \overline{m_6} \cdot \overline{m_7}} = \overline{\overline{Y_3} \cdot \overline{Y_5} \cdot \overline{Y_6} \cdot \overline{Y_7}} \end{aligned}$$

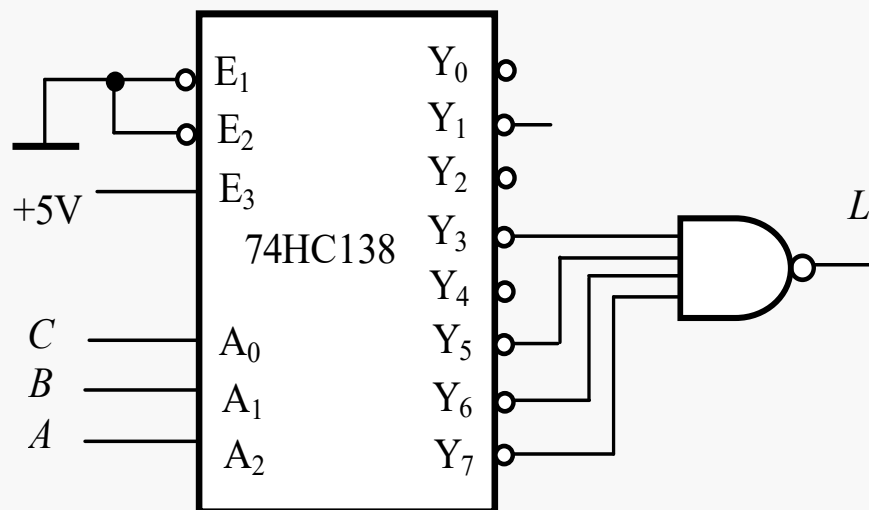
4.5.2 译码器

(3) 画出逻辑电路

首先要使3线-8线译码器处于工作状态：使 $E_3=1$ ，且 $\overline{E}_2=\overline{E}_1=0$

$$L = \overline{Y_3} \cdot \overline{Y_5} \cdot \overline{Y_6} \cdot \overline{Y_7}$$

在译码器的输出端加一个与非门，即可实现给定的组合逻辑函数。



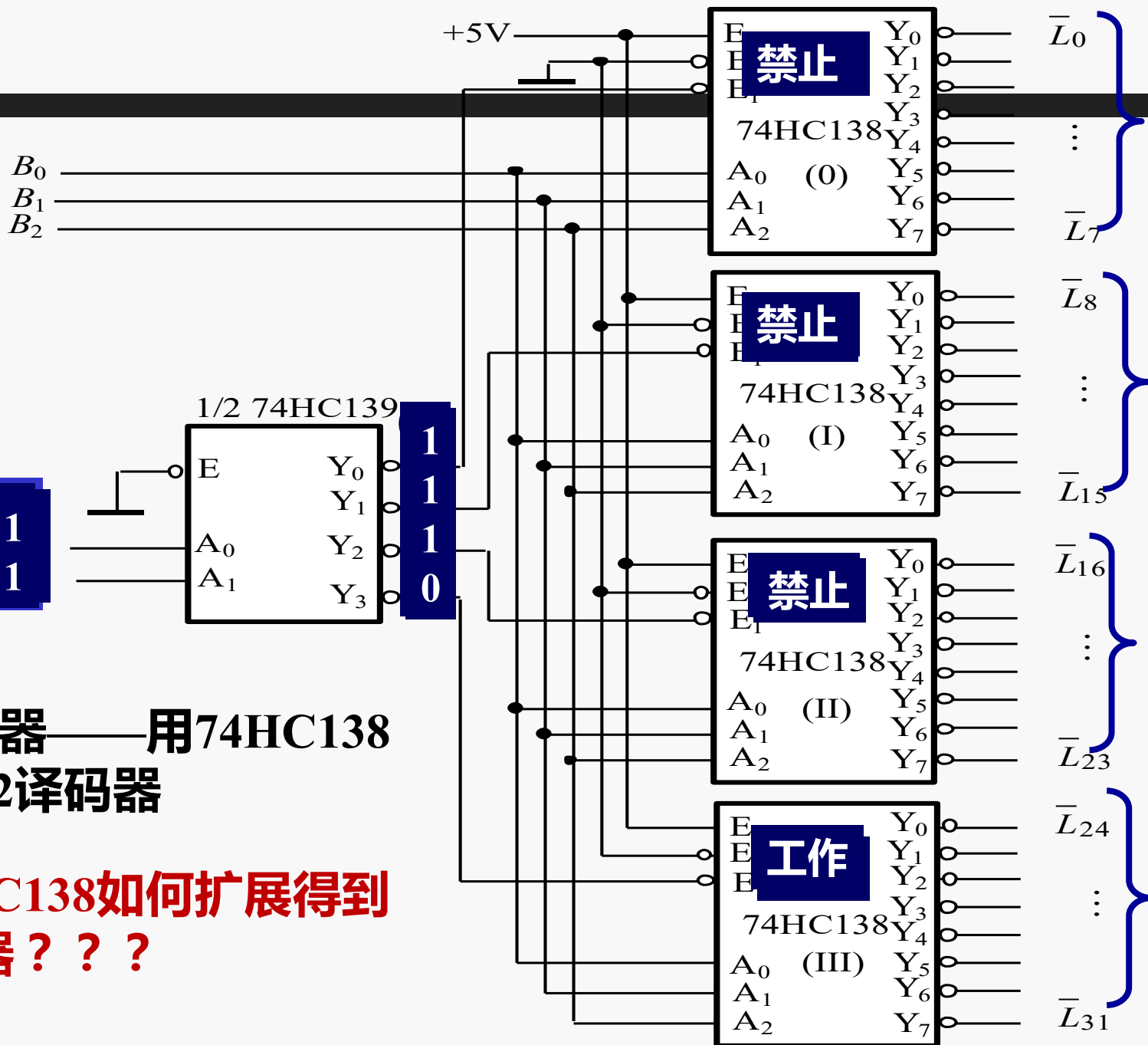
- 1、如果还要实现另外一个组合逻辑函数，该如何？？？
- 2、如果译码器输出为高电平有效，该如何？？？
- 3、如果只允许用与门，该如何？？？

$B_4 B_3 = 00$ $B_2 B_1 B_0 = 000 \sim 111$ 时, $L_0 \sim L_7$

$B_4 B_3 = 01$ $B_2 B_1 B_0 = 000 \sim 111$ 时, $L_8 \sim L_{15}$

用
74H
C13
8 扩展为
5-32
译码器

输 入					输 出											
B ₄	B ₃	B ₂	B ₁	B ₀	L ₀	L ₁	L ₂	L ₃	L ₄	...	L ₂ 7	L ₂₈	L ₂₉	L ₃ 0	L ₃ 1	
0	0	0	0	0	0	1	1	1	1		1	1	1	1	1	1
0	0	0	0	1	1	0	1	1	1		1	1	1	1	1	1
0	0	0	1	0	1	1	0	1	1		1	1	1	1	1	1
0	0	0	1	1	1	1	1	0	1		1	1	1	1	1	1
0	0	1	0	0	1	1	1	1	0		1	1	1	1	1	1
⋮					⋮											
1	1	0	1	1	1	1	1	1	1	...	0	1	1	1	1	
1	1	1	0	0	1	1	1	1	1		1	0	1	1	1	1
1	1	1	0	1	1	1	1	1	1		1	1	0	1	1	1
1	1	1	1	0	1	1	1	1	1		1	1	1	0	1	1
1	1	1	1	1	1	1	1	1	1		1	1	1	1	1	0 ₁₂

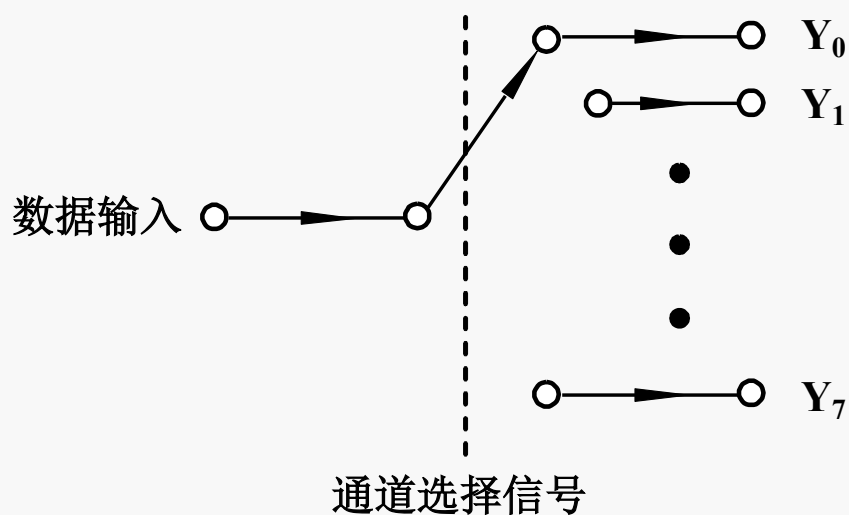


4.5.2 译码器——用74HC138 扩展为5-32译码器

用2片74HC138如何扩展得到
4-16译码器 ???

4.5.2 译码器——数据分配器

数据分配器示意图



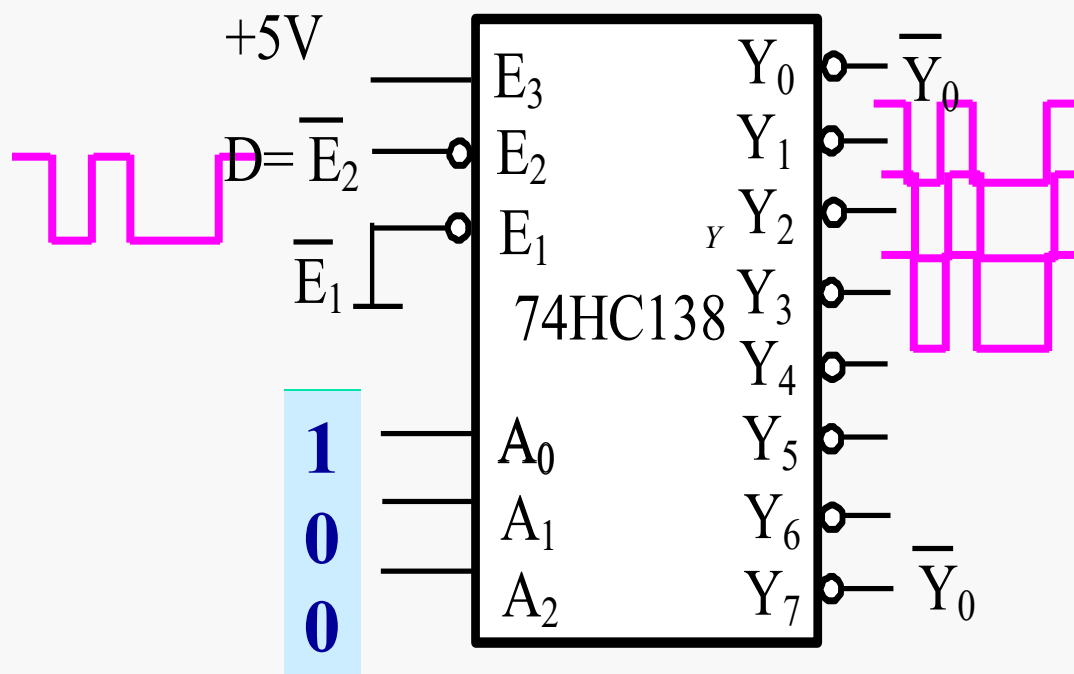
数据分配器：相当于多输出的单刀多掷开关，是一种能将数据分时送到多个不同的通道上去的逻辑电路。

4.5.2 译码器——数据分配器

用译码器实现数据分配器

$$\overline{Y}_3 = (E_3 \overline{\overline{E_2}} \overline{\overline{E_1}}) \overline{A_2} A_1 A_0 = D$$

$$\overline{Y}_1 = (E_3 \overline{\overline{E_2}} \overline{\overline{E_1}}) \overline{A_2} \overline{A_1} A_0 = D$$

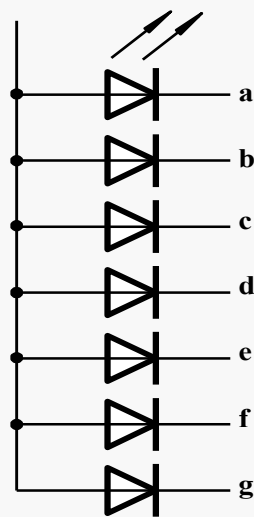
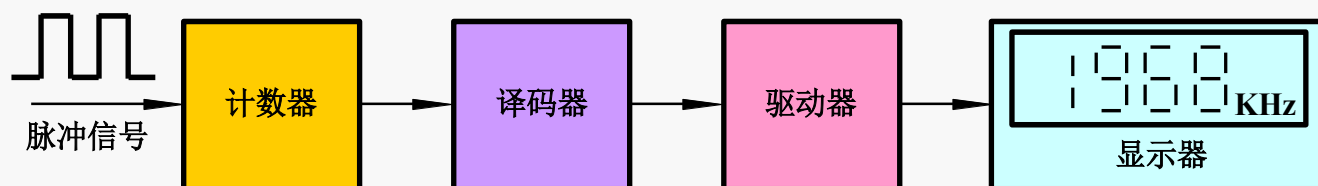


4.5.2 译码器——数据分配器

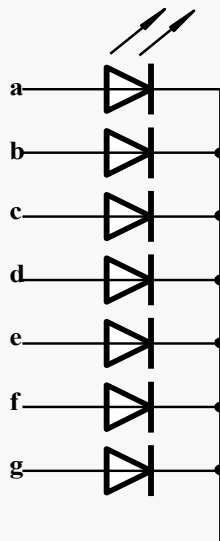
74HC138译码器作为数据分配器时的功能表

输 入						输 出							
E_3	E_2	E_1	A_2	A_1	A_0	\bar{Y}_0	\bar{Y}_1	\bar{Y}_2	\bar{Y}_3	\bar{Y}_4	\bar{Y}_5	\bar{Y}_6	\bar{Y}_7
L	L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	D	L	L	L	D	H	H	H	H	H	H	H
H	L	D	L	L	H	H	D	H	H	H	H	H	H
H	L	D	L	H	L	H	H	D	H	H	H	H	H
H	L	D	L	H	H	H	H	H	D	H	H	H	H
H	L	D	H	L	L	H	H	H	H	D	H	H	H
H	L	D	H	L	H	H	H	H	H	H	D	H	H
H	L	D	H	H	L	H	H	H	H	H	H	D	H
H	L	D	H	H	H	H	H	H	H	H	H	H	D

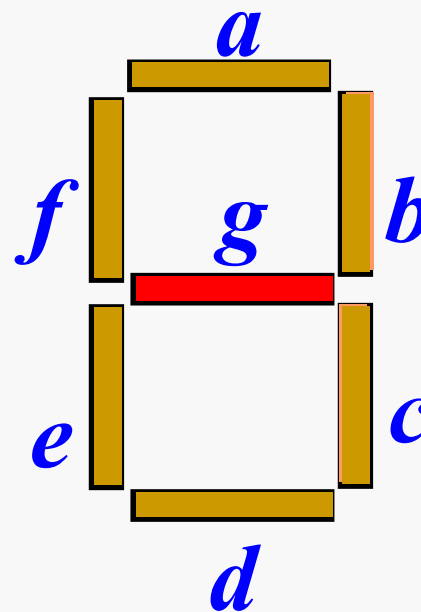
4.5.2 译码器——七段显示译码器



共阳极显示器

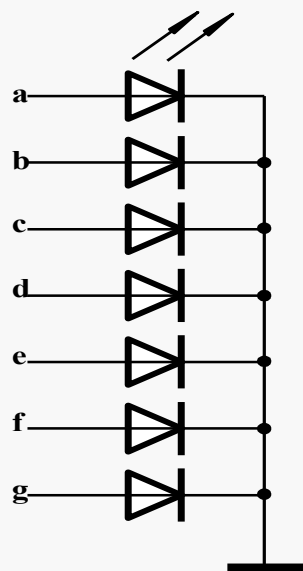


共阴极显示器



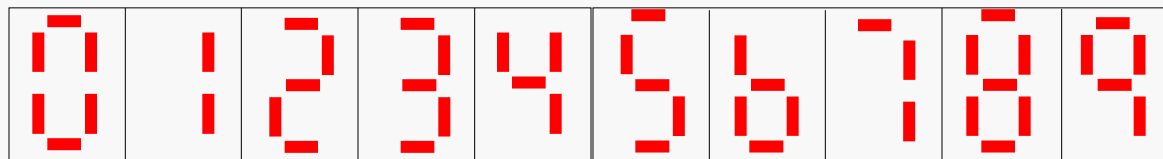
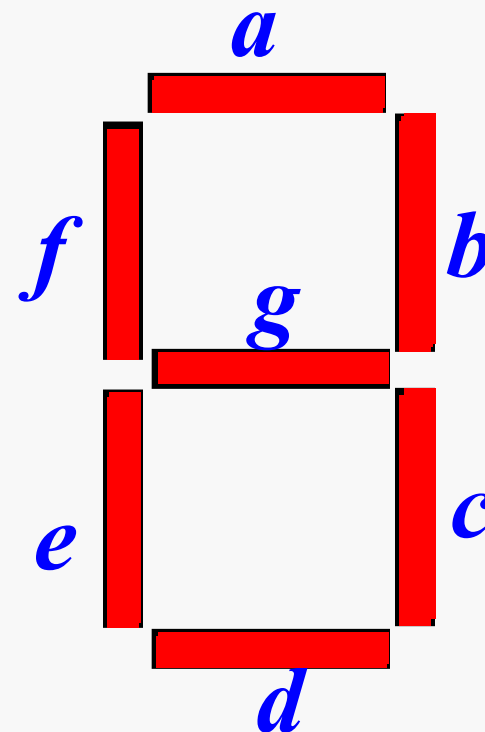
显示器分段布局图

4.5.2 译码器——七段显示译码器



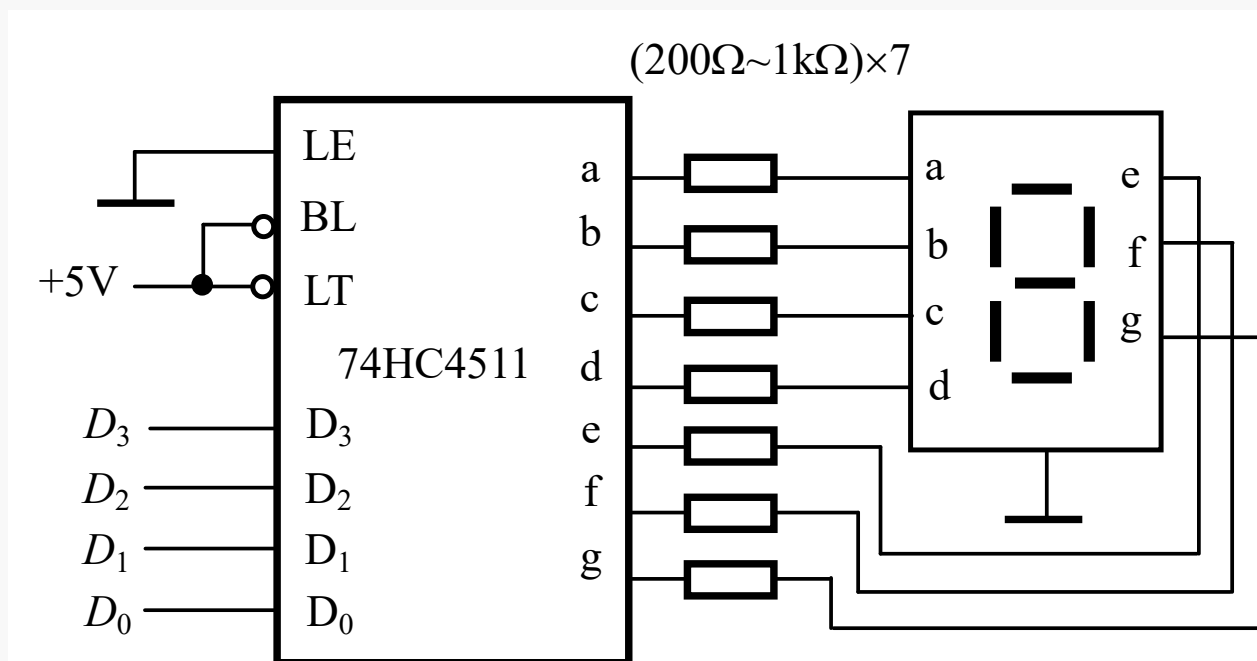
共阴极显示器

<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>	<i>e</i>	<i>f</i>	<i>g</i>
1	1	1	1	1	1	0
0	1	1	0	0	0	0
1	1	0	1	1	0	1
⋮						













4.5.2 译码器——七段显示译码器 (74HC4511)


显示译码器与显示器的连接方式



4.5.2 译码器——七段显示译码器（ 74HC4511功能表 ）

十进制 或功能	输 入							输 出							字形
	LE	$\overline{\text{BL}}$	$\overline{\text{LT}}$	D ₃	D ₂	D ₁	D ₀	a	b	c	d	e	f	g	
0	L	H	H	L	L	L	L	H	H	H	H	H	H	L	
1	L	H	H	L	L	L	H	L	H	H	L	L	L	L	
2	L	H	H	L	L	H	L	H	H	L	H	H	L	H	
3	L	H	H	L	L	H	H	H	H	H	H	L	L	H	
4	L	H	H	L	H	L	L	L	H	H	L	L	H	H	
5	L	H	H	L	H	L	H	H	L	H	H	L	H	H	
6	L	H	H	L	H	H	L	L	L	H	H	H	H	H	
7	L	H	H	L	H	H	H	H	H	H	L	L	L	L	
8	L	H	H	H	L	L	L	H	H	H	H	H	H	H	
9	L	H	H	H	L	L	H	H	H	H	L	L	H	H	

4.5.2 译码器——七段显示译码器（74HC4511功能表）

十进制 或功能	输 入							输 出							字 形
	LE	<u>BL</u>	<u>LT</u>	D ₃	D ₂	D ₁	D ₀	a	b	c	d	e	f	g	
10	L	H	H	H	L	H	L	L	L	L	L	L	L	L	熄灭
11	L	H	H	H	L	H	H	L	L	L	L	L	L	L	熄灭
12	L	H	H	H	H	L	L	L	L	L	L	L	L	L	熄灭
13	L	H	H	H	H	L	H	L	L	L	L	L	L	L	熄灭
14	L	H	H	H	H	H	L	L	L	L	L	L	L	L	熄灭
15	L	H	H	H	H	H	H	L	L	L	L	L	L	L	熄灭
灯测试	X	X	L	X	X	X	X	H	H	H	H	H	H	H	
灭灯	X	L	H	X	X	X	X	L	L	L	L	L	L	L	熄灭
锁存	H	H	H	X	X	X	X	*							*

4.5 常用组合逻辑电路

4.5.1、编码器

4.5.2、译码器

4.5.3、数据选择器

4.5.4、数值比较器

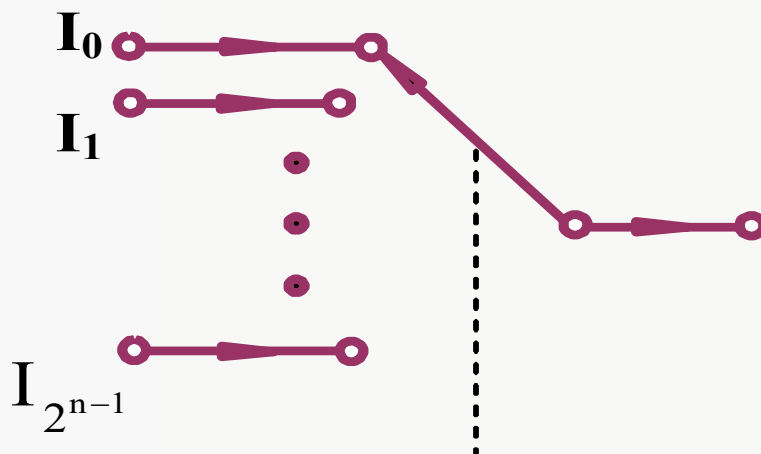
4.5.5、加法器

4.5.3 数据选择器

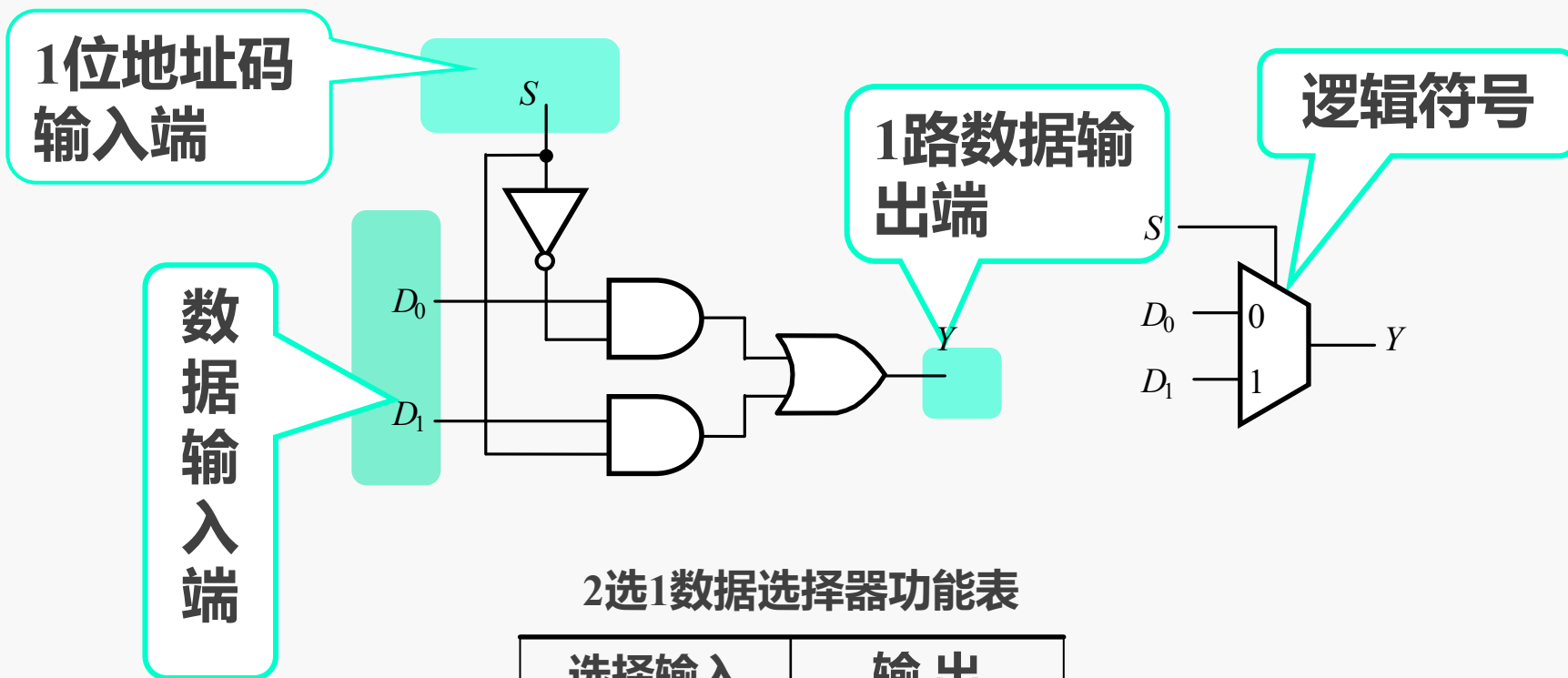
选择器：能实现数据选择功能的逻辑电路。它的作用相当于多个输入的单刀多掷开关，又称“多路开关”。选择器和分配器互为逆过程。

选择器的功能：

- 在通道选择信号的作用下，将多个通道的数据分时传送到公共的数据通道。



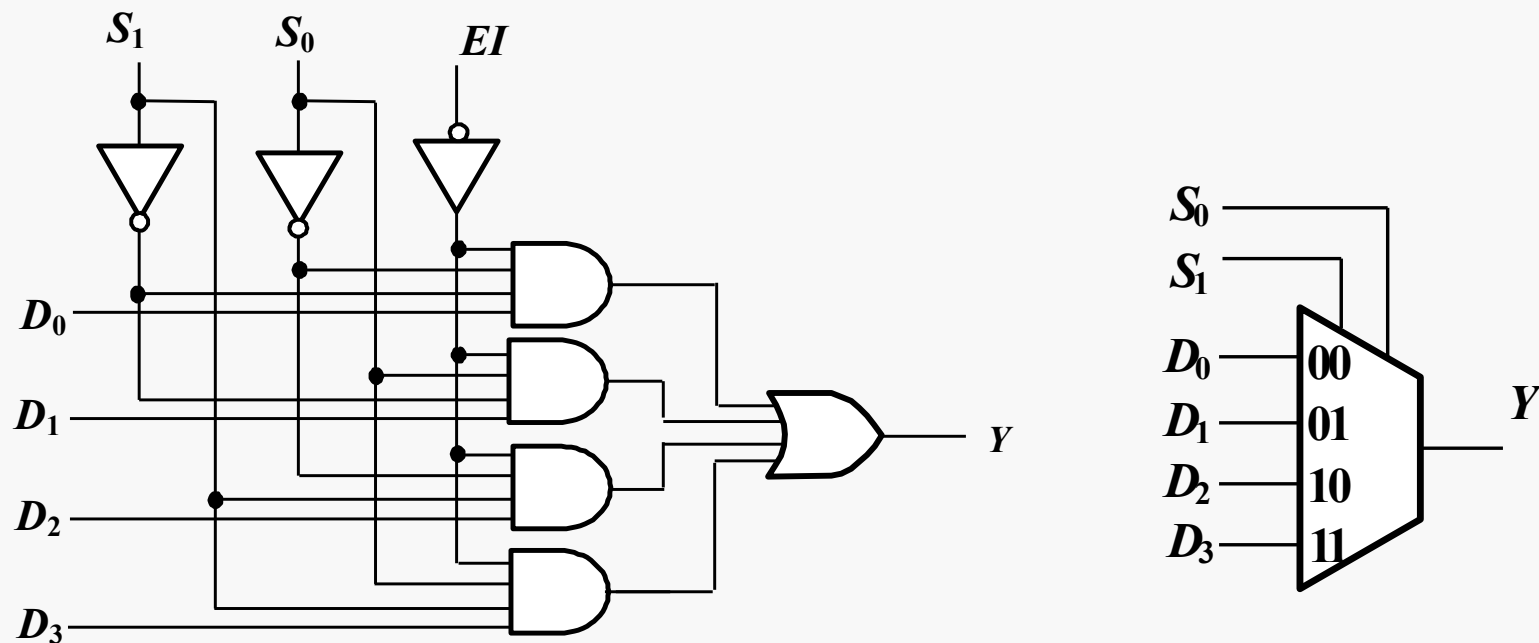
4.5.3 数据选择器——2选1数据选择器



2选1数据选择器功能表

选择输入	输出
S	Y
0	D_0
1	D_1

4.5.3 数据选择器——4选1数据选择器



当 $EI=1$, Y 总是等于0 ; 当 $EI=0$:

$S_1S_0 = 00$ 时 , $Y = D_0$; $S_1S_0 = 01$ 时 , $Y = D_1$;

$S_1S_0 = 10$ 时 , $Y = D_2$; $S_1S_0 = 11$ 时 , $Y = D_3$ 。

$$Y = D_0 \overline{S_1} \overline{S_0} \overline{EI} + D_1 \overline{S_1} S_0 \overline{EI} + D_2 S_1 \overline{S_0} \overline{EI} + D_3 S_1 S_0 \overline{EI}$$

4.5.3 数据选择器——8选1数据选择器（74HC151）

•当 $\overline{E}=1$ 时， $Y=0$ 。

•当 $\overline{E}=0$ 时

$$Y = \overline{S_2}\overline{S_1}\overline{S_0}D_0 + \overline{S_2}\overline{S_1}S_0D_1 + \overline{S_2}S_1\overline{S_0}D_2 + \overline{S_2}S_1S_0D_3 + S_2\overline{S_1}\overline{S_0}D_4 + S_2\overline{S_1}S_0D_5 + S_2S_1\overline{S_0}D_6 + S_2S_1S_0D_7$$

$$Y = \sum_{i=0}^7 D_i m_i$$

74LS151的功能表

输 入				输 出	
使 能 \overline{E}	选 择			Y	\overline{Y}
	S_2	S_1	S_0		
1	X	X	X	L	H
0	0	0	0	D_0	$\overline{D_0}$
0	0	0	1	D_1	$\overline{D_1}$
0	0	1	0	D_2	$\overline{D_2}$
0	0	1	1	D_3	$\overline{D_3}$
0	1	0	0	D_4	$\overline{D_4}$
0	1	0	1	D_5	$\overline{D_5}$
0	1	1	0	D_6	$\overline{D_6}$
0	1	1	1	D_7	$\overline{D_7}$

4.5.3 数据选择器——Verilog描述4选1选择器

```
reg[3:0] D;  
always @ (A or B or D)  
if(~EI) begin  
    case ({B,A})  
        2'b00 : Y = D[0];  
        2'b01 : Y = D[1];  
        2'b10 : Y = D[2];  
        2'b11 : Y = D[3];  
        default : Y = 1'b0;  
    endcase end  
else  
    Y = 1'b0;
```

4.5.3 数据选择器——利用选择器实现组合逻辑函数

例 试用8选1数据选择器74HC151产生逻辑函数 $L = A \oplus B \oplus C$

解：将函数式变换成最小项表达式

$$\begin{aligned} L &= A \oplus B \oplus C = (\overline{A \oplus B})C + (A \oplus B)\overline{C} \\ &= (\overline{AB} + AB)C + (\overline{A}\overline{B} + \overline{A}B)\overline{C} = \overline{A}\overline{B}C + ABC + \overline{A}\overline{B}\overline{C} + \overline{A}B\overline{C} \\ &= m_1 + m_7 + m_4 + m_2 \end{aligned}$$

数据选择器处于使能状态 且 $S_2=A$, $S_1=B$, $S_0=C$, 于是有

$$Y = \sum_{i=0}^7 m_i D_i = m_0 D_0 + m_1 D_1 + m_2 D_2 + m_3 D_3 + m_4 D_4 + m_5 D_5 + m_6 D_6 + m_7 D_7$$

比较 L 与 Y 两逻辑函数表达式可知 ,

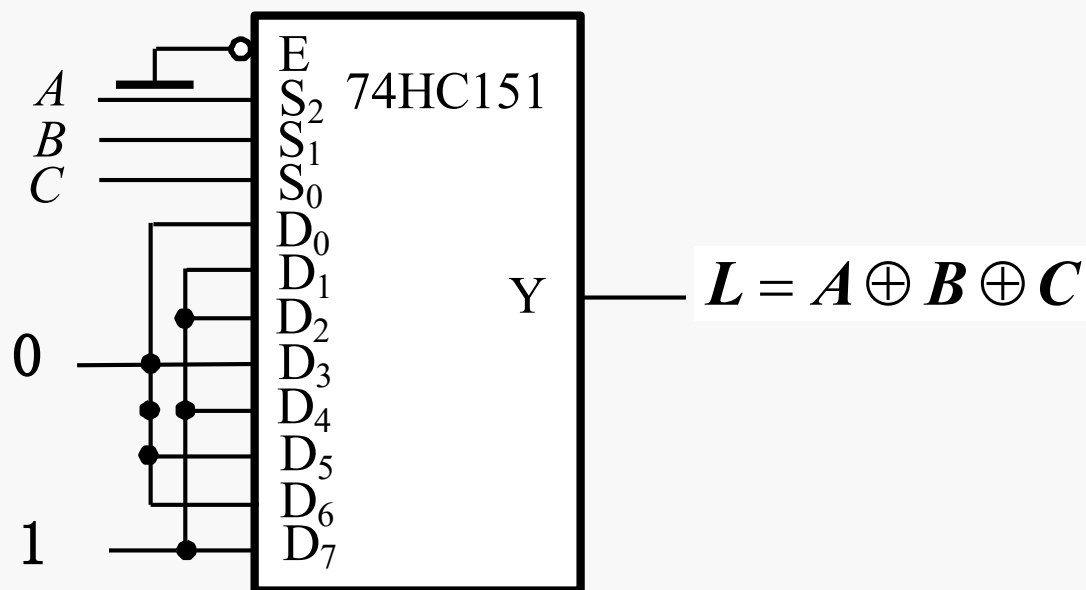
当 $D_1=D_2=D_4=D_7=1$, $D_0=D_3=D_5=D_6=0$, 则 $Y=L$,

用74HC151可以实现逻辑函数。

4.5.3 数据选择器——利用选择器实现组合逻辑函数

数据选择器处于使能状态，且 $S_2=A$ ， $S_1=B$ ， $S_0=C$ ，于是有

当 $D_1=D_2=D_4=D_7=1$ ， $D_0=D_3=D_5=D_6=0$ ，则 $Y=L$ 。



4.5.3 数据选择器——利用选择器实现组合逻辑函数

例 由8选1数据选择器74HC151构成的电路如图所示，分析电路，写出输出 L 的最简逻辑表达式。

解： $\overline{E}=0$ ，电路工作。 $D_2=D_7=0$ ， $D_1=D_3=D_5=1$ ， $D_0=D_4=D$ ， $D_6=\overline{D}$

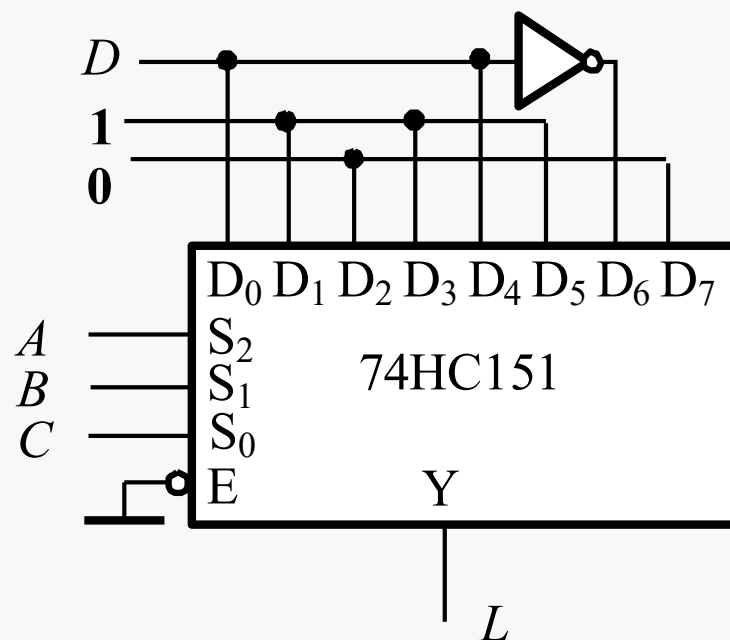
$$L = \sum_{i=0}^7 m_i D_i = \overline{A}\overline{B}\overline{C}D_0 + \overline{A}\overline{B}CD_1 + \overline{A}B\overline{C}D_2 + \overline{A}BCD_3 + A\overline{B}\overline{C}D_4 +$$

$$A\overline{B}CD_5 + AB\overline{C}D_6 + ABCD_7$$

$$L = \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}C + \overline{A}B\overline{C} + \overline{A}BCD +$$
$$A\overline{B}\overline{C} + AB\overline{C}\overline{D}$$

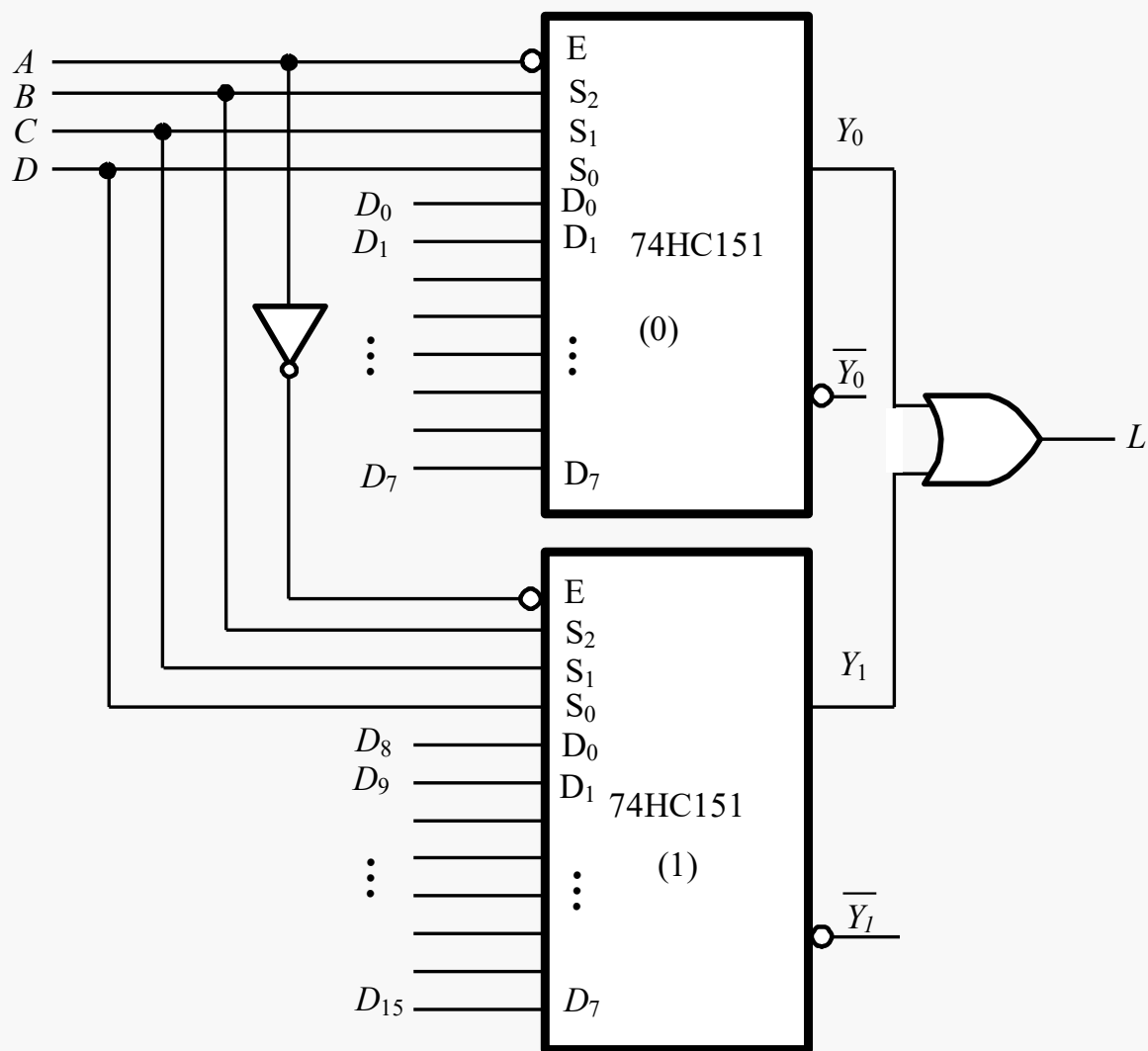
用卡诺图化简，得到最简逻辑表达式为：

$$L = \overline{A}C + \overline{B}C + \overline{B}D + ABC\overline{D}$$



当变量数 > 选通端数，考虑将某些变量接入数据端。

4.5.3 数据选择器——两片74HC151扩展为16选1选择器



如何扩展得到32选1的数据选择器 ???

课堂习题

(1) 一个电路有8个输入信号 $I_7 \sim I_0$ ，8个输入按键 $K_7 \sim K_0$ ，2个输出信号 L_0 和 L_1 。

(2) 按键 $K_7 \sim K_0$ 用于从8个输入信号 $I_7 \sim I_0$ 中选择2个信号从 L_0 和 L_1 中输出。 K_7 按下时 I_7 将输出，...， K_0 按下时 I_0 将输出。

(3) 按键优先级从高到低为 $K_7 \sim K_0$ 。按键高电平有效。

(4) 按键每次至少按下任意2个，将优先级最高按键所选择的信号输出到 L_1 ，优先级次高按键所选择的信号输出到 L_0 。

(5) 例如：同时按下 K_5 、 K_1 和 K_0 ， K_5 优先级最高， I_5 输出到 L_1 ； K_1 优先级次高， I_1 输出到 L_0 ； K_0 优先级最低， I_0 不输出。

(6) 设计要求：利用8-3编码器CD4532、3-8译码器74HC138、8-1选择器74HC151以及门电路，完成以上电路功能。各元器件的数量不限。