

3 逻辑门电路

3.1、逻辑门电路概述及电气特性

3.2、CMOS逻辑门电路（三态门、OD门）

3.3、TTL逻辑门电路

3.4*、BICMOS逻辑门电路

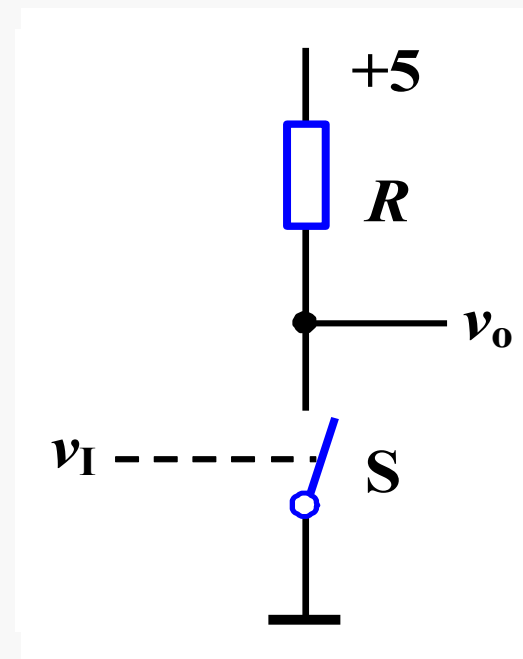
3.5、CMOS与TTL电路之间的接口问题

3.2 CMOS逻辑门电路

高、低电平产生的原理

当S闭合， $v_o=0V$ ，低电平

当S断开， $v_o=+5V$ ，高电平

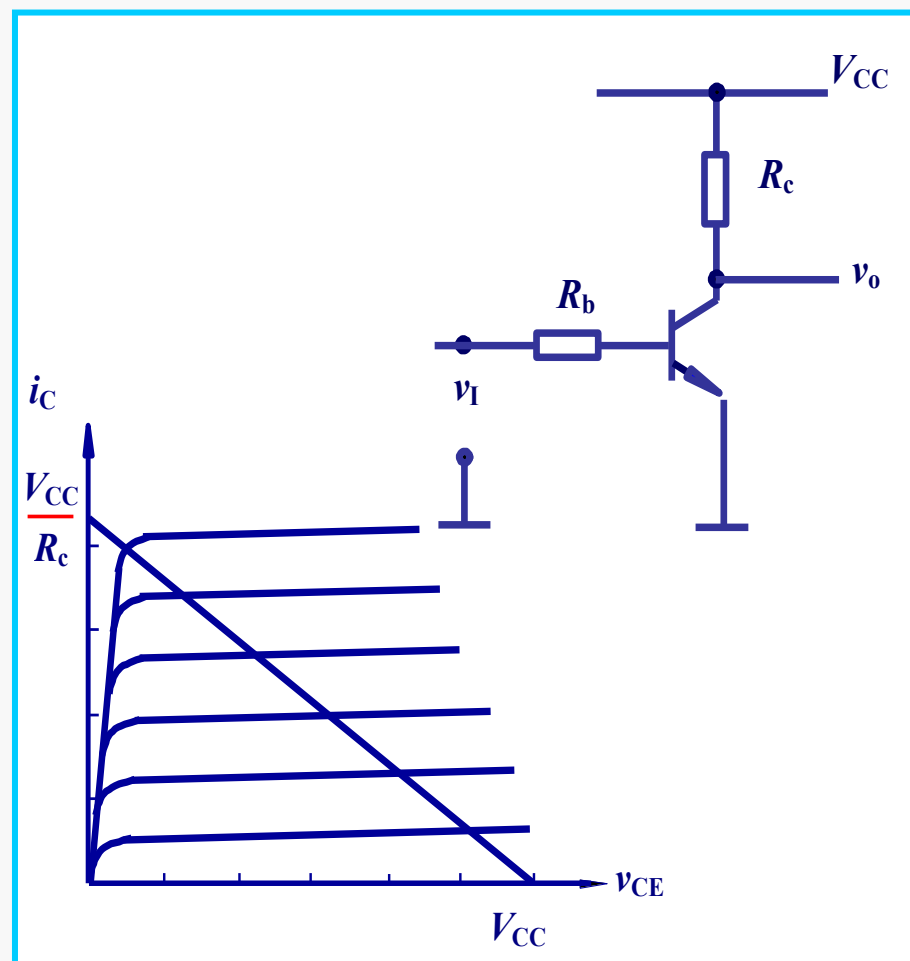


理想的开关应具有两个工作状态：

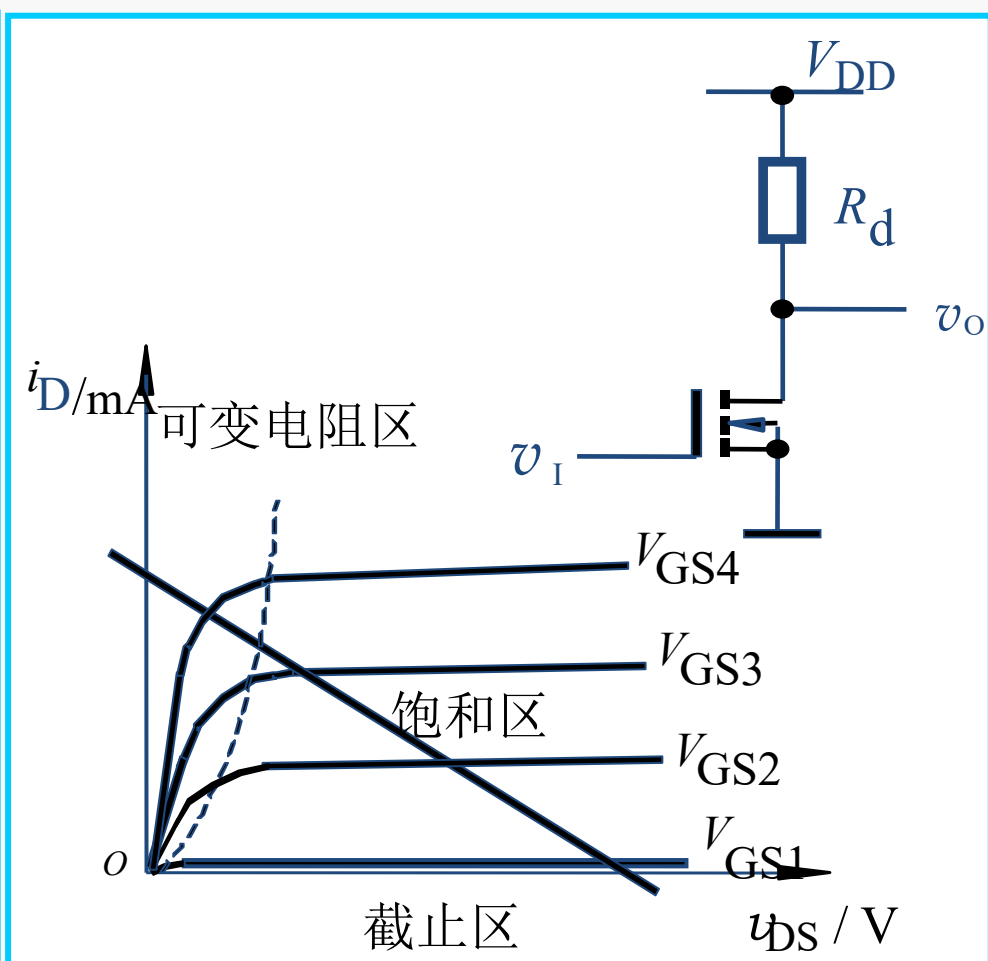
接通状态：要求阻抗越小越好，相当于**短路**。

断开状态：要求阻抗越大越好，相当于**开路**。

3.2 CMOS逻辑门电路



工作在饱和区：输出低电平
工作在截止区：输出高电平

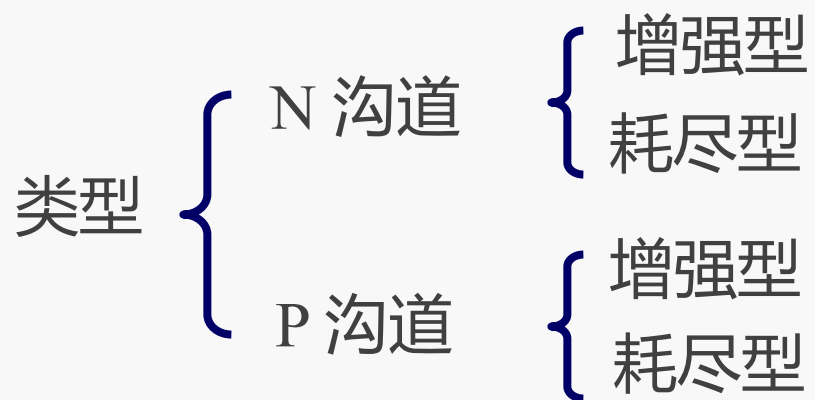


工作在可变电阻区：输出低电平
工作在截止区：输出高电平

3.2 CMOS逻辑门电路

绝缘栅型场效应管：由金属、氧化物和半导体制成，称为金属-氧化物-半导体场效应管，简称 MOS 场效应管。

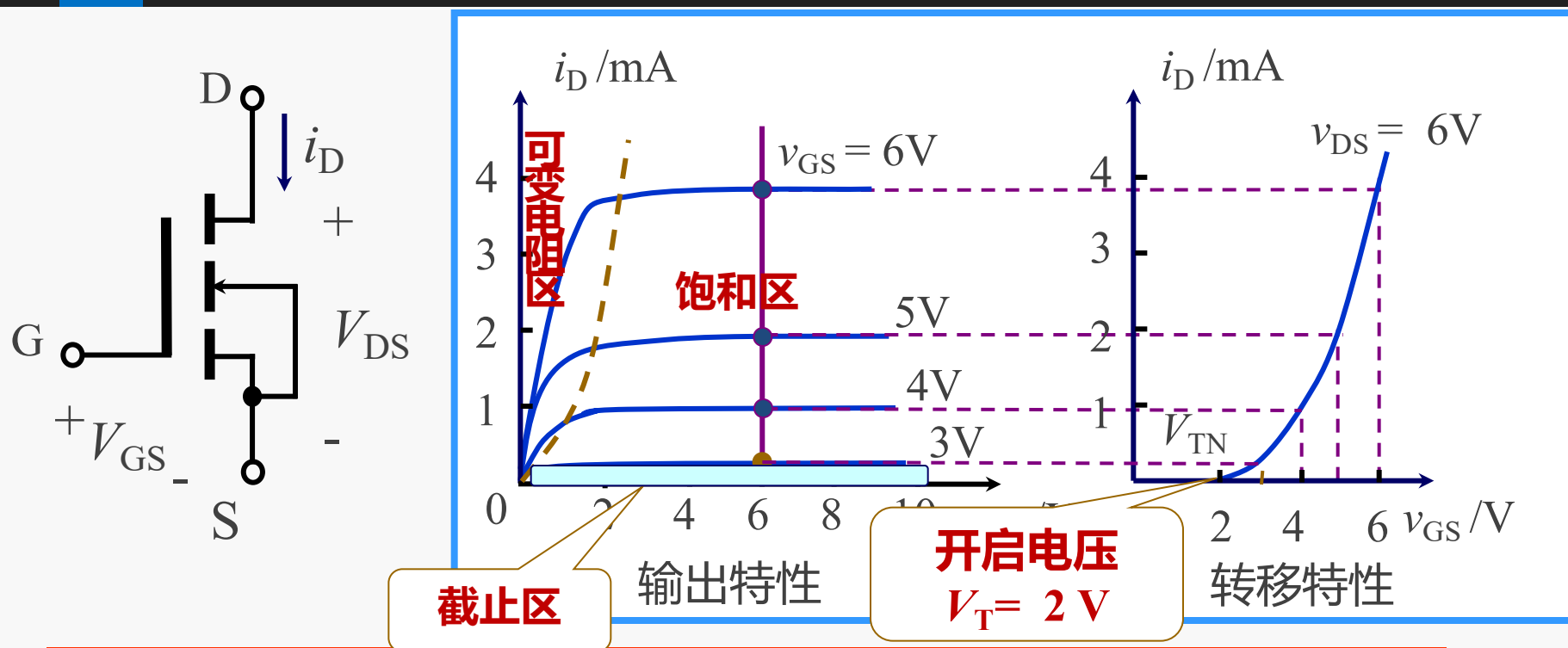
特点：一种载流子参与导电；输入电阻可达 $10^9 \Omega$ 以上；工艺简单，易集成，功耗低，体积小，成本低。



耗尽型场效应管： $V_{GS} = 0$ 时漏源间存在导电沟道的MOS管

增强型场效应管： $V_{GS} = 0$ 时漏源间不存在导电沟道的MOS管

3.2 CMOS逻辑门电路（增强型MOS管的特性曲线）



N 沟道增强型 MOS 管： $V_{GS} > V_{TN}$ MOS管导通

$$V_{GS} > 0$$

$V_{GS} < V_{TN}$ MOS管截止

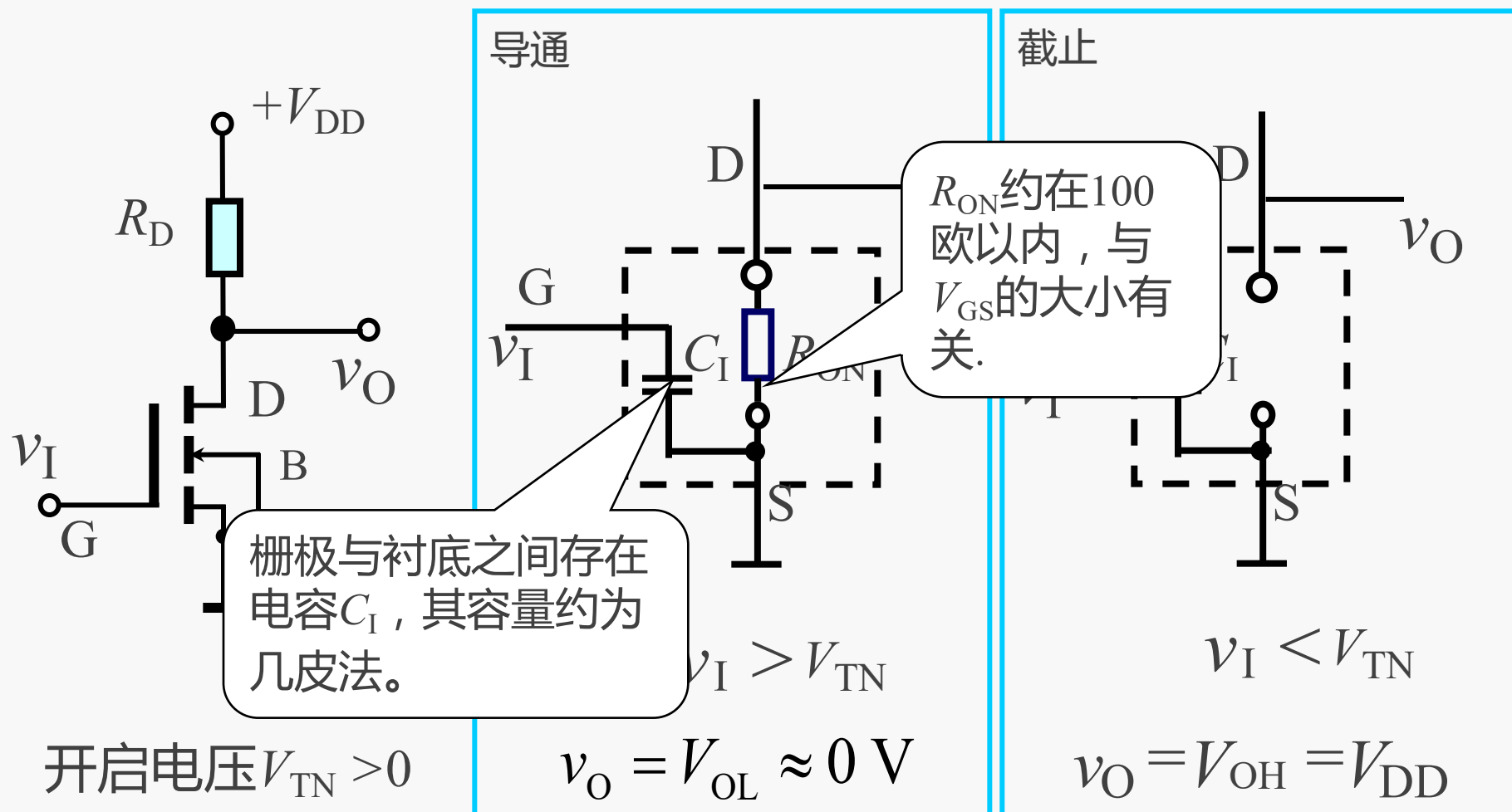
P 沟道增强型 MOS 管： $|V_{GS}| > |V_{TP}|$ MOS管导通

$$V_{GS} < 0$$

$|V_{GS}| < |V_{TP}|$ MOS管截止

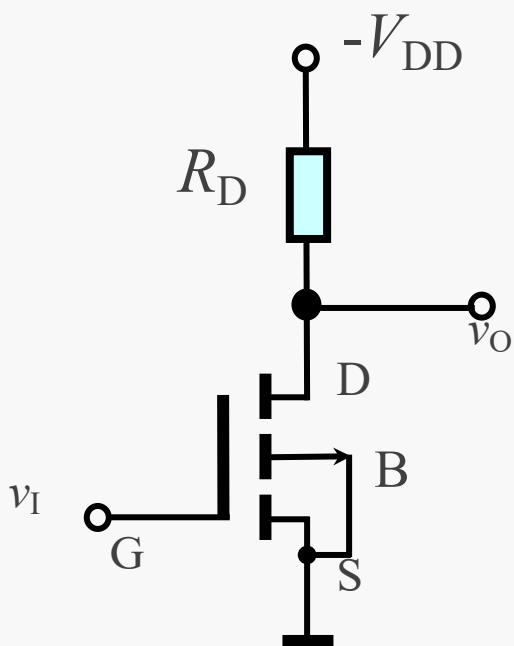
3.2 CMOS逻辑门电路

(a) N 沟道增强型 MOS 管



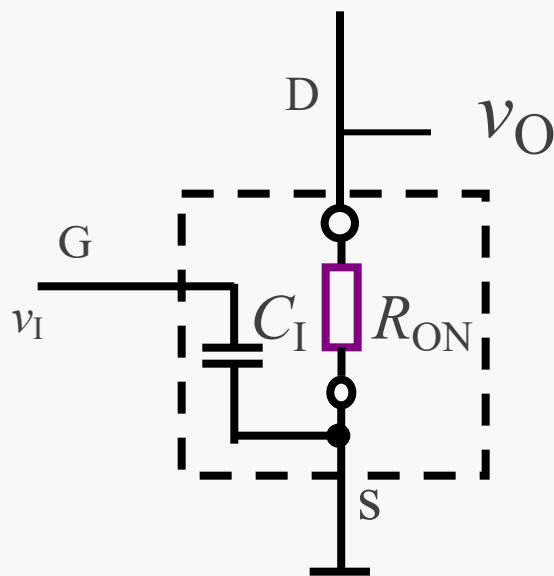
3.2 CMOS逻辑门电路

(b) P 沟道增强型 MOS 管



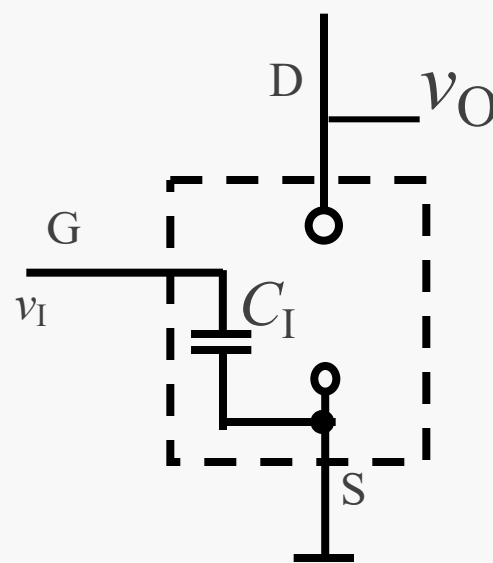
开启电压 $V_{TP} < 0$

导通



$$\begin{aligned} |V_I| &> |V_{TP}| \\ v_O &= V_{OL} \approx 0 \text{ V} \end{aligned}$$

截止



$$\begin{aligned} |v_I| &< |V_{TP}| \\ v_O &= V_{OL} = -V_{DD} \end{aligned}$$

3.2 CMOS逻辑门电路——反相器



1、工作原理

电路逻辑功能分析:

1、列出电路状态表；

(根据输入确定半导体器件开关状态及输出电平)

2、列出真值表；

3、确定逻辑功能。

$$V_{DD} > (V_{TN} + |V_{TP}|)$$

$$V_{TN} = 2 \text{ V} \quad V_{TP} = -2 \text{ V}$$

v_i	v_{GSN}	v_{GSP}	T_N	T_P	v_O
0 V	0V	-10V	截止	导通	10 V
10 V	10V	0V	导通	截止	0 V

逻辑真值表

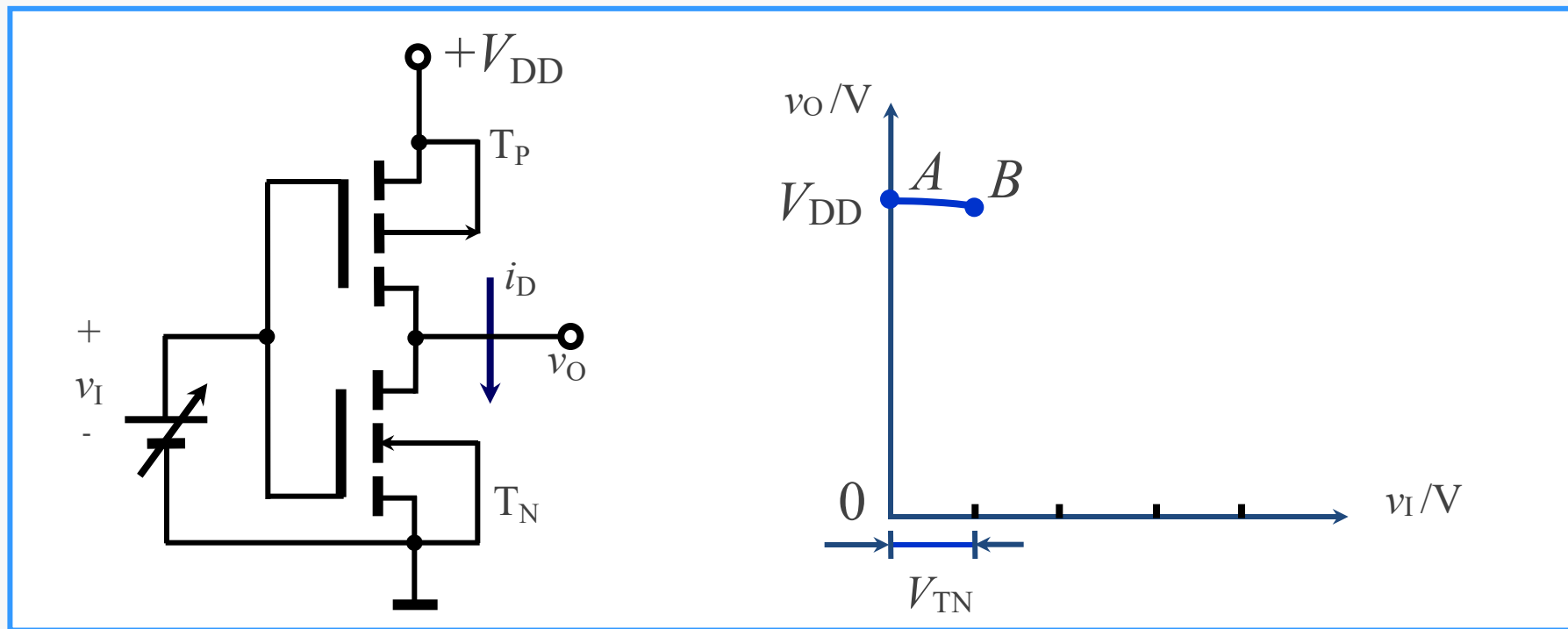
$v_i(A)$	$v_O(L)$
0	1
1	0

逻辑表达式

$$L = \overline{A}$$

3.2 CMOS逻辑门电路——反相器传输特性

$$v_O = f(v_I)$$

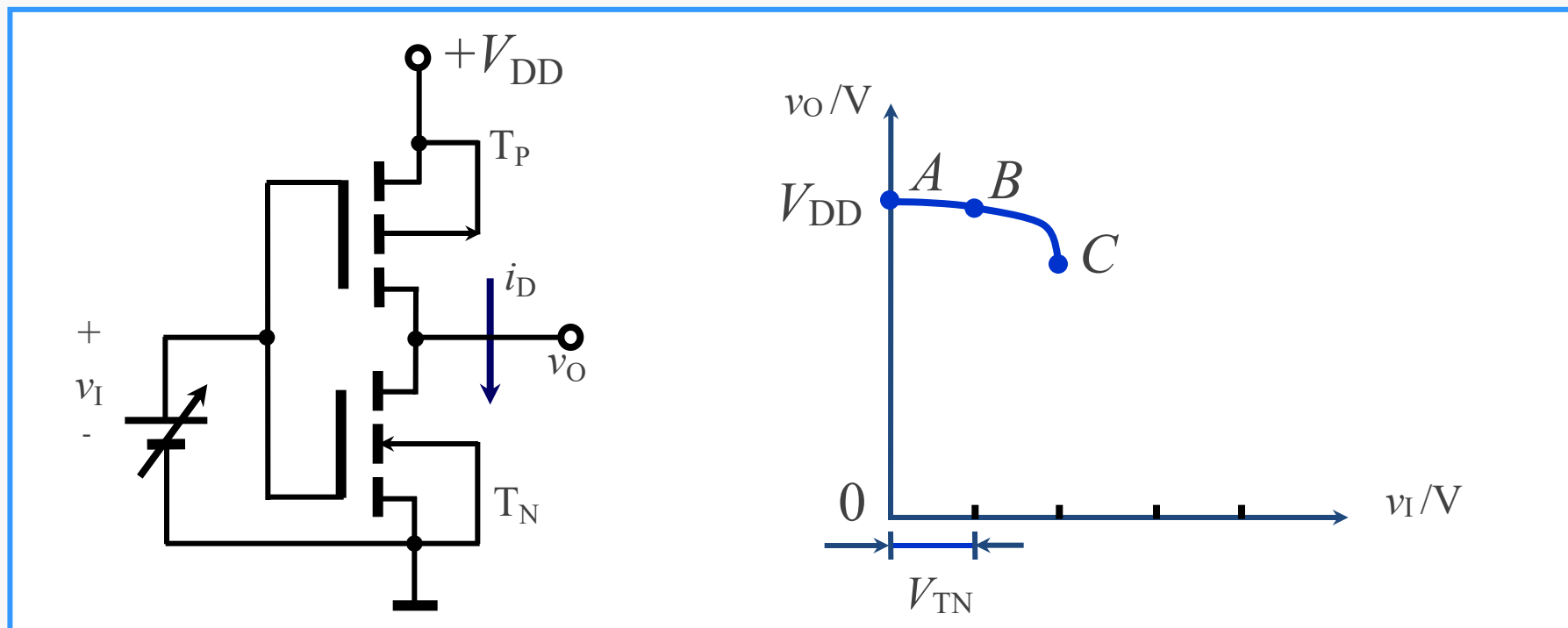


AB 段： $v_I < V_{TN}$, T_N 截止、 T_P 导通

$v_O = V_{DD}$ 、 $i_D \approx 0$, 功耗极小

3.2 CMOS逻辑门电路——反相器传输特性

$$v_O = f(v_I)$$

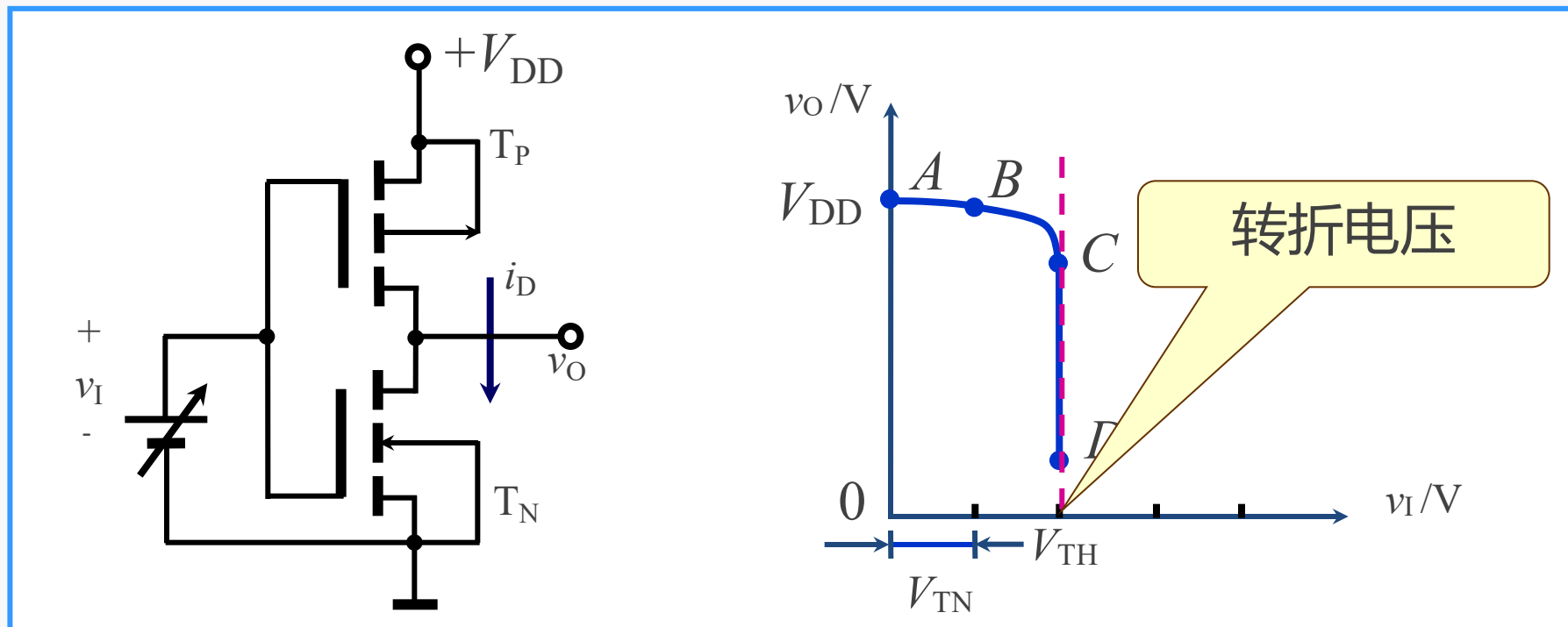


BC 段： $v_I > V_{TN}$, T_N 导通（可变电阻区）、 T_P 导通

v_O 略下降、 i_D 增大，功耗将增大

3.2 CMOS逻辑门电路——反相器传输特性

$$v_O = f(v_I)$$

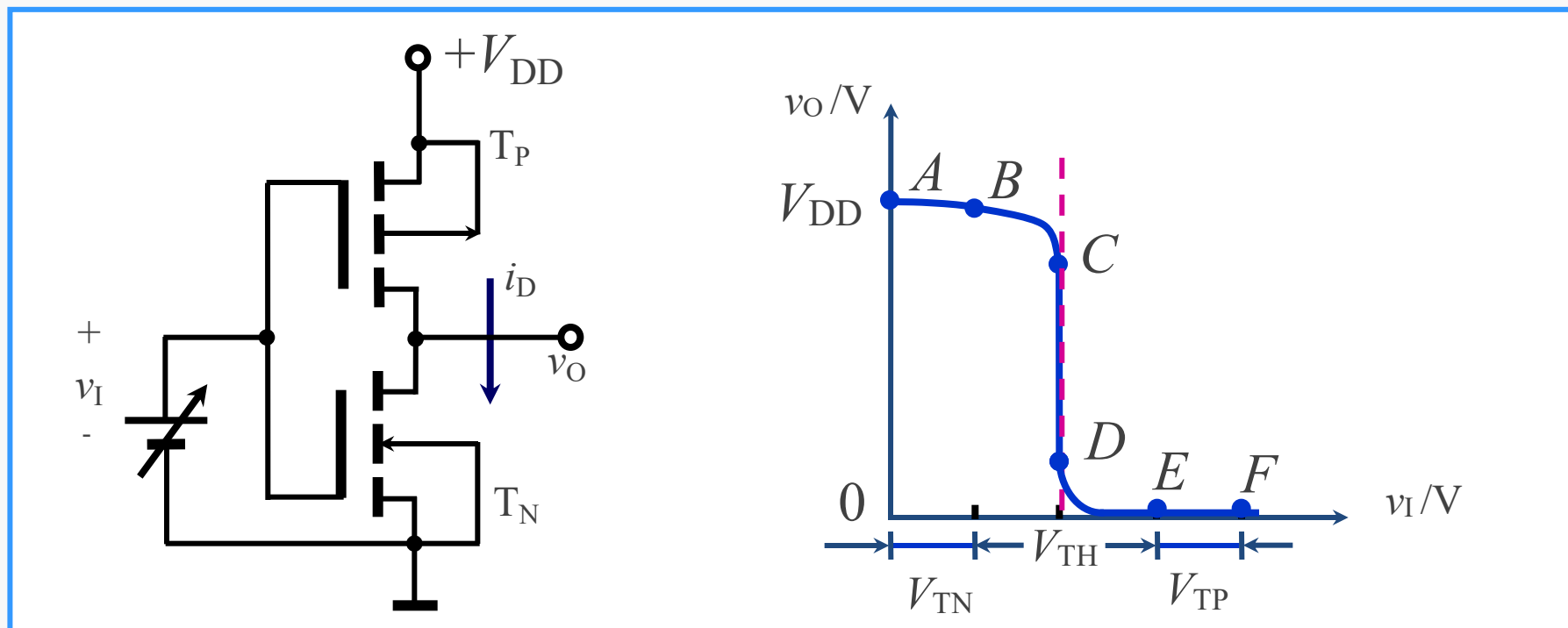


CD 段： $v_I = 0.5 V_{DD}$ ， T_N 导通、 T_P 导通

$v_O \downarrow \downarrow \Rightarrow i_D \uparrow = i_{D(max)}$ ，功耗最大

3.2 CMOS逻辑门电路——反相器传输特性

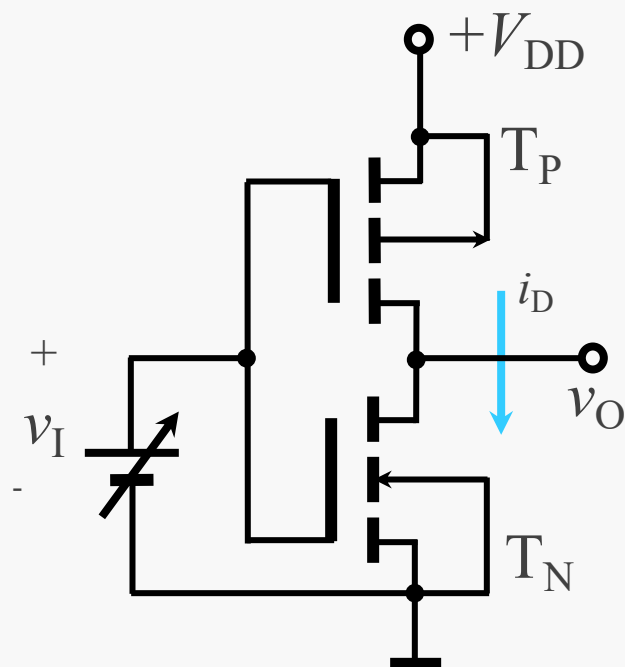
$$v_O = f(v_I)$$



DE、EF 段：

T_N : 导通 \Rightarrow 截止、 T_P : 截止 \Rightarrow 导通

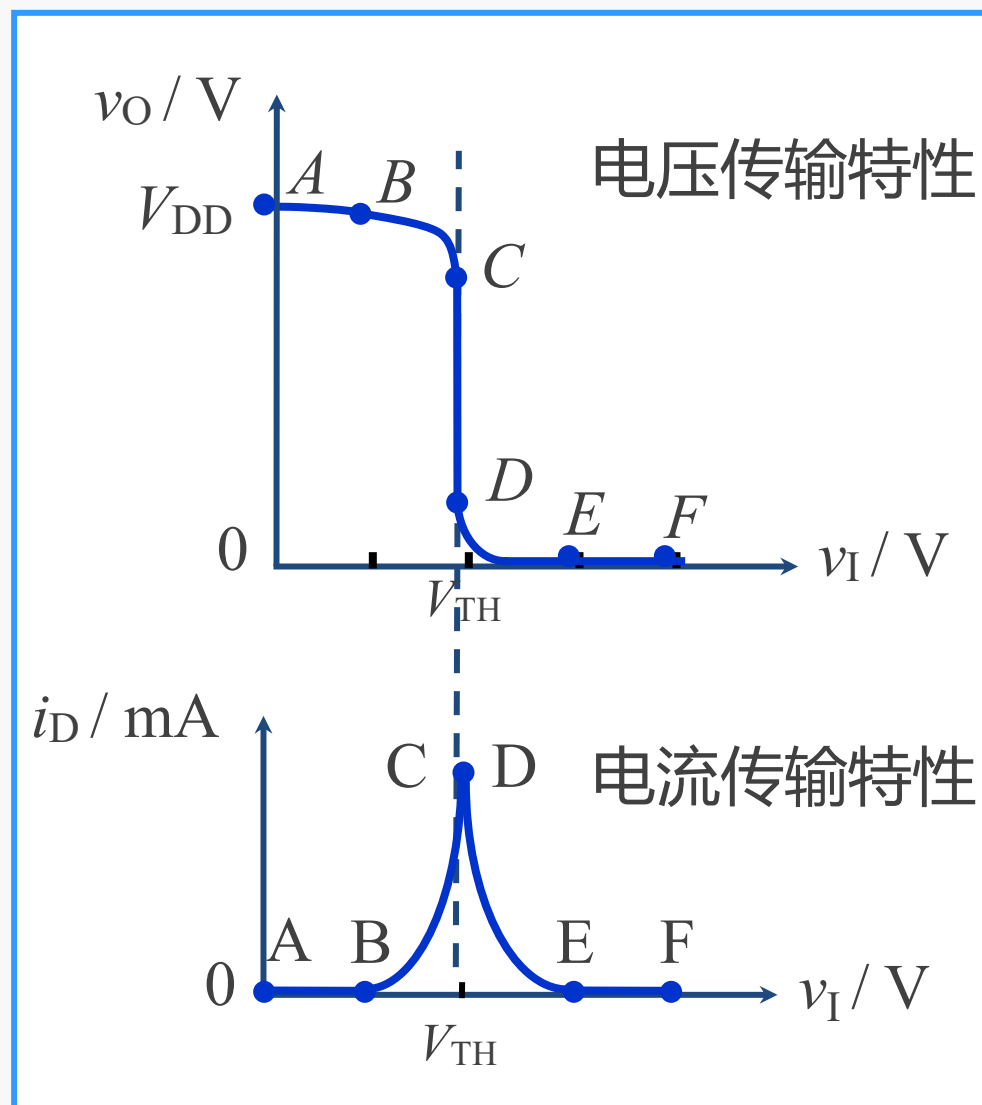
3.2 CMOS逻辑门电路——反相器传输特性



阈值电压：

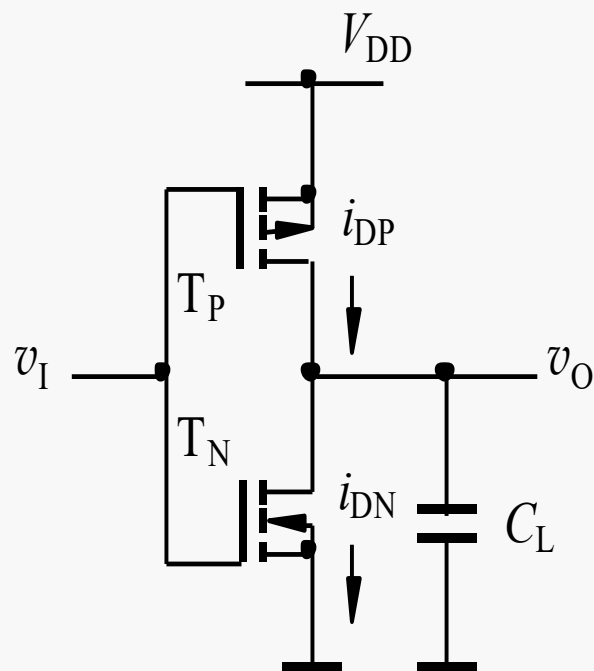
$$V_{TH} = 0.5 V_{DD}$$

$$(V_{DD} = 3 \sim 18 \text{ V})$$

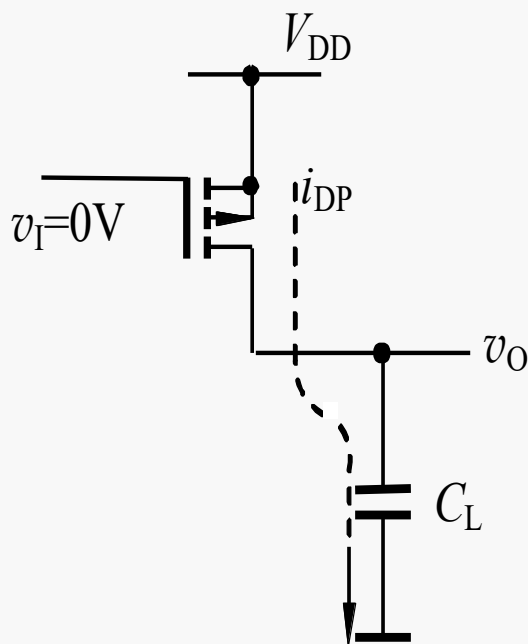


3.2 CMOS逻辑门电路——反相器工作速度

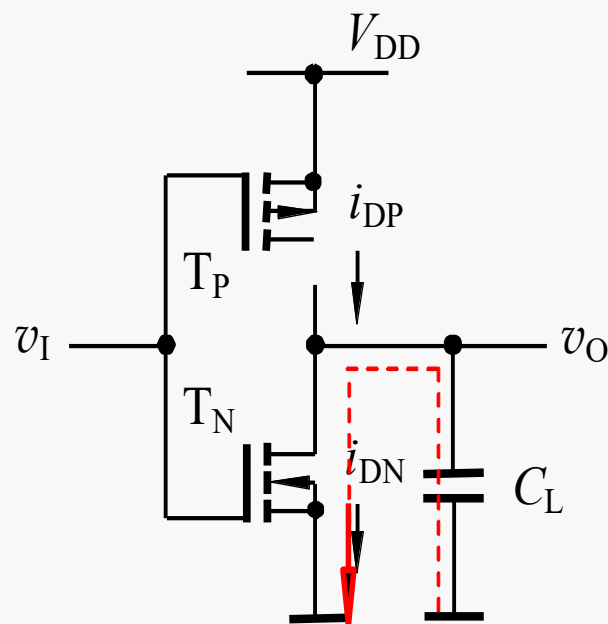
带电容负载



输出从低电平
跳变为高电平

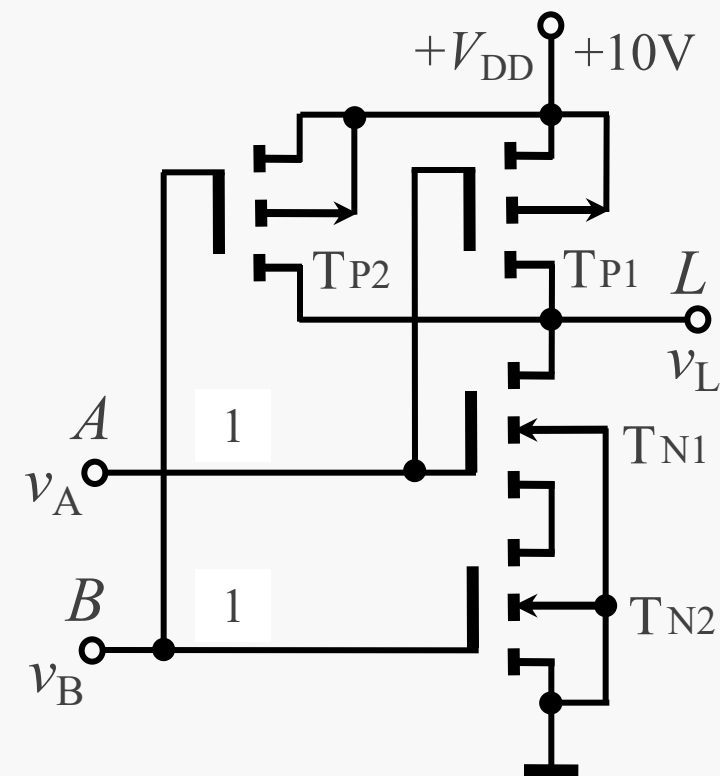


输出从高电平
跳变为低电平



在由于电路具有互补对称的性质，它的开通时间与关闭时间是相等的。

3.2 CMOS逻辑门电路——与非门



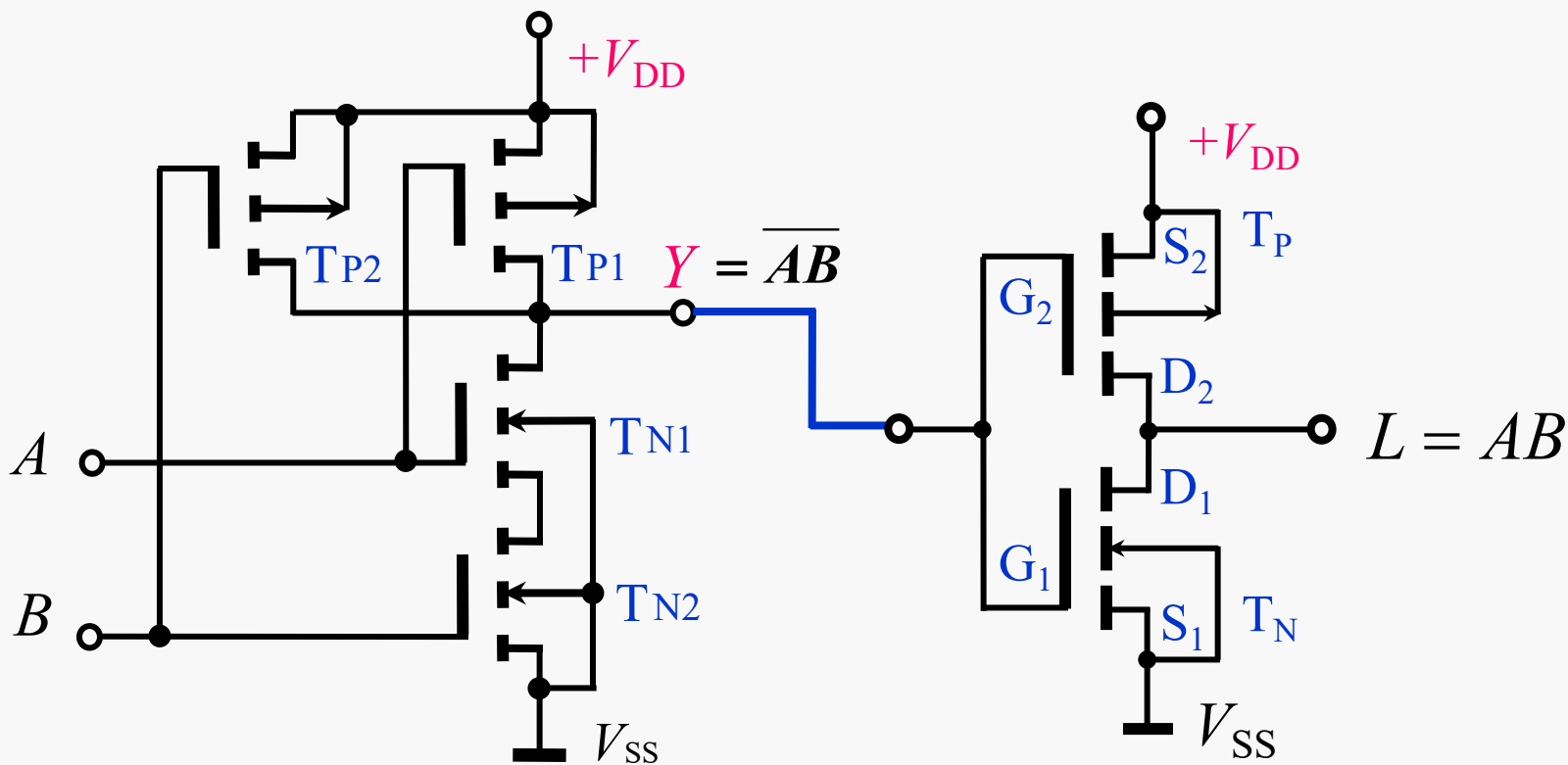
A	B	T_{N1}	T_{P1}	T_{N2}	T_{P2}	L
0	0	截止	导通	截止	导通	1
0	1	截止	导通	导通	截止	1
1	0	导通	截止	截止	导通	1
1	1	导通	截止	导通	截止	0

**n输入的非门怎么实现 ???
有何问题 ???**

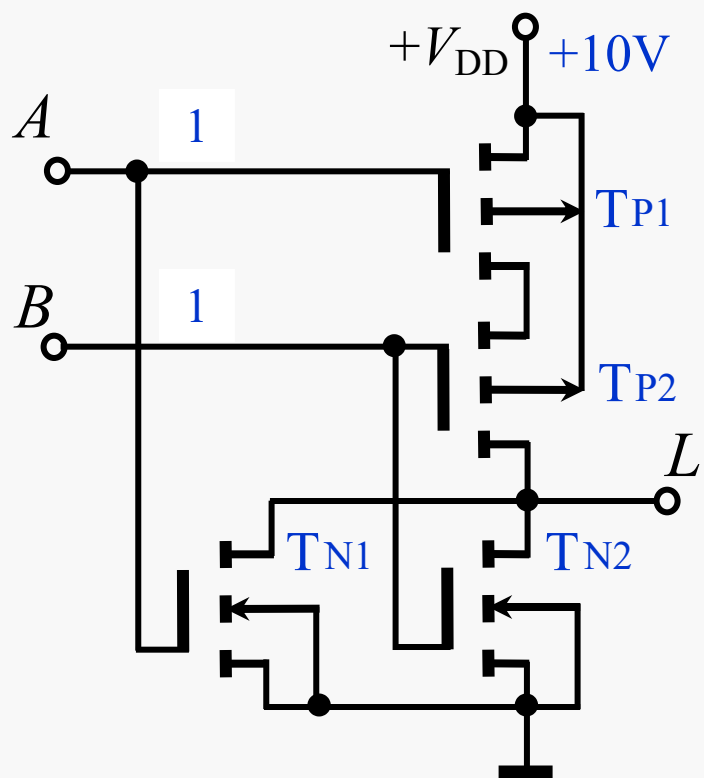


3.2 CMOS逻辑门电路——与门

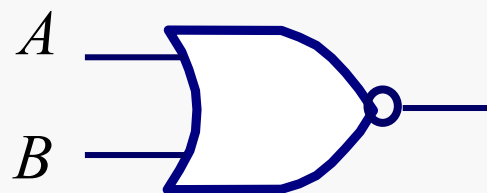
$$Y = \overline{\overline{AB}} = AB$$



3.2 CMOS逻辑门电路——或非门



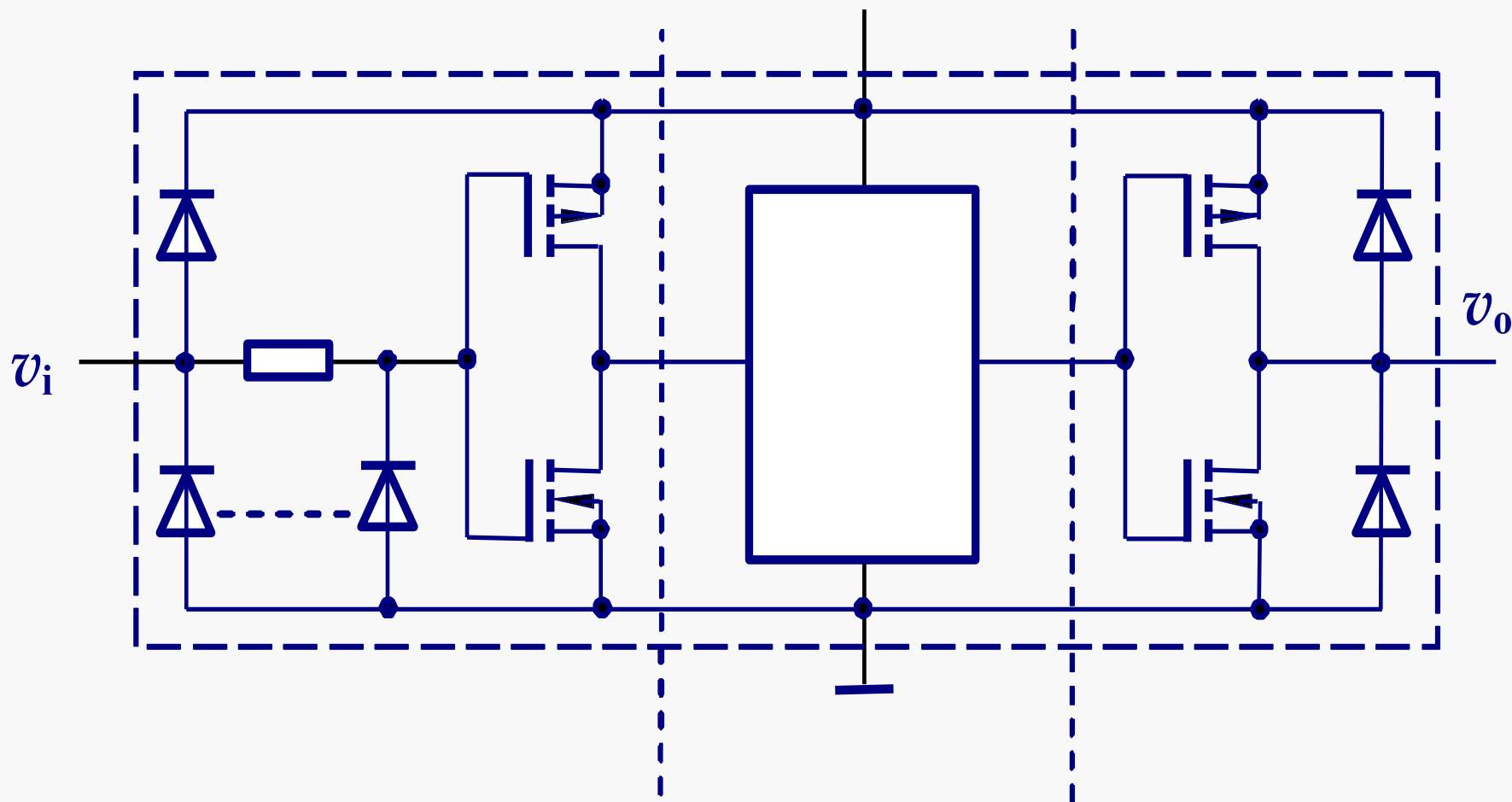
A	B	T_{N1}	T_{P1}	T_{N2}	T_{P2}	L
0	0	截止	导通	截止	导通	1
0	1	截止	导通	导通	截止	0
1	0	导通	截止	截止	导通	0
1	1	导通	截止	导通	截止	0



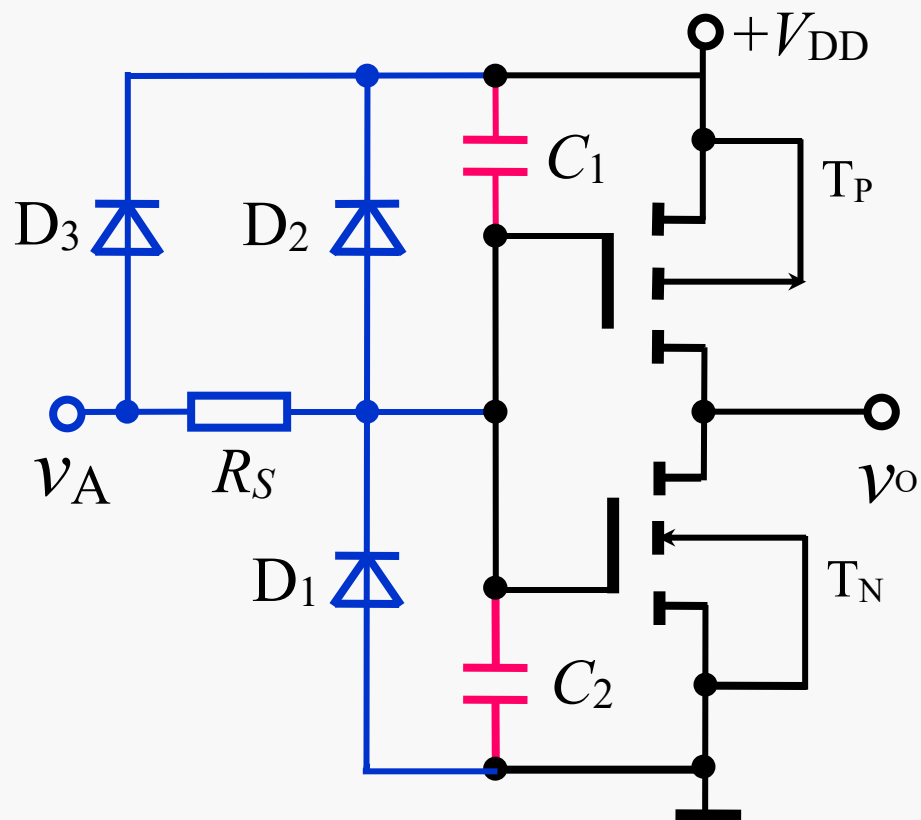
n输入的或非门怎么实现 ???
有何问题 ???

3.2 CMOS逻辑门电路——缓冲电路与保护电路

缓冲电路：能**统一参数**，使不同内部逻辑集成逻辑门电路具有相同的输入和输出特性。



3.2 CMOS逻辑门电路——保护电路



二极管导通电压：

$$v_{DF} = 0.5 \sim 0.7 \text{ V}$$

(1) $-v_{DF} < v_A < V_{DD} + v_{DF}$

D_1 、 D_2 、 D_3 截止

(2) $v_A > V_{DD} + v_{DF}$

D_2 、 D_3 导通， $v_G = V_{DD} + v_{DF}$

(3) $v_A < -v_{DF}$

D_1 导通， $v_G = -v_{DF}$

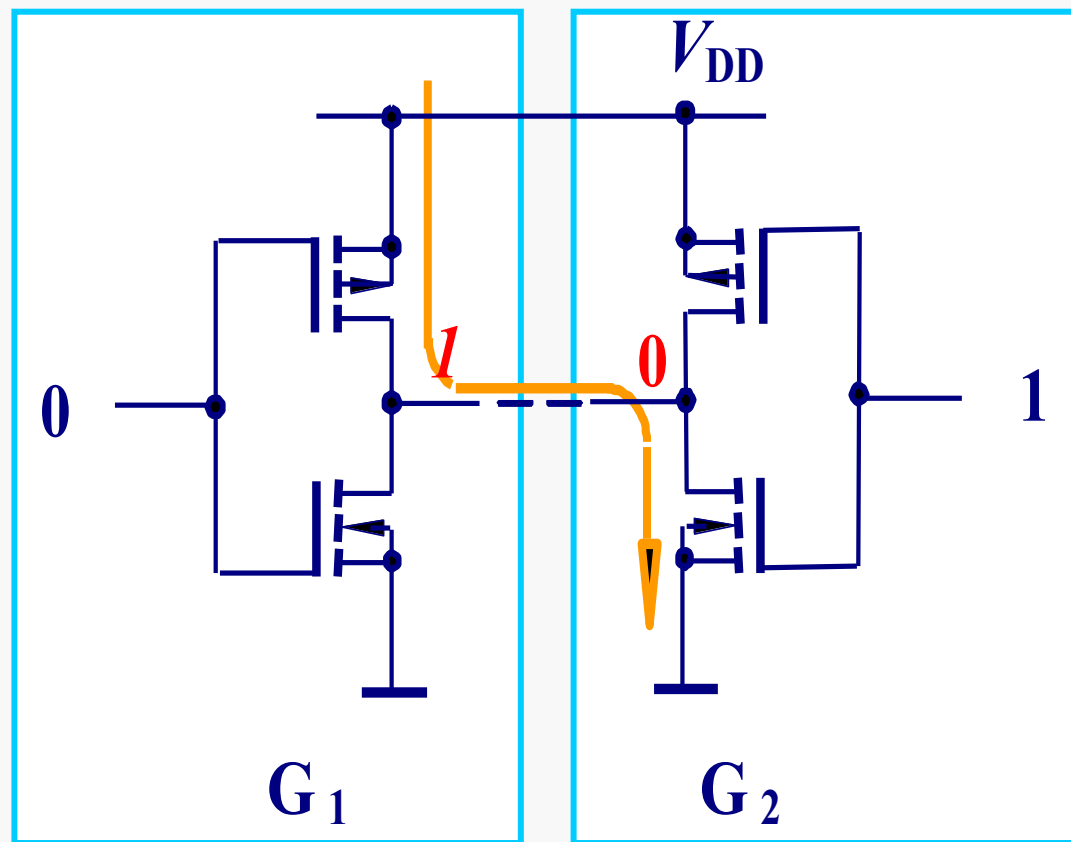
当输入电压不在正常范围时，二极管导通，限制了电容两端电压的增加，保护了输入电路。

R_S 和MOS管的栅极电容组成积分网络，使输入信号的过冲电压延迟且衰减后再到栅极。

3.2 CMOS逻辑门电路——OD门

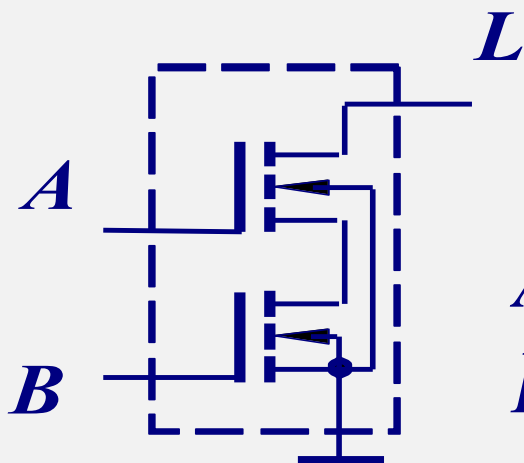
CMOS漏极开路门的提出

两个门电路的输出短接，会产生低阻通路，从而产生大电流。大电流有可能导致器件的**损毁**，并且无法确定输出电平的高低。

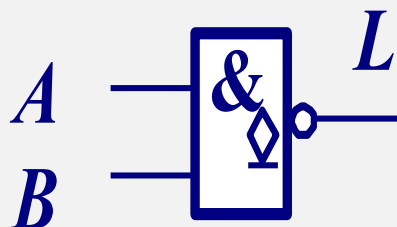


3.2 CMOS逻辑门电路——OD门

电路



逻辑符号



(a)工作时必须外接电源和电阻

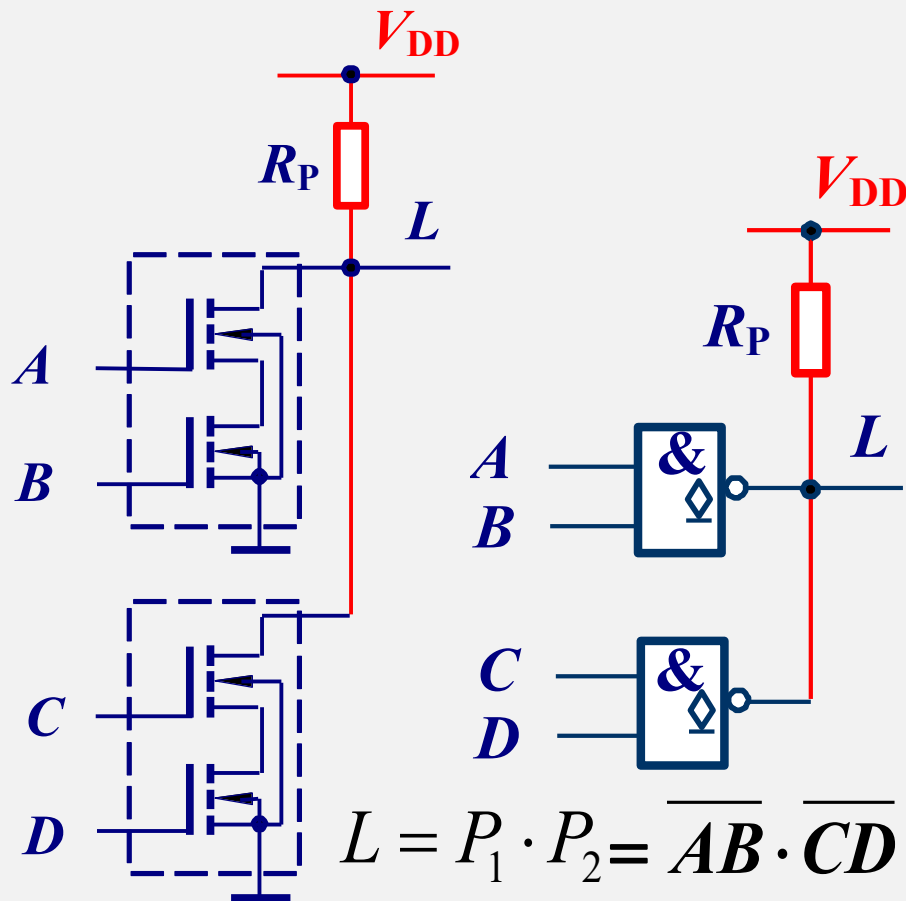
(b)与非逻辑不变

(c)可以实现“**线**与”功能

(d)可实现逻辑电平变换：

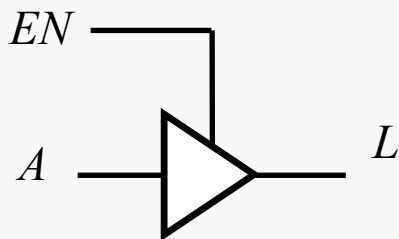
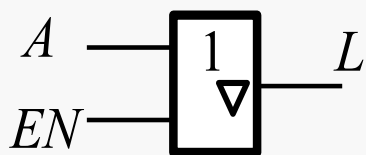
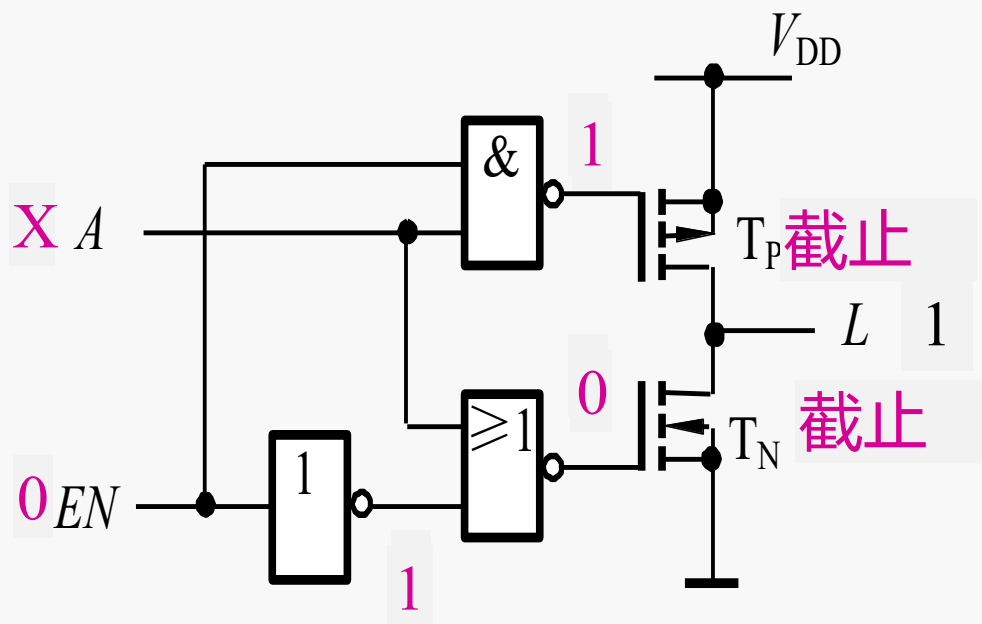
$$V_{OH} = V'_{DD}$$

漏极开路门输出连接



$$\begin{aligned} L &= P_1 \cdot P_2 = \overline{AB} \cdot \overline{CD} \\ &= \overline{AB + CD} \end{aligned}$$

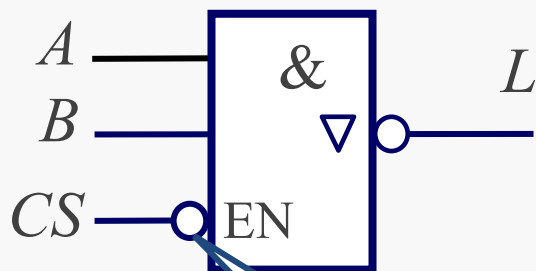
3.2 CMOS逻辑门电路——三态门



使能 EN	输入 A	输出 L
1	0	0
1	1	1
0	×	高阻 (Z)

3.2 CMOS逻辑门电路——三态门

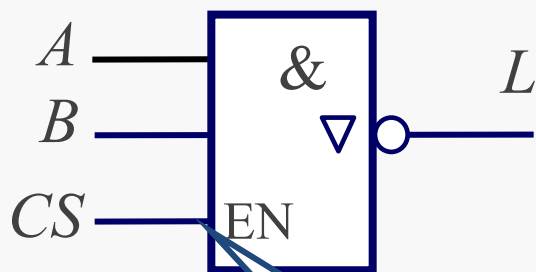
逻辑符号



$$CS=0 \quad L=\overline{AB}$$

$$CS=1 \quad L=Z$$

逻辑符号



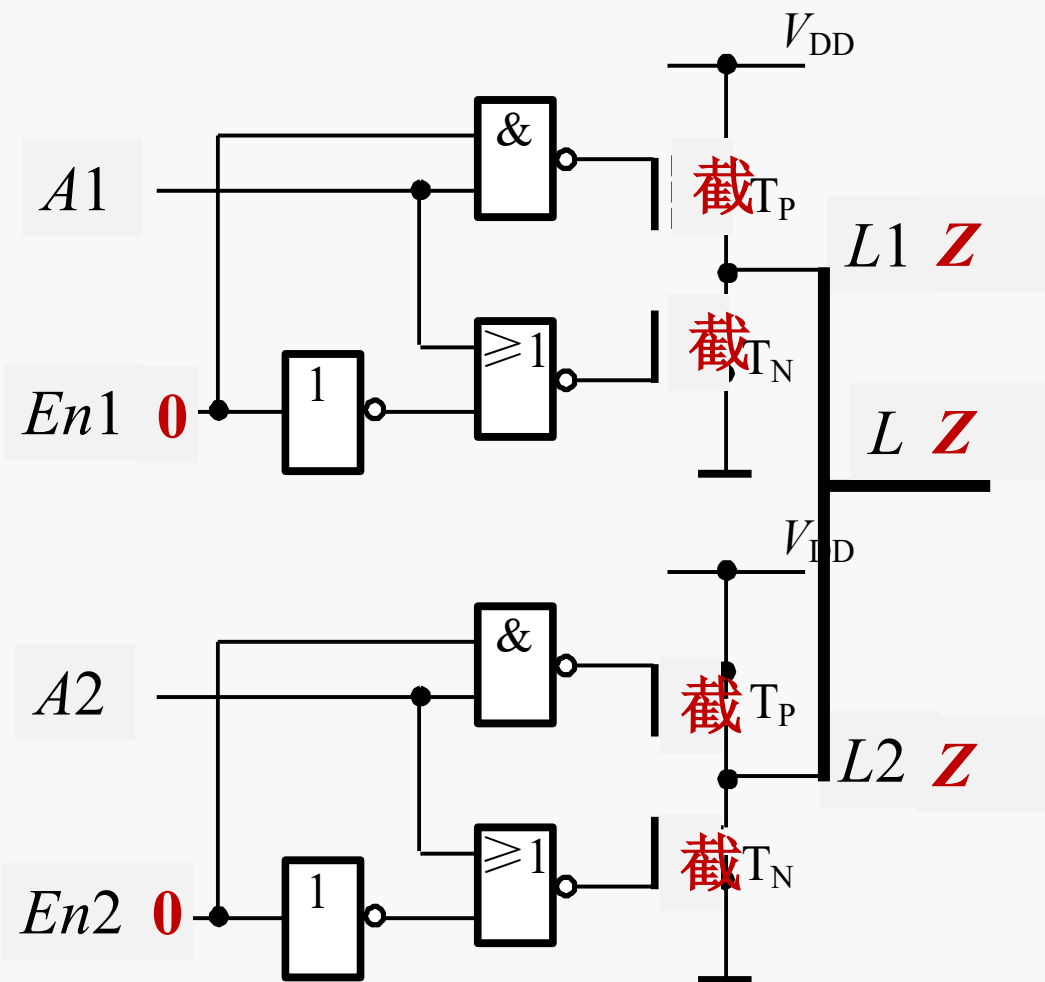
$$CS=1 \quad L=\overline{AB}$$

$$CS=0 \quad L=Z$$

EN	数据输入端		L
	A	B	
0	0	0	1
	0	1	1
	1	0	1
	1	1	0
1	×	×	高阻

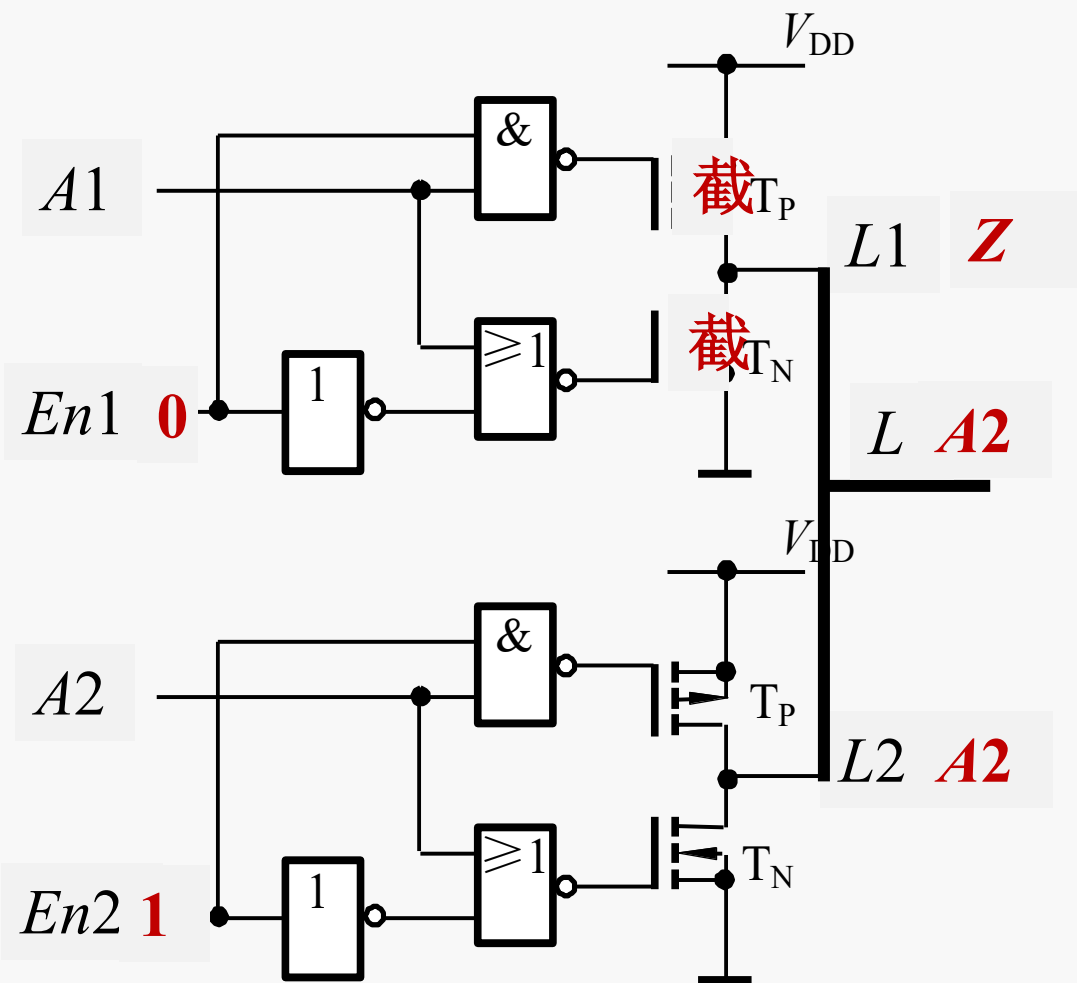
EN	数据输入端		L
	A	B	
1	0	0	1
	0	1	1
	1	0	1
	1	1	0
0	×	×	高阻

3.2 CMOS逻辑门电路——三态门



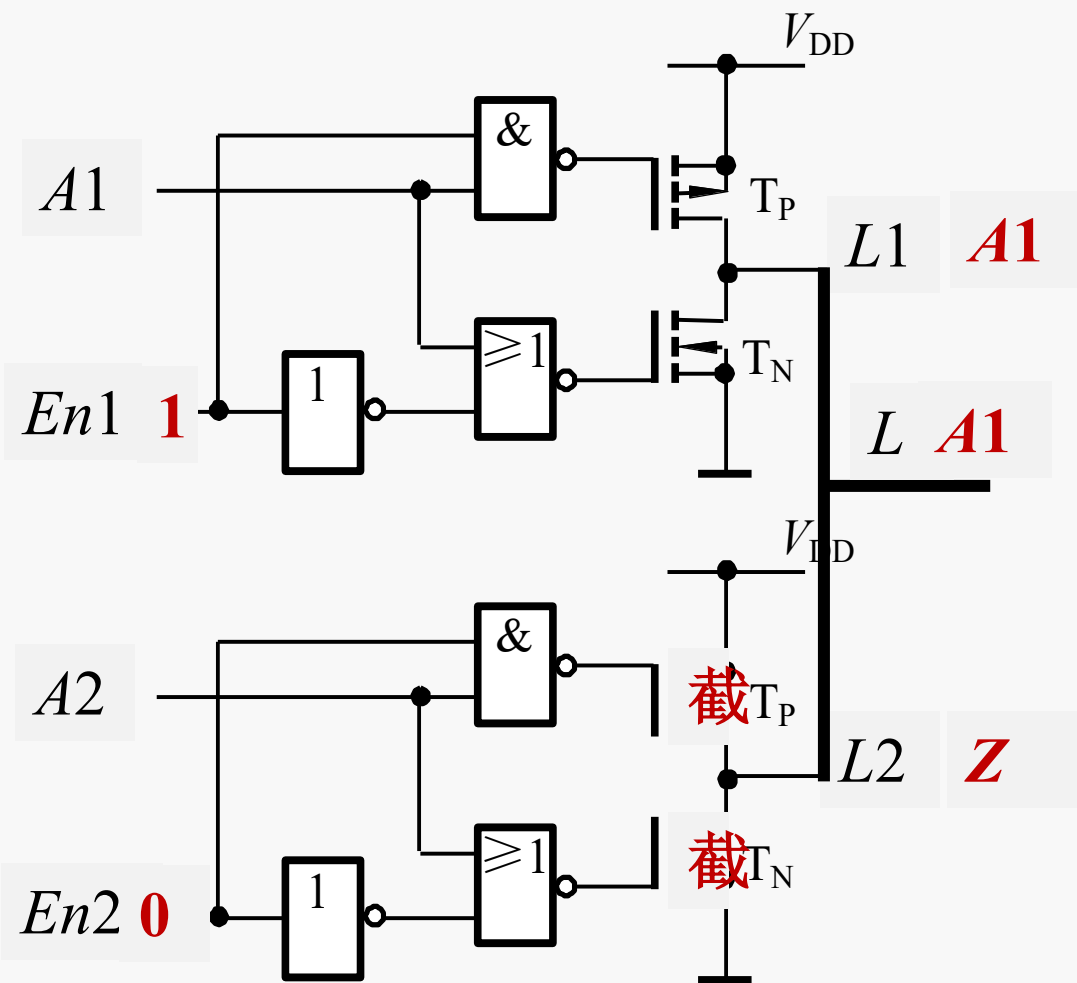
En1	En2	L1	L2	L
0	0	Z	Z	Z

3.2 CMOS逻辑门电路——三态门



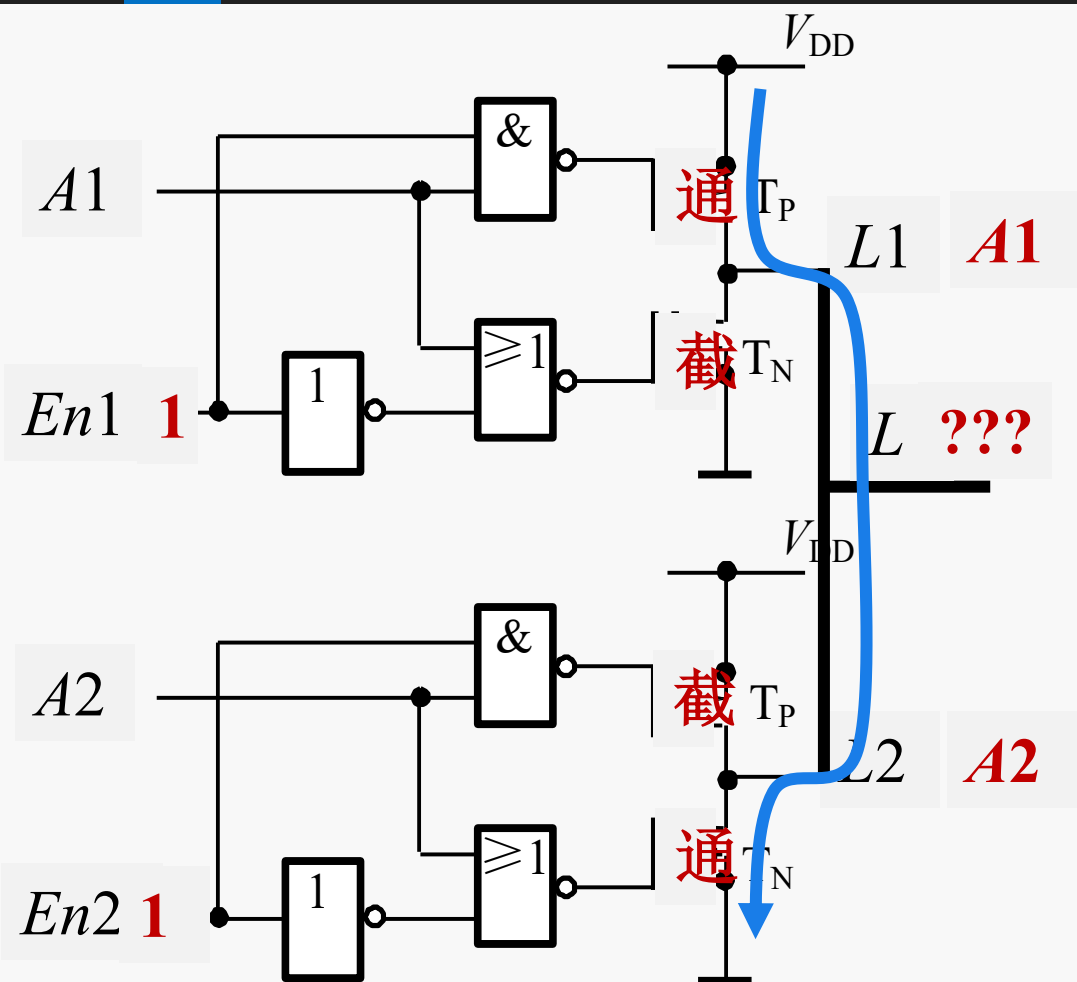
En1	En2	L1	L2	L
0	0	Z	Z	Z
0	1	Z	A2	A2
1	0	A1	Z	A1
1	1	A1	A2	A1 & A2

3.2 CMOS逻辑门电路——三态门



En1	En2	L1	L2	L
0	0	Z	Z	Z
0	1	Z	A2	A2
1	0	A1	Z	A1

3.2 CMOS逻辑门电路——三态门

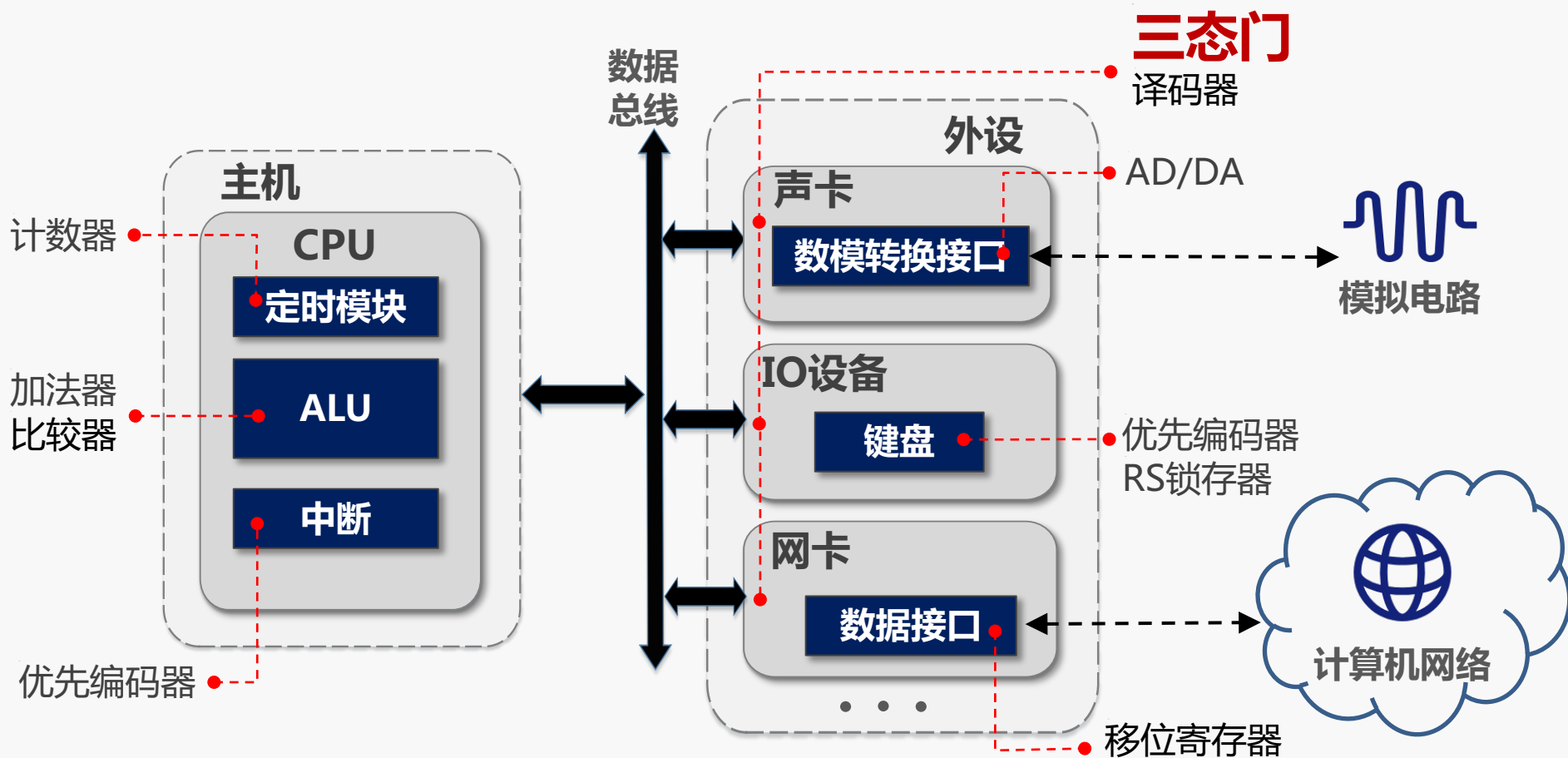


En1	En2	L1	L2	L
0	0	Z	Z	Z
0	1	Z	A2	A2
1	0	A1	Z	A1
1	1	×	×	×

假设：A1=1，A2=0

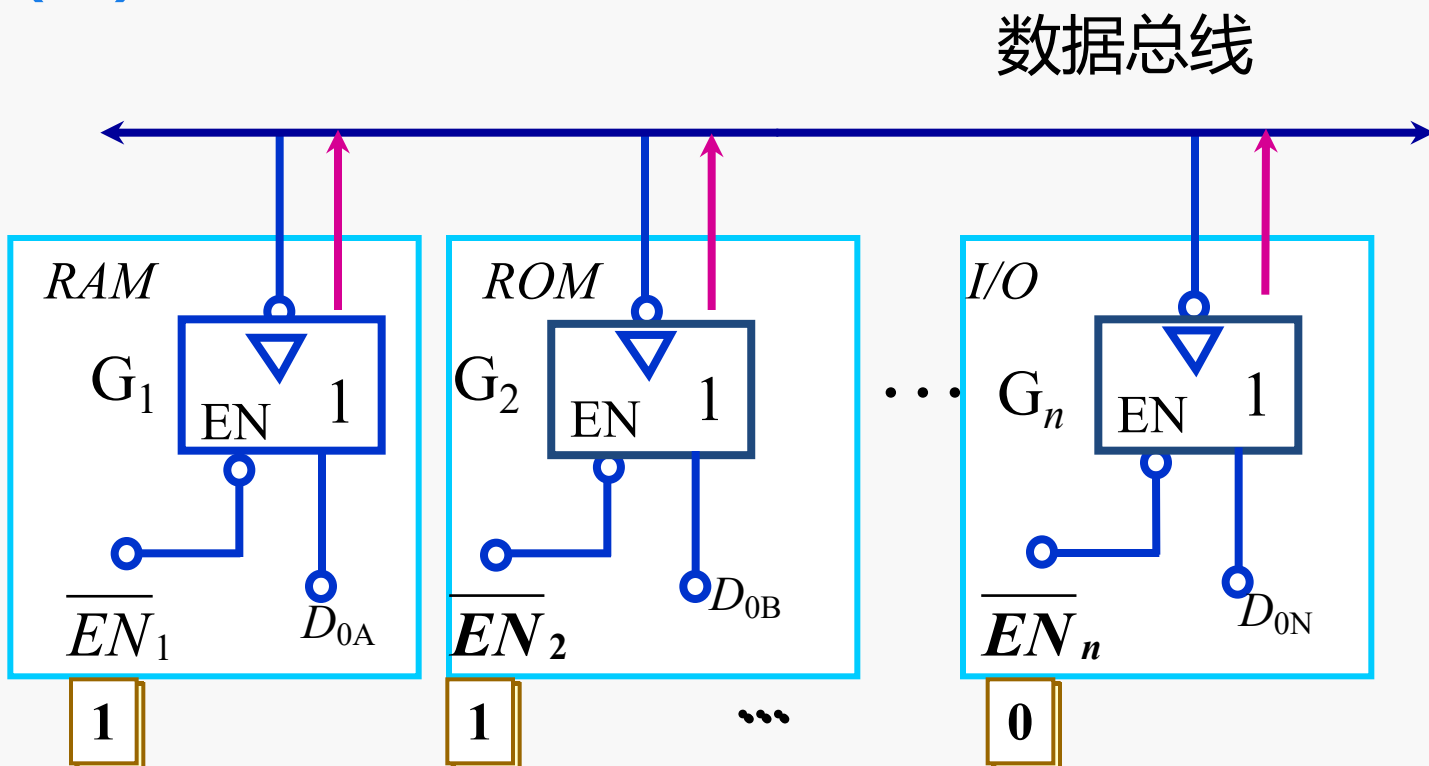
多个三态门的输出端可以短接，但必须满足：
最多只有一个使能端为有效

3.2 三态门的应用



3.2 CMOS逻辑门电路——三态门

(1) 构成总线转输结构



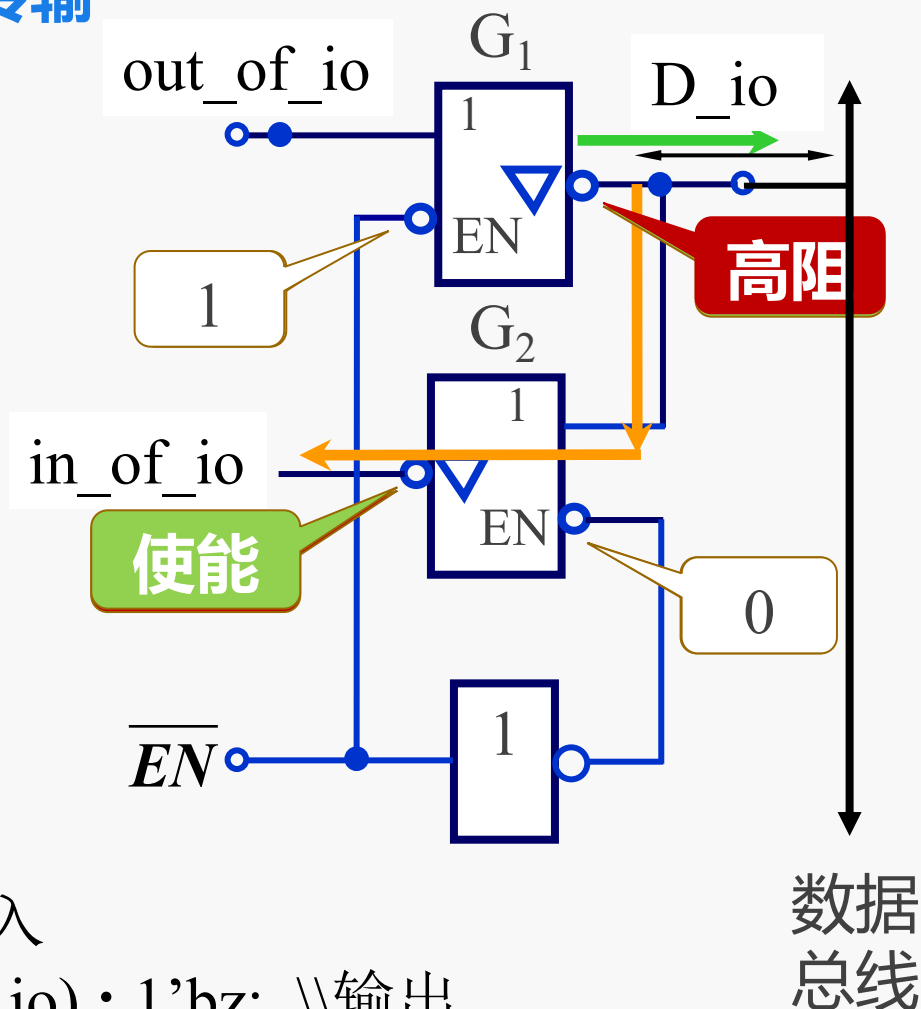
问题：怎样保证同时最多只有一个使能信号有效呢？？？

3.2 CMOS逻辑门电路——三态门

(2) 用于信号双向传输

$\overline{EN} = 0$ 时 信号输出

$\overline{EN} = 1$ 时 信号输入



```
inout D_io;
```

```
wire in_of_io;
```

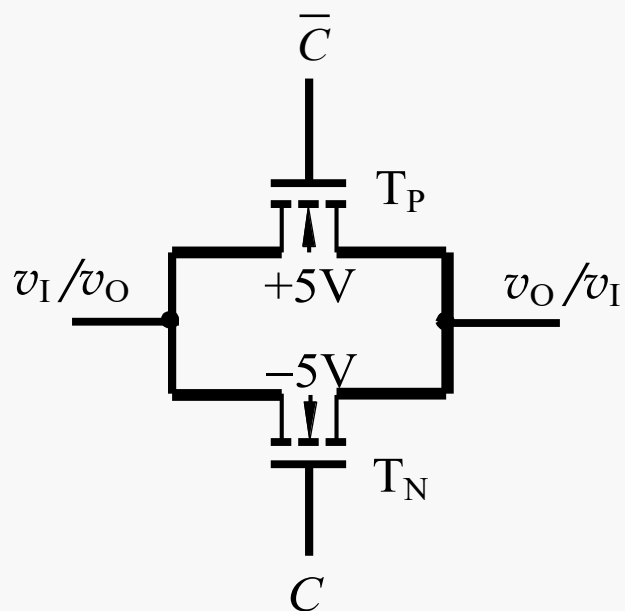
```
wire out_of_io;
```

```
assign in_of_io = ~D_io; \\输入
```

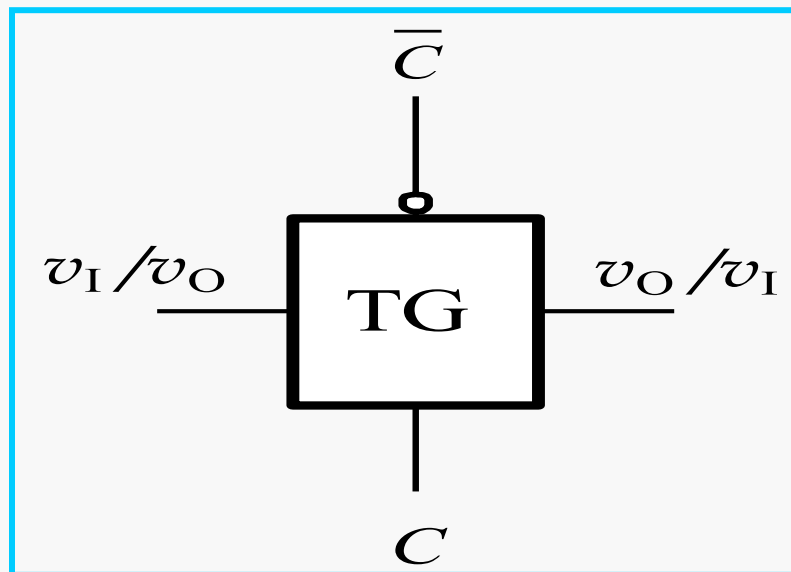
```
assign D_io = (!en) ? (~out_of_io) : 1'bz; \\输出
```

3.2 CMOS逻辑门电路——传输门

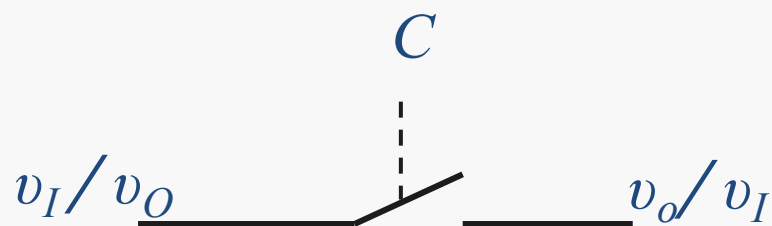
电路



逻辑符号



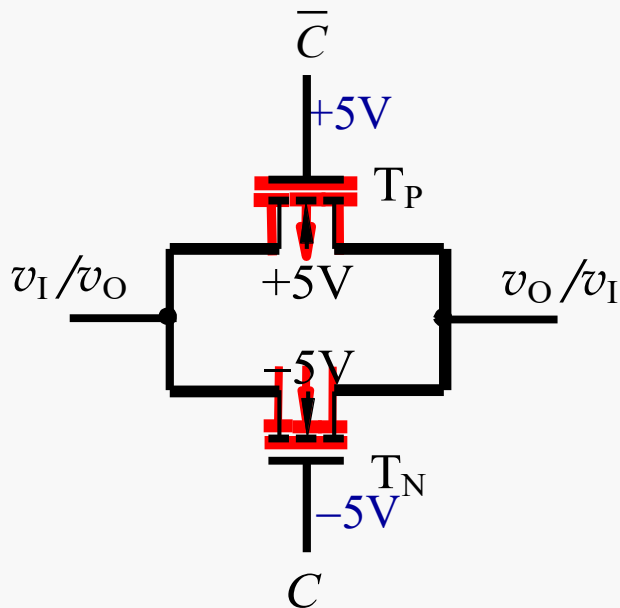
等效电路



3.2 CMOS逻辑门电路——传输门

设 T_P 的开启电压 $|V_{TP}|=2V$ ， T_N 的开启电压 $V_{TN}=2V$ 。

输入模拟信号的变化范围为 $-5V$ 到 $+5V$ 。



当 $c=0$ ， $\bar{c}=1$ 时

$$v_{GSN} = -5V - (-5V \sim +5V) = (0 \sim -10)V$$

$v_{GSN} < 0$, T_N 截止

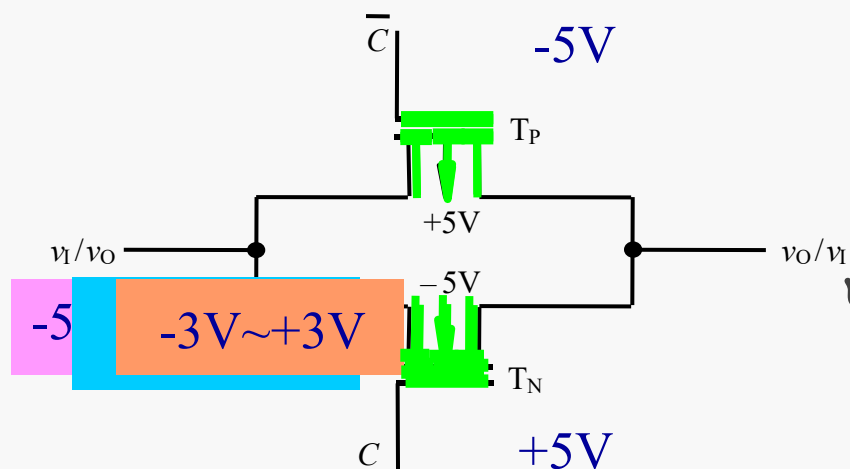
$$v_{GSP} = 5V - (-5V \sim +5V) = (10 \sim 0)V$$

$v_{GSP} > 0$, T_P 截止

开关断开，不能传输信号

3.2 CMOS逻辑门电路——传输门

当 $c=1$, $\bar{c}=0$ 时



a、 $v_I = -5V \sim 3V$

$$v_{GSN} = 5V - (-5V \sim +3V) = (10 \sim 2)V$$

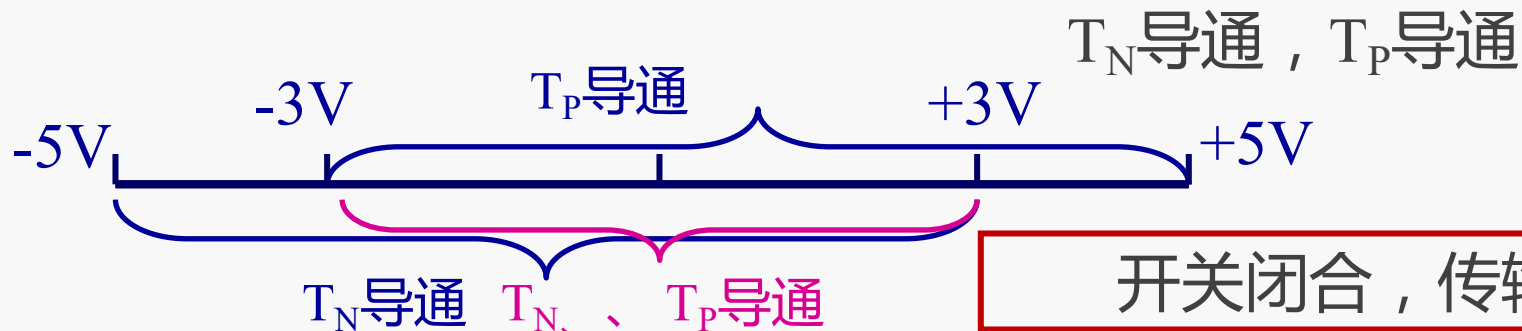
$v_{GSN} > V_{TN}$, T_N 导通

b、 $v_I = -3V \sim 5V$

$$v_{GSP} = -5V - (-3V \sim +5V) = -2V \sim -10V$$

$|v_{GSP}| > |V_T|$, T_P 导通

c、 $v_I = -3V \sim 3V$



3.2 CMOS逻辑门电路——特点

- (1) 功耗极低 LSI : 几个 μW , MSI : $100 \mu\text{W}$
- (2) 电源电压范围宽 CC4000 系列 : $V_{\text{DD}} = 3 \sim 18 \text{ V}$
- (3) 抗干扰能力强 输入端噪声容限 = $0.3V_{\text{DD}} \sim 0.45V_{\text{DD}}$
- (4) 逻辑摆幅大 $V_{\text{OL}} \approx 0\text{V}$, $V_{\text{OH}} \approx V_{\text{DD}}$
- (5) 输入阻抗极高 $\geq 10^8 \Omega$
- (6) 扇出能力强 CC4000系列 : ≥ 50 个
- (7) 集成度很高 , 温度稳定性好
- (8) 抗辐射能力强

3.2 CMOS逻辑门电路——注意事项

1. 注意输入端的静电防护
2. 注意电源电压极性
3. 输出端不能和电源、地短接
4. 多余的输入端不应悬空
 - 与门、与非门：接电源 或 与其他输入端并联
 - 或门、或非门：接地 或 与其他输入端并联