# 

# 电

# 子

# 线

# 路

# 实

# 验

# 报

# 告

# 学院：电子信息与通信学院

# 班级：电信2005班

# 姓名：张智博

# 学号：U202011950

# 实验时间：2022年3月9日

目录

[一、 实验名称 1](#_Toc98351464)

[二、 实验目的 1](#_Toc98351465)

[三、 实验任务 1](#_Toc98351466)

[1. 功能要求 1](#_Toc98351467)

[2. 验收内容 1](#_Toc98351468)

[四、 实验原理 1](#_Toc98351469)

[五、 实验过程 2](#_Toc98351470)

[1. 三种方式的实验代码 2](#_Toc98351471)

[2. 三种方式相同的输出结果 3](#_Toc98351472)

[六、 实验小结 3](#_Toc98351473)

# 第六次实验：EDA组合电路设计

# 实验名称

EDA组合电路设计

# 实验目的

1. 学习使用verilog HDL描述数字逻辑电路与系统的方法;
2. 了解并掌握采用可编程逻辑器件实现数字电路与系统的方法;
3. 学习并掌握采用Xilinx ISE软件开发可编程器件的过程;

# 实验任务

用verilog语言三种方式实现4位求反加1功能数字电路

## 功能要求

1.三种方式实现相同的功能

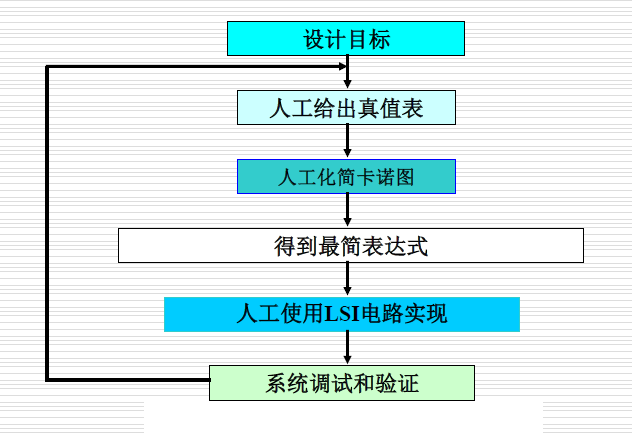
2.使用组合逻辑

## 验收内容

1. 三种方式代码及模拟输出结果

# 实验原理

传统数字系统设计流程



# 实验过程

## 实验步骤

1.新建工程

2.创建新的verilog源文件

3.设计电路代码

4.检查代码是否正确

5.得到并查看底层电路

6.设计仿真测试代码

7.检查代码是否正确

8.开始仿真查看结果

## 代码编写思路

在开始编写行为型时，使用了卡诺图进行分析，并将最简与或式作为结果算式，写出了一套代码。但是此过程较复杂，应在结构型门级结构时使用。

后来编写数据流型，考虑到了4位变量的优势，用4位变量写了一个简单的步骤，意识到了行为型也可以这么简单。

最后编写结构型门级结构，用到了卡诺图化简得到的式子，编写出了代码。

## 知识点

1.在行为型和数据流型代码编写时，应考虑到可以有简洁的代码表示。

2.不要忘了变量的定义类型和输入输出。

3.不要忘了@、；、：等标点。

# 实验代码及结果

## 三种方式的实验代码

1.结构型

module jiegou(A3,A2,A1,A0,Q3,Q2,Q1,Q0);

input A3,A2,A1,A0;

output Q3,Q2,Q1,Q0;

or(Q0,A0);

xor(Q1,A0,A1);

wire x,y;

or(x,A0,A1);

xor(Q2,A2,x);

or(y,x,A2);

xor(Q3,A3,y);

endmodule

2.数据流型

module shujuliu(A,Q);

input [3:0]A;

output [3:0]Q;

Q=~A+1;

endmodule

3.行为型

module xingwei(A3,A2,A1,A0,Q3,Q2,Q1,Q0);

input A3,A2,A1,A0;

output Q3,Q2,Q1,Q0;

reg Q3,Q2,Q1,Q0;

always @(A3,A2,A1,A0)

begin

Q3=(A3&~A2&~A1&~A0)|(~A3&A2)|(~A3&A1)|(~A3&A0);

Q2=(A2&~A1&~A0)|(~A2&A1)|(~A2&A0);

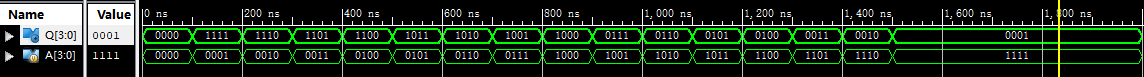
Q1=(~A1&A0)|(A1&~A0);

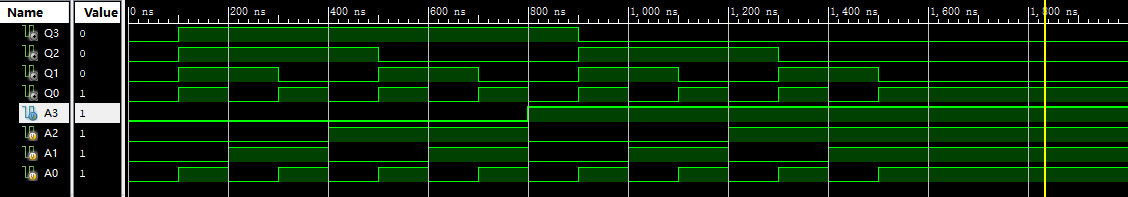
Q0=A0;

end

endmodule

## 三种方式相同的输出结果





# 实验小结

通过本实验，我重新熟悉了verilog语言的编写方法，掌握了一个新的编程软件——ise软件。

在编程过程中，我走了一些弯路，在编写行为型时也用了卡诺图，但得到的结果对结构型亦有用。