**2020年新工科联盟-Xilinx暑期学校团队项目设计文档**

**设计文稿提交格式**

**(Project Paper Submission Template)**

|  |  |
| --- | --- |
| **作品名称** | SEA板复现RISC处理器内核 |
| **板卡型号** | Spartan-7 xc7s15ftg196-1 |
| **所在班级** | A 班 |
| **成员姓名、学号、学校** | 冯燚、06017216、东南大学  丁煜坤、06017318、东南大学 |
| **Github链接** | https://github.com/139122fy/risc-v-core |

**第一部分**

设计概述 /Design Introduction

（1.请概括地描述一下你的设计，可包括本设计目的、学习到的知识点、应用方向或者设想的应用场景等；2. 经组内成员讨论后以表格的形式描述项目中各成员在项目中发挥的作用或者贡献百分比；3.作品的展示照片）

1. 设计目的：学习如何将CPU内核移植到FPGA，入门RISC-V，熟悉RISC-V的指令内容和汇编语法

|  |  |  |
| --- | --- | --- |
| 冯燚 | 完成rom,ram,timer模块修改、编写，top模块 | 50% |
| 丁煜坤 | 完成uart，gpio,spi模块修改、编写，top模块 | 50% |

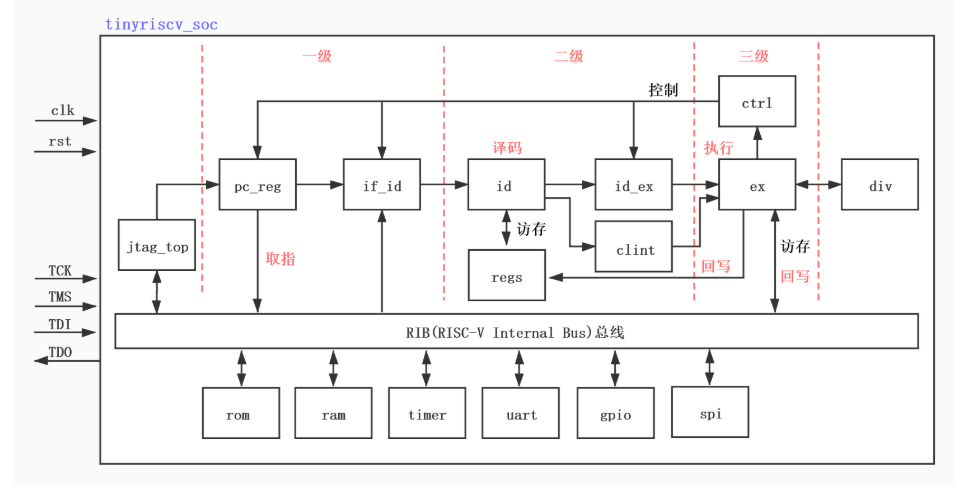
3.无

**第二部分**

系统组成及功能说明 /System Construction & Function Description

（请对作品的1. 计划实现及已实现的功能；2. 项目系统框图；3. 使用的技术方向做说明）

1. 计划将RISC-V移植到FPGA并使LED闪烁，实现将RISC-V移植到FPGA，未实现点亮LED功能



3.技术方向：实现FPGA上运行RISC-V内核

**第三部分**

完成情况及性能参数 /Final Design & Performance Parameters

（作品已实现的功能及性能指标）

本项目实现的一个单核32位的小型RISC-V处理器核（tinyrisc），设计目标是对spatarn xc7s15ftg196-1.

tinyrisc有以下特点：

1. 采用三级流水线，即取指，译码，执行
2. 支持jtag
3. 支持中断
4. 支持总线
5. 支持通过串口更新

性能指标：无法测试

**第四部分**

总结 /Conclusions

（谈一谈完成暑期学校课程后的收获与感想。请每位组员分开写。）

冯燚：对FPGA的应用场景有了更加深刻的认识，特别是将CPU移植到FPGA这一功能。

积累了很多SEA板卡使用经验，对状态机有了更深刻的理解，初步了解了复杂IP的设计。

丁煜坤：通过这次课程我学习了FPGA有关知识，对于FPGA有了进一步的了解。从对项目完全没有概念到有了一些想法以及知识储备，万分感谢队友的帮助以及指导。