

诚信保证

本人知晓我校考场规则和违纪处分条例的有关规定，保证遵守考场规则，诚实做人。

本人签字：_____

编号：_____

西北工业大学考试试题（卷）

2018 — 2019 学年第 二 学期

开课学院 软件与微电子学院 课程 计算机组成原理 学时 56

考试日期 2019 年 6 月 11 日 考试时间 2 小时 考试形式（闭）（B）卷

题号	一	二	三	四	五	六	七	总分
得分								

考生班级		学 号		姓 名	
------	--	-----	--	-----	--

一、填空（25×1 分）。

- 完整的计算机系统应该包括是 硬件、软件 和 固件。
- 目前，Web 上广泛使用的全球统一的通用字符编码规范是 Unicode。
- $(CE)_{16} = (206)_{10}$ 。
- 若采用奇校验，数据0101001和0011011的校验位分别是 0 和 1。
- 一 8 位小数定点计算机，采用 1 位符号位，若寄存器内容为10000000，如分别用原码、反码和补码来解释，其对应的真值分别是 0/-0、 $-(1-2^{-7})$ 和 -1.0。
- MIPS是衡量计算机性能的重要指标之一，其含义是 每秒执行百万条指令。
- 按照信息的可保存性，存储器可以分为 易失性 和 非易失性 两类。
- 一 RAM 芯片容量为 512×8 位，除电源和接地引脚外，其至少还需要 $17 \sim 20(9+8)$ 根引脚。
- 温彻斯特硬盘的结构表明其平均存取访问时间主要由 平均寻道时间 决定。
- 某同步总线的时钟频率为33.3MHz，每个时钟周期可以传送一次数据，若总线带



宽为532.8Mbps, 则该总线的数据总线宽度至少为 $\frac{532.8}{33.3} = 16$ 位。

11. 现代计算机中常将 计算器 和 控制器 封装在一个芯片内, 称其为CPU。
12. 计算机软件 and 硬件的界面是由 指令集/机器语言 所定义。
13. 实现机器指令的微程序存储在 控存 中。
14. 机器指令通常由 操作码 和 操作数/地址码 两部分组成。
15. 没有提供专用IO指令的微处理器, 一般采用 统一 IO编址方式。
16. 常见的控制器时序控制方式可分为同步控制、异步控制、联合控制 和 人工控制 四种。

二、选择 (10×1 分)。

1. 某计算机处理器中的寄存器宽度为 32 位, 其地址总线的宽度为 16 位, 则该计算机是 (B) 位计算机。
A. 16 B. 32 C. 计算 16, 存储 32 D. 存储 16, 计算 32
2. 现代计算机系统是一个典型的多级时序系统。完成指令的多个机器周期通常是由多个 (B) 组成。
A. 指令周期 B. 时钟周期 C. 中断周期 D. 取指周期
3. 以下四种传输方式, 最适用于远距离传输的是 (D)。
A. 同步并行传输 B. 异步并行传输 C. 同步串行传输 D. 异步串行传输
4. 下面所列设备不属于总线主设备的有 (B/D)。
A. 中央控制器 B. 中断控制器 C. DMA 控制器 D. 磁盘控制器
5. 关于指令系统支持多种寻址方式的主要目标, 下属陈述不正确的是 (C)。
A. 缩短指令字长 B. 支持开发语言需求
C. 提高程序执行效率 D. 扩大寻址空间
6. 关于计算机组成和计算机体系结构的关系, 下面那个说法是正确的 (C)。
A. 计算机组成和计算机体系结构本质是一致的
B. 计算机体系结构和组成之间是一一对应的关系
C. 不同的计算机组成可以支持同一种指令集所定义的体系结构



- D. 计算机体系结构依赖计算机组成, 不同的组成形成了不同的体系结构
7. EEPROM 是指 (A)。
- A. 电可擦除的可编程只读存储器 B. 掩模只读存储器
C. 光可擦除的可编程只读存储器 D. 一次性可编程只读存储器
8. 存储字长是指 (C)。
- A. 存储单元中的二进制代码组合 B. 寄存器中二进制代码组合
C. 存储单元中的二进制代码个数 D. 寄存器中二进制代码个数
9. 相对于二进制数的原码和反码表示, 补码表示最显著的优势在于 (D)。
- A. 0 的编码表示唯一 B. 编码方式便于理解
C. 编码空间利用率高 D. 符号位可以直接参与运算
10. 关于系统总线, 下面说法不正确的是 (B)。
- A. 可以分为数据总线、地址总线和控制总线三类
B. 从传输方向来看, 数据总线和控制总线都是完全双向的
C. 地址总线是从CPU向外单向传输
D. 控制总线的部分连线传输方向是从外部传向CPU的

三、判断对错 (1×8 分)

1. CPU中的PC或IP寄存器中存储的是当前正在执行指令的地址。✖
2. 通道指令是一种简化的通用处理器指令。✖
3. CPU响应中断的时机是由操作系统决定的。✖
4. 在同等条件下, CACHE越大, 则其命中率也就越高。✓
5. 计算机系统的性能主要是由CPU主频决定的。✖
6. 每传送一个数据, DMA 方式需要一个存储周期。✓
7. 海明码能够在数据传输过程的同时完成数据校验。✖
8. 计数器定时查询方式是对电路故障最敏感的一种总线判优机制。✖

四、简答 (22 分)。

1. 什么是程序的局部性? 请结合CACHE设计, 说明计算机系统结构如何利用程序



的局部性? (2分+4分)

参考: 空间局部性+时间局部性。(2)

1. 以块为单位组织 Cache, 充分利用空间局部性。(2)

2. LRU 替换算法, 充分利用时间局部性 (2)

2. CISC 和 RISC 的含义分别是什么? 你怎么看待他们的发展趋势。(4分)

参考: CISC: 复杂指令集计算机; RISC: 精简指令集计算机。(1+1)

融合, 互相借鉴。总体而言, RISC 将在更多的领域发挥愈来愈大的作用。(2)

3. 什么是接口? 计算机输入输出系统中为什么需要接口? (4分)

参考: 接口是用于将外部设备接入的计算机系统的特殊电路或芯片。(2)

从作用出发, 回答。核心要点是屏蔽外设和计算机系统在电气特性、数据表示、编码、速度等方面存在的巨大差别。(2)

4. 冯·诺依曼结构的主要特点是什么? 计算机数据和指令都存在存储器中, 计算机如何区分他们? (4分)

参考: 冯诺以曼的五条定义, 至少回答三条, 尤其“程序存储、顺序执行”。(2)

通过上下文, 或者更准确的是通过指令的执行所处的不同机器周期来决定的。(2)

5. 简述程序中断方式和DMA方式的区别。(4分)

	中断	DMA
实现方式	软件 (+硬件)	硬件
时机	两条指令之间	两个机器 (存储) 周期之间
能力	事件处理 (>数据传输)	数据传输
现场处理	保存+恢复	无
优先级	较低	较高
关系	DMA利用了中断技术	

注意: 正确回答四条, 即可给满分。

五、应用题。

1. 设 $x = 2^{-101} \times (-0.101000)$, $y = 2^{-100} \times (+0.111011)$, 并假设阶符取 2 位, 阶码的数值部分取 3 位, 数符取 2 位, 尾数的数值部分取 6 位。阶码和尾数均用补码表示, 采用“0 舍 1 入法”进行舍入处理, 求 $x - y$ 。(6分)



1. x 的尾数补码为: 11011000, 阶码为: 11011
 y 的尾数补码为: 00111011, 阶码为: 11100
 $-y$ 的尾数补码为: 11000101, 阶码为: 11100
 - 2 对阶: x 右移 1 位, 则其尾数和阶码的补码分别是: 11101100, 11100
 3. 尾数计算: $x - y = x + (-y)$: 10110001
 4. 右规: 尾数: 11 0110001, 阶码: 11 101
 5. 舍入处理: 采用“0 舍 1 入法”, 则其尾数运算结果为 11 011001。
- 所以, $[x - y]_{2C} = 11, 101; 11, 011001$ 。
6. 溢出判断: 未溢出。

2. 设某计算机配有基址寄存器和变址寄存器, 采用一地址指令格式的指令系统, 允许直接和间接寻址, 且指令字长、机器字长和存储字长均为 16 位。

(1) 采用单字长指令, 共能完成 105 种操作, 则指令可直接寻址的范围有多大? 一次间接寻址的范围是多少? 请给出指令格式并说明各字段的含义。(5 分)

105 种操作, 则指令码需要 7 位; 支持两种寻址方式, 故需要 1 位; 两个寄存器, 需要 1 位; 故剩余可用于形式地址的位数为 7 位。其格式如下图所示:

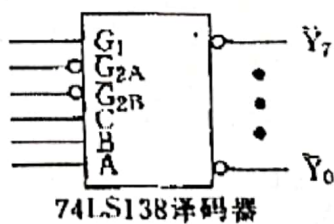


直接寻址范围应为 $2^7 = 128$, 间接寻址范围为 $2^{16} = 65536$

(2) 若存储字长不变, 采用什么方法直接访问容量为 16MB 的内存? (2 分)

可采用双字长指令。如上右图所示。

3. 假设某型号 CPU 具有 16 位地址总线和 8 位数据总线, 并以 \overline{MREQ} 作为访存控制信号 (低电平有效), \overline{WR} 用于读写控制



$G_1, \overline{G_{2A}}, \overline{G_{2B}}$ 为控制端
 C, B, A 为变量输入端
 $\overline{Y}_7 \dots \overline{Y}_0$ 为输出端

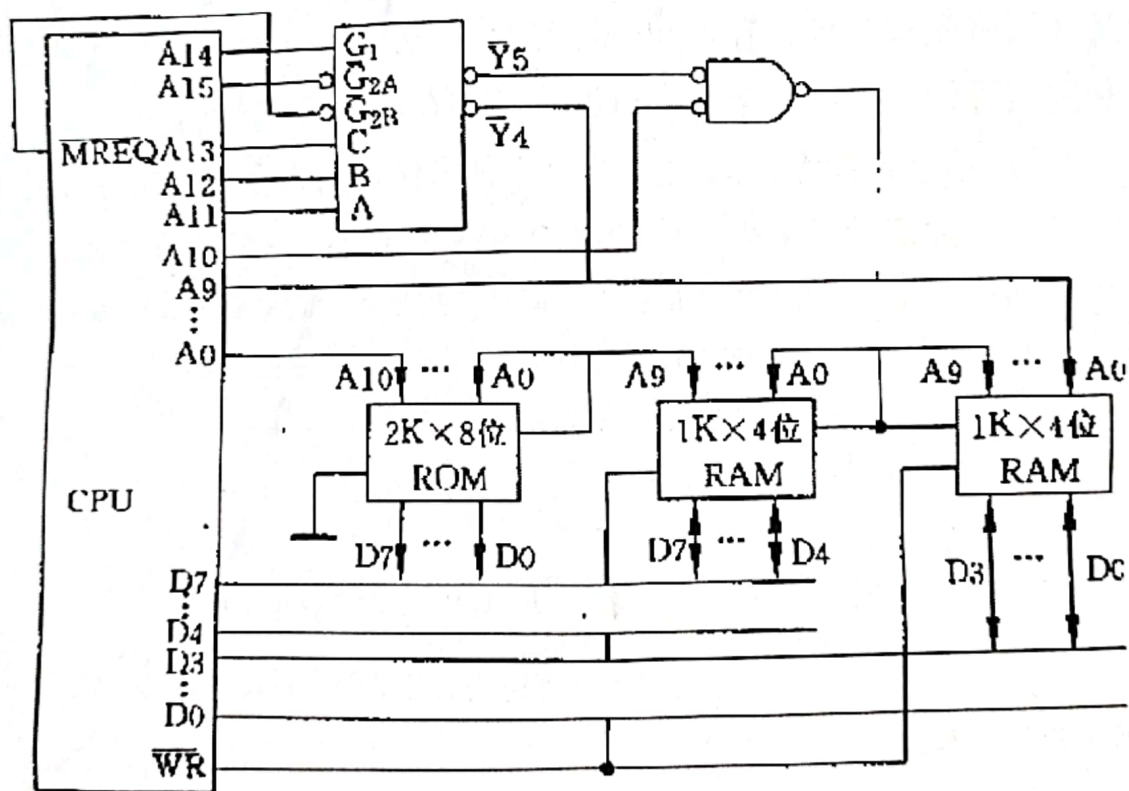
(高电平为读信号、低电平为写信号)。现有下列存储芯片: $1K \times 4b$ RAM, $4K \times 8b$ RAM, $2K \times 8b$ ROM, 以及 74LS138 译码器和各种门电路。要求:

(1) 主存地址空间分配: 系统程序区 $6000H \sim 67FFH$, 用户程序区 $6800H \sim 6BFFH$ 。



- (2) 合理选用上述存储芯片, 说明各选几片? (3 分)
- (3) 画出存储芯片的片选逻辑。(5 分)

A ₁₅	A ₁₁	A ₇	A ₀													
0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	} 2KB 系统内存, 可选用 2K × 8b ROM 1 片
0	1	1	0	0	1	1	1	1	1	1	1	1	1	1	1	
0	1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	} 1KB 用户内存, 可选用 1K × 4b ROM 2 片
0	1	1	0	1	0	1	1	1	1	1	1	1	1	1	1	



4. 一个 DMA 接口可采用周期窃取方式将字符串送到存储器, 支持的最大批量位 400 字节。若存取周期为 100ns, 每处理一次中断需要 5μs, 现有的字符设备的传输率为 9600bps。假设字符之间的传输是无间隙的, 若忽略预处理所需的时间, 试问采用 DMA 方式每秒因数据传输需占用处理器多少时间? 若采用完全中断方式, 又需要占用多少时间? (2 × 3 分)

设备每秒传输字节数: $\frac{9600}{8} = 1200$



DMA方式

$$1200 \times 0.1\mu s + \frac{1200}{400} \times 5\mu s = 135\mu s$$

中断方式

$$1200 \times 5\mu s = 6000\mu s$$

5. 右图为某计算机的结构框图，其中有一个累加器 AC、一个状态寄存器以及其他四个寄存器。图中各部分之间的连线表示数据通路，连线箭头表示信息流向。

(1) 给出图中 $a \sim d$ 四个寄存器名字和功能。(4 分)

a	存储器数据寄存器, MDR
b	指令寄存器, IR
c	存储器地址寄存器, MAR
d	程序计数器, PC/IP

(2) 以完成一条加法指令 $ADD\ K$ (K 为内存操作数, 指令功能为 $AC = AC + [K]$) 为例, 写出该指令在各个机器周期的微操作序列, 假设指令周期由取指、间址和执行三个机器周期组成。(4 分)

周期	微操作
取指	$pc \rightarrow MAR, 1 \rightarrow R$ $M(MAR) \rightarrow MDR$ $MDR \rightarrow IR$ $M(MAR) \rightarrow MDR$ $(PC) + 1 \rightarrow PC$
间址	$K(IR) \rightarrow MAR$ $M(MAR) \rightarrow MDR$ $MDR \rightarrow ALU$
执行	$AC \rightarrow ALU$ $1 \rightarrow ADD$ $AC \rightarrow MDR$ $1 \rightarrow W$

