

## 作业二:

计算机组成原理 楚逸飞 20203028781

例4.1.

解: ① 将十六进制主存地址转为二进制, 以便确定容量.

	A <sub>15</sub>	A <sub>14</sub>	A <sub>13</sub>	A <sub>12</sub>	A <sub>11</sub>	A <sub>10</sub>	A <sub>9</sub>	A <sub>8</sub>	A <sub>7</sub>	A <sub>6</sub>	A <sub>5</sub>	A <sub>4</sub>	A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>	
6000H	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	} 系统程序区
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	
67FFH	0	1	1	0	0	1	1	1	1	1	1	1	1	1	1	1	
6800H	0	1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	} 用户程序区
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	
6BFFH	0	1	1	0	1	0	1	1	1	1	1	1	1	1	1	1	

② 由以上列出的地址知:

系统程序区共有  $(67FFH - 6000H + 1)$  个可编址单元, 即  $2048 = 2^{11}$  个;

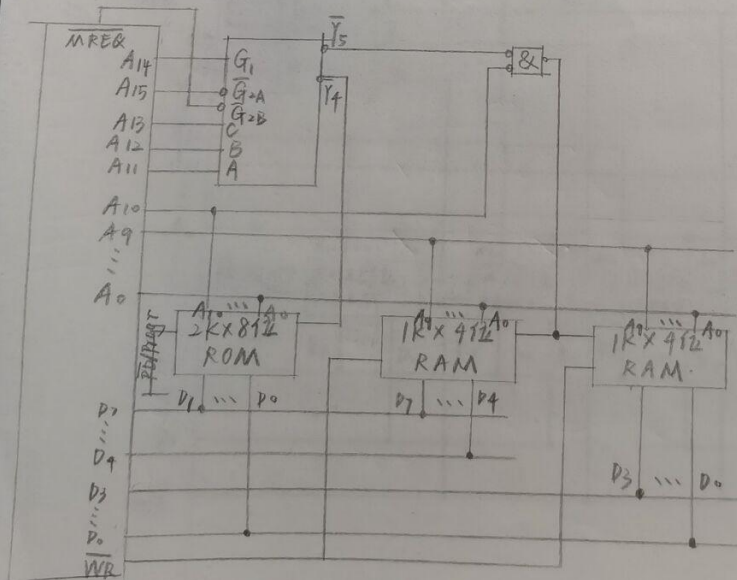
用户程序区共有  $(6BFFH - 6800H + 1)$  个可编址单元, 即  $1024 = 2^{10}$  个;

每个单元有8位, 因而:

系统程序区有:  $2^{11} \times 8 = 2K \times 8$  位, 需1片  $2K \times 8$  位的ROM;

用户程序区有:  $2^{10} \times 8 = 1K \times 8$  位, 需2片  $1K \times 4$  位的RAM.

③ 地址线的低11位  $A_0 \sim A_{10}$  应与ROM相连; 其低10位应与RAM相连, 剩下的5位与访存控制信号  $\overline{MREQ}$  共同产生片选信号, 具体连接如下图所示.



例4.2. 假设地址从0开始, 写出二进制下的地址.

$A_{15}$	$A_{14}$	$A_{13}$	$A_{12}$	$A_{11}$	$A_{10}$	$A_9$	$A_8$	$A_7$	$A_6$	$A_5$	$A_4$	$A_3$	$A_2$	$A_1$	$A_0$	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	} $8K \times 8$ 位 系统程序区
$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	
0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	
0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	} 相邻 $16K \times 8$ 位, 用户程序区
$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	
0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	} $4K \times 8$ 位 系统程序工作区
$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	
0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	
0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	
$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	
0	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	

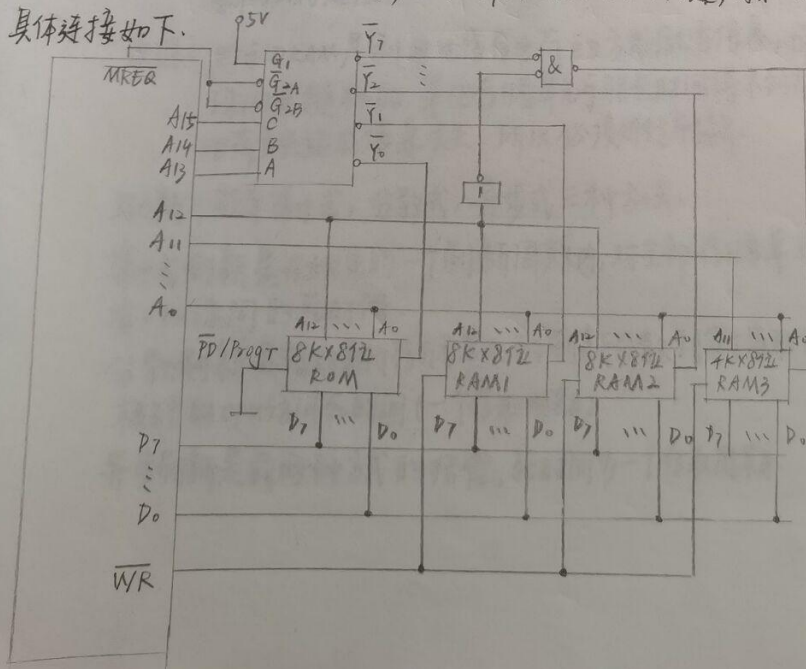
由以上列出的地址知:

系统程序区可选择一片  $8K \times 8$  位 ROM,

用户程序区可选择两片  $8K \times 8$  位 RAM, 系统程序工作区可选择一片  $4K \times 8$  位 RAM.

$A_{12} \sim A_0$  与  $8K \times 8$  位 ROM 相连, 也与 2 片  $8K \times 8$  位 RAM 相连;  $A_{11} \sim A_0$  与  $4K \times 8$  位 RAM 相连

具体连接如下.



习题 4.8:

4.8. DRAM 与 SRAM.

	DRAM	SRAM
存储原理	电容	电阻/触发器
集成度	高	低
芯片引脚	少	多
功耗	低	高
价格	低	高
速度	慢	快
刷新	有	无
可靠性	低	高
适用场合	低速、大容量	高速、小容量
破坏性读	是	否
送行地址	分两次送	同时送

4.9. 刷新: 对 DRAM, 先将原存信息读出, 再由刷新放大器形成原信息并重新写入的过程.

原因: 由于 DRAM 是利用电容存电荷的方式存储信息, 而存储单元被访问是随机的, 某些存储单元可能长时间得不到访问, 因而其中电荷丢失造成信息丢失, 所以必须进行刷新.

刷新一般有集中式, 分散式, 异步式三种方法.

集中式刷新是在规定的一个刷新周期内, 对全部存储单元逐一进行刷新, 有 CPU 访问的死时间.

分散刷新是指对每行存储单元的刷新分散到每个存取周期内完成, 有极短的 CPU 访问死时间 (一个存取周期).

异步刷新是前两种方式的结合, 死时间为一个存取周期.



4.10 有两种:线选法与重合法.

线选法:地址译码信号只选中同一个字的所有位,结构简单,需较多的器材.

重合法:地址分行列两部分译码,行列译码线的交叉点即为所选单元.也叫矩阵译码,可以节省器材,最为常用.

4.11. 集中刷新:  $2ms$ . 死时间为  $256 \times 0.1\mu s = 25.6\mu s$ .

分散刷新:  $256 \times (0.1 + 0.1)\mu s = 51.2\mu s$ .

异步刷新:  $2ms$ .

4.13 存储单元总数  $= 64K \times 8\text{位} = 2^{19}\text{位}$ .

设地址线  $a$  根, 数据线  $b$  根, 则片容量为  $2^a \times b = 2^{19}$   $\therefore b = 2^{19-a}$ .

①  $a=19, b=1$ , 共  $19+1=20$  根

②  $a=18, b=2$ , 共  $18+2=20$  根

③  $a=17, b=4$ , 共  $17+4=21$  根

④  $a=16, b=8$ , 共  $16+8=24$  根

...

$\therefore$  有两种.  $a=19, b=1$  或  $a=18, b=2$ .

即地址线 19 根, 数据线 1 根或

地址线 18 根, 数据线 2 根.

# 作业三:

计算机组成原理. 楚逸飞 2020302878.

- 例4.8. (1). 因为Cache容量是4KB, 而4KB即为 $2^{12}$ 位, 故Cache地址即为12位; 又由于每字32位(4B), 故Cache中共有 $4KB/4B=1K$ 字, 而每块有16个字, 故Cache中有 $1K/16=64$ 块.
- (2). 因为主存容量是512KB, 即有 $2^{19}$ 位, 故主存地址是19位; 有 $512KB/4B=128K$ 字, 故有 $128K/16=8192$ 块.
- (3). 主存的第 $5, 64+5, 2 \times 64+5, \dots, 2^{13}-64+5$ 可以映射到Cache的第5块中.
- (4). 字块内地址是6位(4位表示16个字, 2位表示每字32位). 缓存共64块, 故缓存块地址有6位( $64=2^6$ ), 主存字块标记有 $19-6-6=7$ 位, 故:

主存字块标记	缓存字块地址	字块内地址
7位	6位	6位

- 例4.9. (1). 由题知字长为16位, 故Cache容量为 $4096=2^{12}$ 字, 故Cache字地址为12位, 又由块长是16字且访存地址是字地址知: 字块内地址是2位, 且Cache共有 $\frac{4096}{16}=256$ 块. 由主存容量为512K $=2^{19}$ 字知主存字地址是19位, 直接映射下, 主存内字块标记有 $19-12=7$ 位, 所以主存地址格式设计如下:

主存字块标记	Cache字块地址	字块内地址
7位	10位	2位

- (2) 全相联, 主存字块标记为 $19-2=17$ 位, 故.

主存字块标记	字块内地址
17位	2位

- (3). 一组内有2块, 故Cache共有 $\frac{1024}{2}=512$ 组. 故主存字块标记为 $19-9-2=8$ 位, 故

主存字块标记	组地址	字块内地址
8位	9位	2位



(4). 主存容量即为  $1024k \times 16$  位, 即  $2^{20}$  字, 故字地址有 20 位,  
 因为是四路组相联, 故 Cache 共有  $\frac{1024}{4} = 256 = 2^8$  组.  
 则主存标记有  $20 - 10 = 10$  位, 故.

主存字块标记	组地址	字块内地址
10 位	8 位	2 位

例 4.10. 设 Cache 存取周期是  $t$ , 则主存的存取周期是  $5t$ .  
 系统的平均访问时间是  $t' = 0.95t + 0.05 \times 5t = 1.2t$ .  
 性能相比之前是  $\frac{5t}{1.2t} = 4.17$  倍.  
 也即提高了 3.17 倍.

例 4.11. (1). 由每个字块有 8 个字, 每个字 32 位, 故字块内地址字段有 5 位,  
 3 位是字地址, 2 位是字节地址,  
 而 Cache 容量为  $16M + 8KB = 2^{13}B$ , 字块大小是  $25B$ , 故有  $2^8$  块.  
 由 4 路组相联  $2^8 = 4$ , 故组地址有  $8 - 2 = 6$  位.  
 主存容量是  $16MB = 2^{24}B$ , 故字块标记为  $24 - 6 - 5 = 13$  位.  
 故:

主存字块标记	组地址	字块内地址
13 位	6 位	5 位

(2). 连续读 100 个字中有 13 次未命中, 而后 9 次循环全部命中,  
 命中率为  $\frac{100 \times 10 - 13}{100 \times 10} = 0.987$ .

(3). 设 Cache 存取周期为  $t$ , 则主存存取周期为  $5t$ , 设有 Cache 的访问时间是  $5t \times 100$ , 有 Cache 的访问时间为  $t(100 - 13) + 5t \times 13$ .  
 故速度提升倍数为  $\frac{500t}{987t + 65t} - 1 \approx 3.75$  倍.  
 故提高了 3.75 倍.

(4). 效率为  $\frac{t}{0.987 \times t + (1 - 0.987) \times 5t} \times 100\% = 95\%$ .

4.25. 在一小段时间内,最近被访问过的程序和数据很可能再次被访问;在空间上,这些被访问的数据往往集中在一小片存储区;在访问次序上,指令次序执行比转移执行的可能性大。

Cache-主存与主存-辅存层次均使用了程序访问的局部性原理。

4.26. 设置Cache是为了解决CPU与主存速度不匹配的问题。不能将Cache容量扩大以代替主存,因为①Cache容量大会导致成本太高,②若无主存,则CPU访问Cache失败时,需将辅存内容调入Cache,再由CPU访问,造成CPU等待时间反而更长。

4.27. (1) ①提高外部总线利用率,因为Cache在CPU芯片内,CPU访问Cache不必占用外部总线

②Cache不占用外部总线,则外部总线可以更多地支持I/O设备与主存的信息传输,增强了系统的整体效率。

③可以提高存取速度,因为Cache与CPU之间的数据通路大大缩短。

(2) ①可以支持超前控制与流水线控制,有利于这类控制方式下指令预取操作的完成。

②指令Cache可用ROM实现,以提高指令存取可靠性。

③数据Cache对不同的数据类型支持更加灵活。