

2019 年春季 《数字电子技术》 课程 大作业

班 级： 1702052

任课教师： 王佳宁

学 号： 17170120015

学生姓名： 任俊杰

作业类型： 课题 1





目录

数字电子钟逻辑电路设计	2
1. 数字时钟介绍与组成	2
1.1 数字时钟介绍	2
1.2 数字时钟的组成	2
2. 设计任务及其具体要求	3
3. 设计方案	4
3.1 总体设计方案	4
3.2 各部分电路的设计方案	5
4. 整机电路图	14
5. 器件清单	16
6. 总结与体会	17



数字电子钟逻辑电路设计

1. 数字时钟介绍与组成

1.1 数字时钟介绍

数字时钟是一种用数字电路技术实现时、分、秒计时的装置，与机械式时钟相比具有更高的准确性和直观性，且无机械装置，具有更长的使用寿命，已得到广泛的使用。数字时钟的设计方法有许多种，例如，可用中小规模集成电路组成电子钟；也可以利用专用的电子钟芯片配以显示电路及其所需要的外围电路组成电子钟；还可以利用单片机来实现电子钟等等。

数字钟已成为人们日常生活中必不可少的物品，广泛用于个人家庭以及车站、码头、剧场、办公室等公共场所，给人们的生活、学习、工作、娱乐带来极大的方便。钟表的数字化给人们生产生活带来了极大的方便。它扩展了钟表原有的报时功能，诸如定时自动报警、按时自动打铃、时间程序自动控制、定时广播、定时启闭电路、定时开关烘箱、通断动力设备，甚至各种定时电器的自动启用等，这些都是以钟表数字化为基础的。因此，研究数字电子钟以及扩大其在生活中的应用，有着非常现实的意义。

1.2 数字时钟的组成

数字时钟的组成一般由计数器、译码器、显示器、振荡器及分频器等几部分组成。振荡器产生的时标信号送入分频器，分频器将其送入的时标信号分频成秒脉冲信号。再把秒脉冲送入计数器进行计数，并把累计的计数结果以

“周”、“时”、“分”、“秒”的数字显示出来。“秒”的显示由二级计数



器和译码器组成六十进制计数器电路来实现。“分”的显示电路与秒相同。

“时”的显示由二级计数器和译码器组成的二十四进制计数器电路来实现。

“周”的显示由一级计数器和译码器组成的 7 进制计数器电路来实现。

由于计数的起始时间不可能与标准时间一致，故需要在电路上加一个校时电路。一般时钟都应具备整点报时电路功能,即在时间出现整点前数秒内,数字钟会自动报时。其作用方式是在整点前的十秒内，出现奇数秒时报时蜂鸣器低音响，整点时蜂鸣器高音响。

2. 设计任务及其具体要求

用中、小规模集成电路设计一台能显示日、时、分、秒的数字电子钟，要求如下：

1. 由晶振电路产生 1Hz 标准秒信号。
2. 秒、分为 00 ~ 59 六十进制计数器。
3. 时为 00 ~ 23 二十四进制计数器。
4. 周显示从 1 ~ 日为七进制计数器。

5. 可手动校时：能分别进行秒、分、时、日的校时。只要将开关置于手动位置，可分别对秒、分、时、日进行手动脉冲输入调整或连续脉冲输入的校正。

6. 整点报时。整点报时电路要求在每个整点前鸣叫五次低音（500Hz），整点时再鸣叫一次高音（1000Hz）。



3. 设计方案

3.1 总体设计方案

该时钟有振荡器、分频器、计数器、译码显示、校时、报时等电路组成。

其中，依靠 NE555 或晶振产生 1KHz（用于报时）脉冲信号，信号经三个分频器处理分别生成 500Hz（用于报时）、2Hz（用于报时）、1Hz（标准秒信号）的脉冲信号。由不同计数器、译码器和显示器组成的计时系统。将标准秒信号送入六十进制的“秒计数器”，每计 60 次就发出一个“分脉冲”信号，该信号将作为“分计数器”的时钟信号；“分计数器”每计 60 次就发出一个“时脉冲”信号，该信号将作为“时计数器”的时钟信号；“时计数器”每计 24 次就发出一个“周脉冲”信号，该信号将作为“周计数器”的时钟信号。译码显示电路将“周”、“时”、“分”、“秒”计数器的输出通过六位 7 段译码显示器显示出来。利用 SSI 和蜂鸣器实现整点报时，计时出现误差时，可以用校时电路校周、校时、校分、校秒。数字适中的原理框图如下图 3.1 所示。

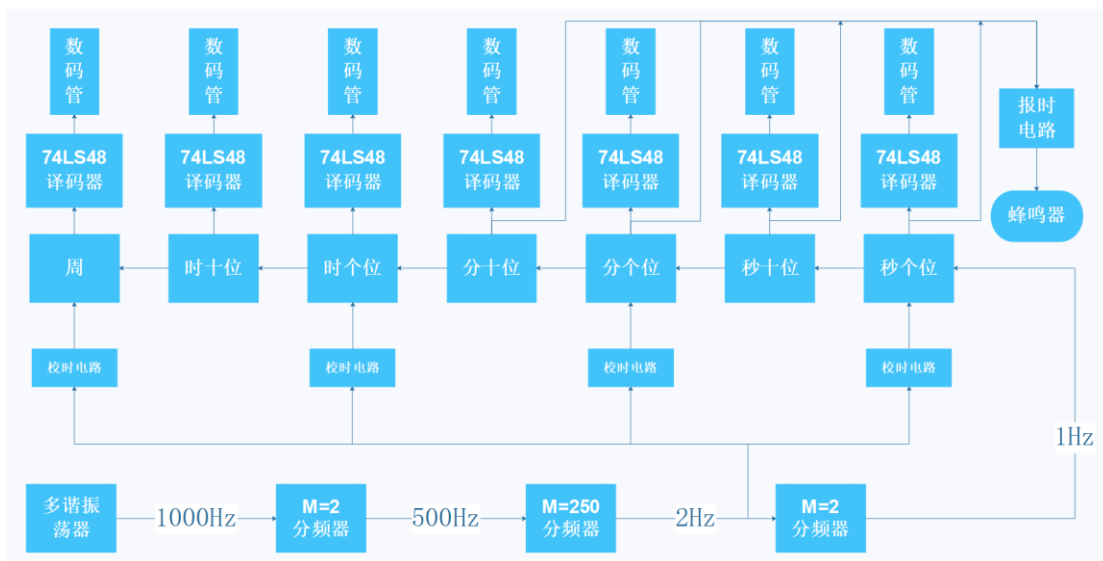


图 3.1 数字时钟的原理框图



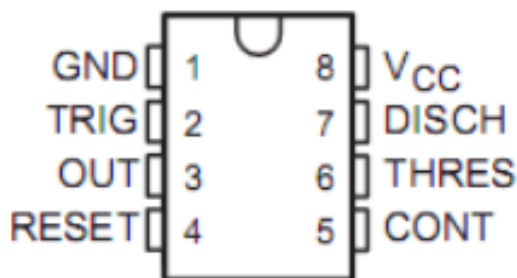
3.2 各部分电路的设计方案

3.2.1 时钟信号产生电路

根据设计要求，共需要 1KHz、500Hz、1Hz 三种频率的时钟信号，但为了实际使用校时方便，需采用 2Hz 的时钟信号进行校时。振荡器是计数器的核心，震荡期的稳定性和频率的精准度决定了计时器的精准度，信号产生用由 NE555 定时器和 RC 构成的多谐振荡器或者石英晶振产生，但由于本课程中详细介绍了 NE555,并为了简化电路，所以选用多谐振荡器产生时钟信号。

NE555 定时器功能表和引脚图如下：

输 入			输 出	
阈值输入(V_{TH})	触发输入(V_{TR})	复位(R_D)	输出(V_O)	放电管T
×	×	0	0	导通
$< \frac{2}{3}V_{CC}$	$< \frac{1}{3}V_{CC}$	1	1	截止
$> \frac{2}{3}V_{CC}$	$> \frac{1}{3}V_{CC}$	1	0	导通
$< \frac{2}{3}V_{CC}$	$> \frac{1}{3}V_{CC}$	1	不变	不变



NE555 与 RC 构成的多谐振荡器 Proteus 仿真结果如图 3.2.1 所示，为了产生 1Hz 的信号，选用如下参数：R1=10k Ω ，C1=10nF，从而由下列公式计算 R2 为：

$$f = \frac{1}{0.7(R1 + 2R2)C}$$
$$R2 = \left(\frac{1}{0.7Cf} - R1 \right) \frac{1}{2} = 66.5k\Omega$$

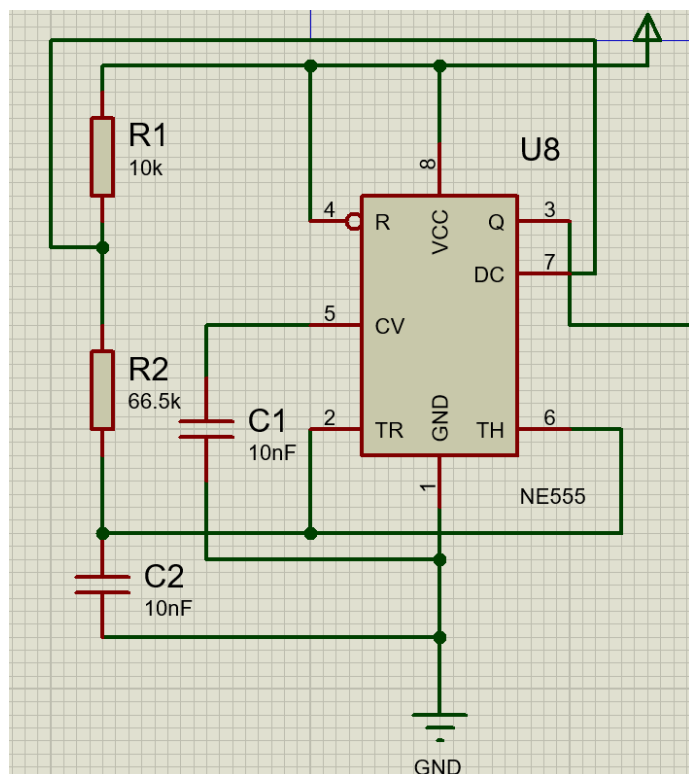


图 3.2.1 NE555 构成的多谐振荡器电路

将 NE555 产生的 1KHz 信号送入上升沿有效的 JK 触发器构成的 M2 分频器，产生 500Hz 的报时信号；再将 500Hz 的信号送入两片 74LS161 构成的 M250 分频器，产生 2Hz 的校时信号；最后将 2Hz 的信号送入上升沿有效的 JK 触发器构成的 M2 分频器，产生 1Hz 的标准秒信号。分频器 Proteus 的仿真结果如图 3.2.2、2.2.3 所示：

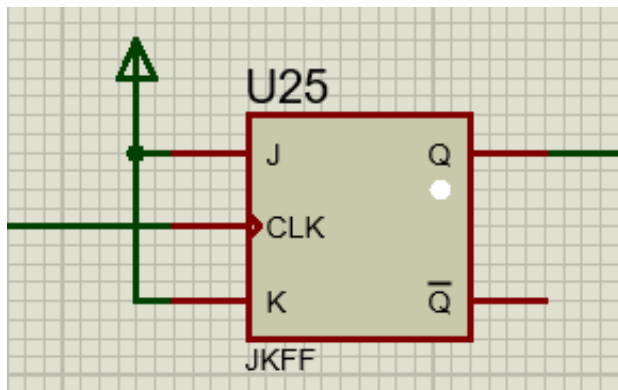
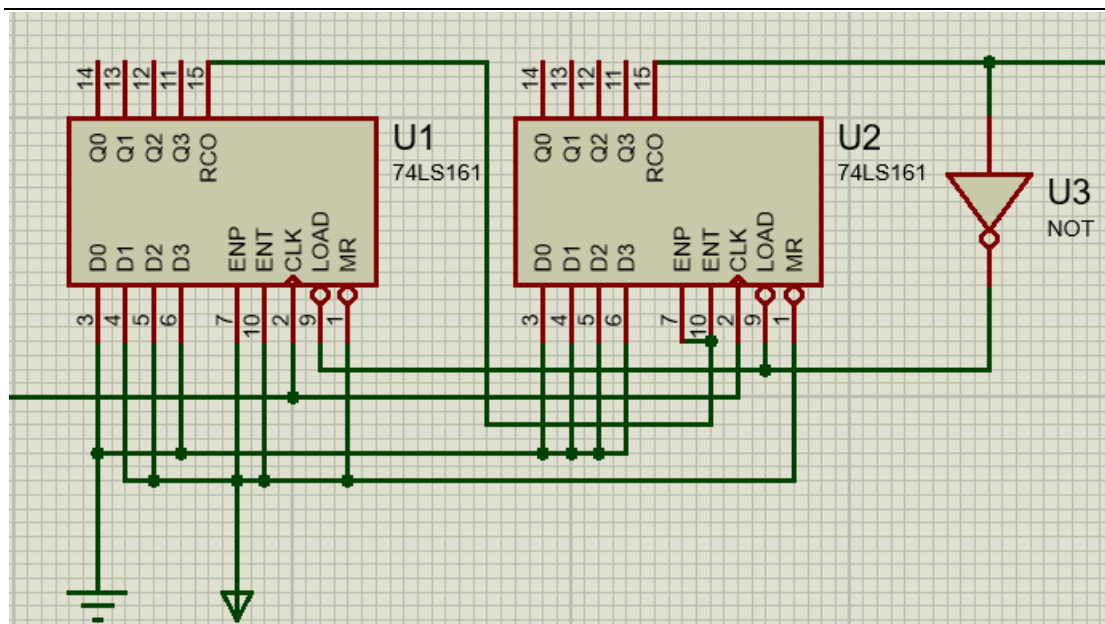


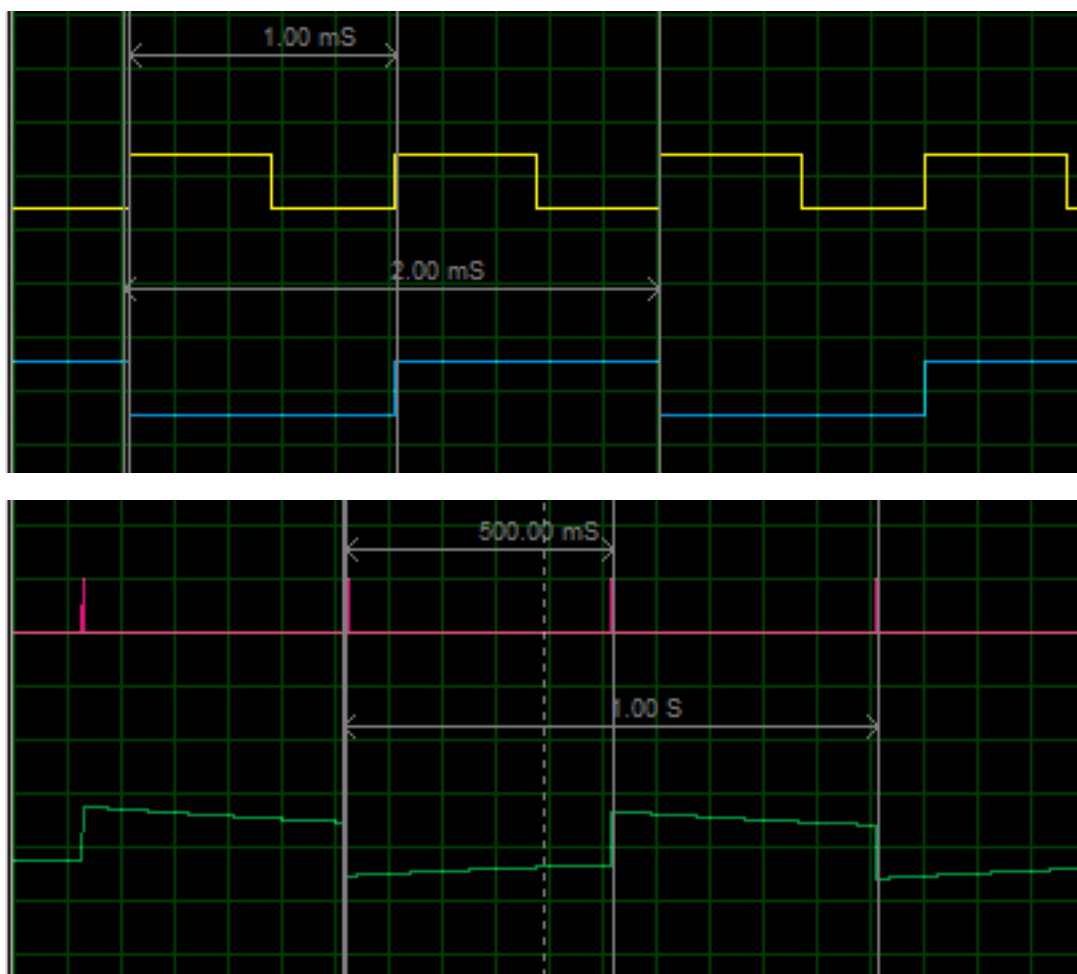
图 3.2.2 JK 触发器构成的 M2 分频器



任俊杰
1702052
17170120015



最终用一个四通道示波器可以清楚看到四个脉冲的波形如图 3.2.4 所示:





3.2.2 计数器电路

根据数字时钟的原理框图 3.1 可知,整个计数器电路由秒计数器、分计数器、时计数器和周计数器串接而成。秒脉冲信号经过 7 级计数器,分别得到秒个位、秒十位、分十位、时个位、时十位以及周个位。显示 7 位的“周”、“时”、“分”、“秒”需要 7 片中规模的计数器,其中秒计数器和分计数器都是 60 进制,时计数器为 24 进制,周计数器为 7 进制,都选用 74160 来实现,实现方法均采用反馈置数法。

3.2.2.1 六十进制计数电路

秒计数器和分计数器各由一个十进制计数器(个位)和一个六进制计数器(十位)异步级联组成,形成 $M_{10} \times M_6 = M_{60}$ 计数器,其中个位计数器接成十进制形式,十位计数器接成六进制形式。

十位计数器选用 Q0 与 Q2 端做为反馈端,经与非门输出至控制同步置数端 LOAD,接成六进制计数形式(从 0000 计数至 0101 时清零)。个位与十位计数器之间采用异步级联复位方式,将个位计数器的 RCO 进位端通过非门接入十位计数器的 CLK 端,完成个位对十位计数器的进位控制。将十位计数器的反馈置数信号输出,作为六十进制的进位输出脉冲信号(即周期为 60s/60min 的时钟方波信号),用于控制高位计数器的计数。Q0~Q3 为数码管的显示输出端。(其中 D0、D1、D2、D3 接 0, P、T、MR 与第一级的 LOAD 端都接 1,保证 74LS160 正常工作)

六十进制计数电路的 Proteus 的仿真结果如图 3.2.5 所示:

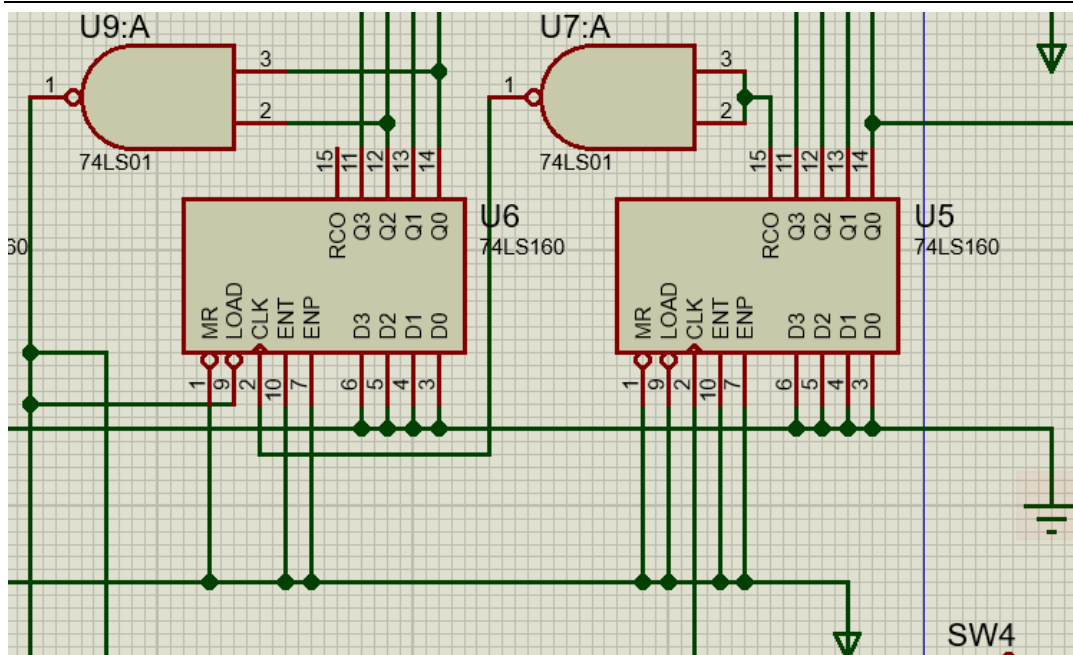


图 3.2.5 六十进制计数电路

3.2.2.2 二十四进制计数电路

时计数器由两个 74LS160 同步级联组成，通过整体反馈置数的方式形成 M24 计数器。

十位和个位计数器都接入同一个时钟信号。分别选用十位计数器 Q1 端、个位计数器的 Q0、Q1 端做为反馈端，经与非门输出至控制整体同步置数端 LOAD，接成 24 进制计数形式（从 0000 0000 计数至 0010 0011 时清零）。个位与十位计数器之间采用同步级联复位方式，将个位计数器的 RCO 进位端通过非门接入十位计数器的 P、T 端，完成个位对十位计数器的进位控制。将十位计数器的反馈置数信号输出，作为二十四进制的进位输出脉冲信号（即周期为 24h 的时钟方波信号），用于控制高位计数器的计数。Q0~Q3 为数码管的显示输出端。（其中 D0、D1、D2、D3 接 0，MR 与第一级的 PT 端都接 1，保证 74LS160 正常工作）

二十四进制计数电路的 Proteus 的仿真结果如图 3.2.6 所示：



3.2.3 译码显示电路

采用共阳极七段数码管将译码显示电路是将计数器输出的 8421 BCD 码译成数码管显示所需要的高低电平。译码电路就应选择与它配套的共阳极七段数码驱动器。译码显示电路采用 74LS48 段译码驱动器。译码器 A、B、C、D 与十进制计数器的四个输出端相连接，a、b、c、d、e、f、g 即为驱动七段数码显示器的信号，LT、RBI、BI 都接 1，保证译码器正常工作。根据 A、B、C、D 所得的计数信号，数码管显示的相对应的字型。

秒译码显示电路的 Proteus 的仿真结果如图 3.2.8 所示：

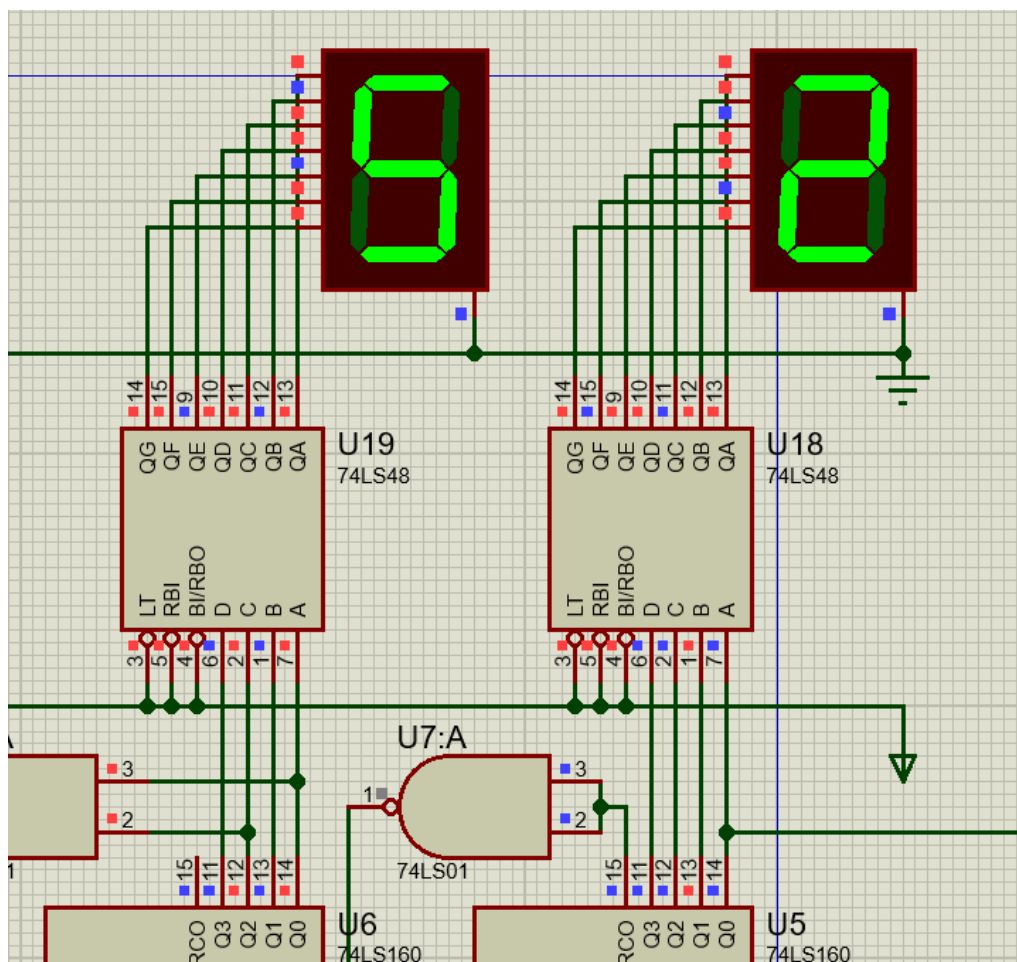


图 3.2.8 秒译码显示电路



3.2.4 校时、校分电路

校对时间一般在选定的标准时间到来之前进行，可分为 4 个步骤：首先把时计数器置到所需的数字；然后再将分计数器置到所需的数字；与此同时或之后应将秒计数器清零，时钟暂停计数，处于等待启动阶段；当选定的标准时刻到达的瞬间，按启动按钮，电路则从所预置时间开始计数。由此可知，校时，校分电路应具有预置小时、预置分、等待启动、计时 4 个阶段。在设计电路时既要方便可靠地实现校时校分的功能，又不能影响时钟的正常计时，通常采用逻辑门切换。当 $Q=1$ 时，输入的预置信号可以传到时计数器的 CLK 端，进行校时工作，而分进位信号被封锁。例如，校时电路原理示意图如图 3.2.4.1 所示。当 $Q=0$ 时，分进位信号可以传到时计数器的 CLK 端，进行计时工作，而输入的预置信号分进位信号被封锁。校分电路也仿照此进行。

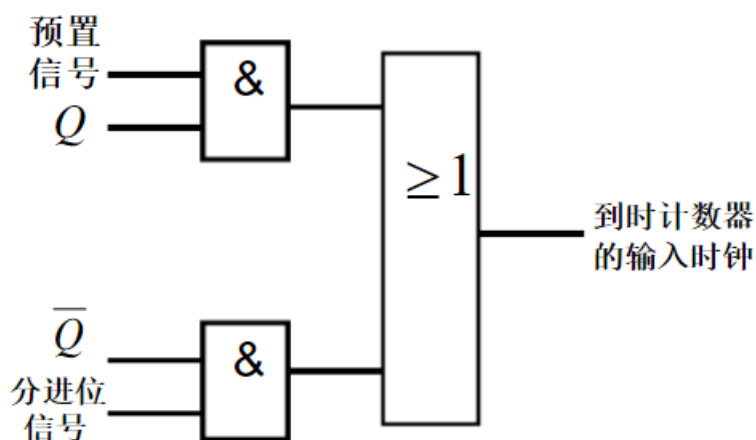


图 3.2.9 校时电路原理框图

当然上述方法比较精确，也比较复杂，在精度要求不高时，也可以采用另一种方法。只需使用两个双向选择开关将秒脉冲直接引入时计数器的分计数器即可实现功能。此时，低位计数器的进位信号输出端需通过双向选择开关的其中一选择端接至高位计数器的时钟信号端，开关的另一选择端接 2Hz 脉冲信



号。当日常显示时间时，开关拨向低位计数器的进位信号输出端;调周调时分时拨向 2Hz 的脉冲信号，这样可使计数器自动跳至所需要的时间。

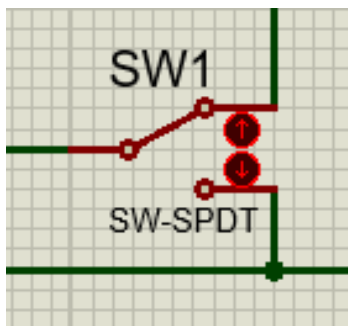


图 3.2.9 校时电路实际所用的双向开关

3.2.5 校整点报时电路

当时间到达整点前 10 秒开始，蜂鸣器 1 秒响 1 秒停地响 5 次。即当时间达到 59 分 51 秒时蜂鸣器开始响第一次，并持续一秒钟，然后停鸣一秒，这样响五次（500Hz 的信号）。当到达整点使，蜂鸣器再响一次（1000Hz 信号）。

利用 SSI 来判断当前分钟是否为 59 分（直接将时十位和时个位的 LOAD 信号分别反向后与非），当前秒是否为 51、53、55、57、59 秒（直接将秒十位的 LOAD 信号反向后和秒各位的 Q0 与非），将上述信号相与后利用三态门的开关功能就可实现整点前报 5 次低音的功能。

将时十位的进位信号反向后接入三态门的 EN 端，控制 1000Hz 信号是否接入蜂鸣器，即可实现整点报 1 次高音的功能。

校整点报时电路的 Proteus 的仿真结果如图 3.2.10 所示：

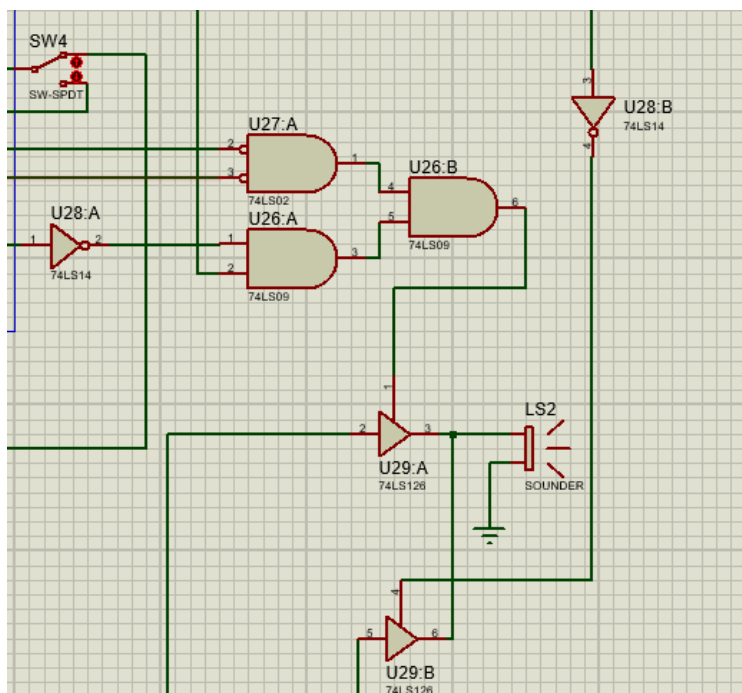
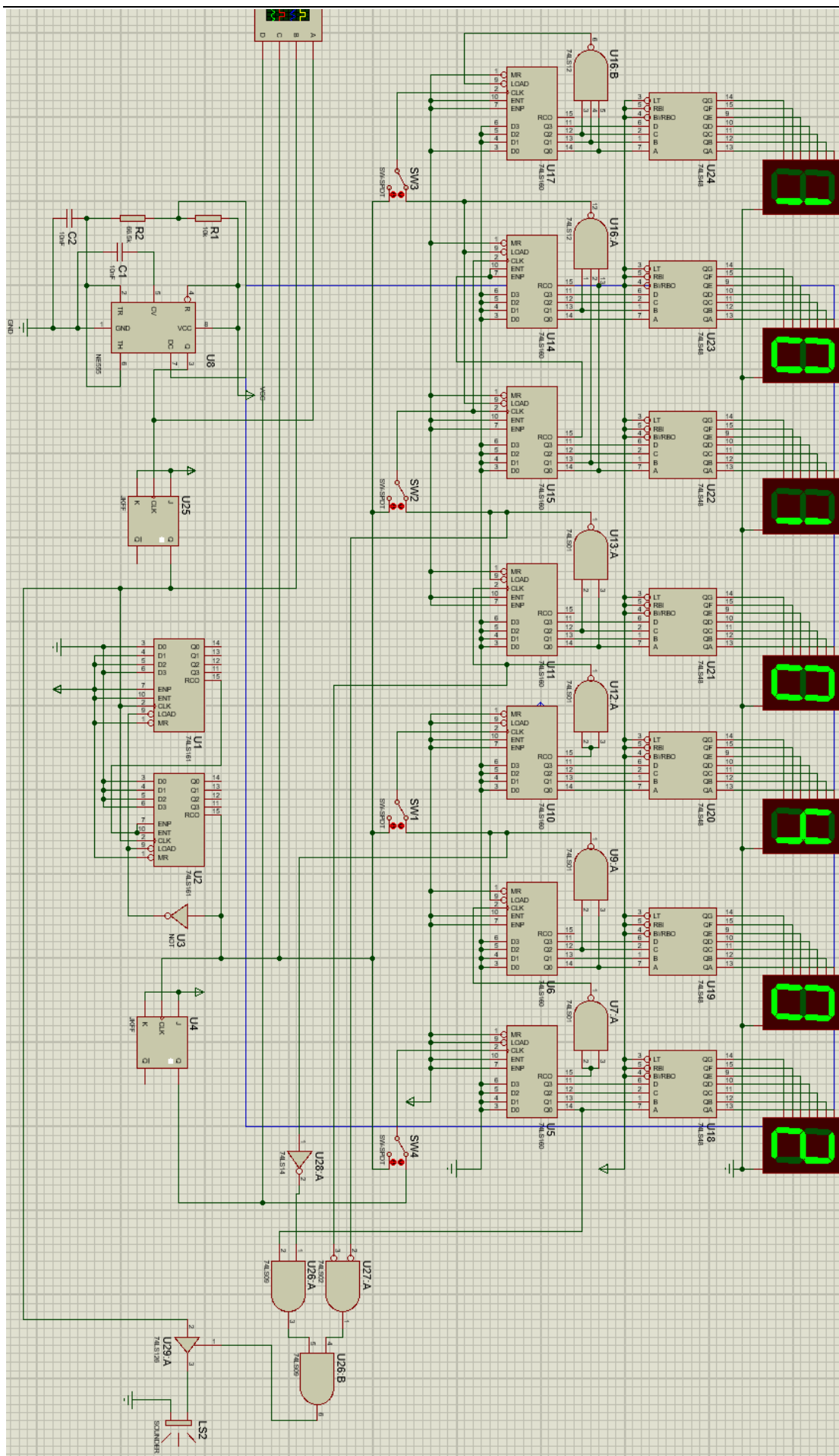


图 3.2.10 整点报时电路

4. 整机电路图

如下页所示：





5. 器件清单

分类	数量	位号	值	库存代码	单位成本
电容	2	C1-C2	10nF		
电阻	1	R1	10k		
电阻	1	R2	66.5k		
集成电路	2	U1-U2	74LS161		
集成电路	1	U3	NOT		
集成电路	2	U4,U25	JKFF		
集成电路	7	U5-U6,U10-U11,U14-U15,U17	74LS160		
集成电路	4	U7,U9,U12-U13	74LS01		
集成电路	1	U8	NE555		
集成电路	1	U16	74LS12		
集成电路	7	U18-U24	74LS48		
集成电路	1	U26	74LS09		
集成电路	1	U27	74LS02		
集成电路	1	U28	74LS14		
集成电路	1	U29	74LS126		
蜂鸣器	1	LS2	SOUNDER		
开关	4	SW1-SW4	SW-SPDT		

(上表由 proteus 直接生成)



6. 总结与体会

这次对数字时钟的课程设计，让我综合运用了各方面的知识。其中，由于之前学习单片机时经常用 Proteus 进行仿真，且所需设计的电路又不过于复杂，所以电路用 Proteus 来进行实现，没有使用功能更为专一的 Multisim，这次实践让我更加熟悉了 Proteus 在数电模电方面的应用。也更加深刻的掌握了数电的相关知识，尤其是计数器（如 74LS160、74LS161）、分频器、振荡器的一些实际应用，学到了一些基本的电路调试方法。通过不断的查阅资料文献，不断思考，也让我明白了学习理论知识的重要性，做任何设计都需要强大的理论支持。

这次试验做的并不是很顺利，在设计过程中也碰到了许多困难。最让我意想不到的的是出现了竞争冒险现象，当时冒险导致电路功能出现了极大问题，计数器无法正常工作，总会跳过 6。这个问题困扰了我很长时间，一直找不出问题所在，最终通过示波器观察，发现与非门的输出出现了冒险现象（如图 3.6 中的 Channel D 出现了两个尖峰），由于是 74LS160 直接输出的信号，用我们所学的消除冒险的方法行不通，最后查阅了网上很多资料也无解。最终经过多次尝试，将 NAND_3 换用 74LS12（图中的 U16）问题解决。由于并不清楚 Proteus 给出的 NAND_3 的构造，怀疑是 TTL 和 CMOS 的驱动问题（瞎猜的），或者就是 NAND_3 本身的器件问题。还有其他的一些问题的解决方案都有参考网上的资源，最终完成了设计，经过调试，功能正常运行。

此次电路设计让我得到了多方面的锻炼，虽然做起来困难重重，也耗费了很多时间来仿真、逐步调试电路，但是在设计过程中所学到的东西是这次课程设计最大的收获和财富，让我受益匪浅。

最后，本次设计除少部分方案借鉴网上资源外，其他均为原创，已部署在



GitHub : <https://github.com/1411102509/Digital-electricity-Design-of-Digital-Electronic-Clock> , (GitHub 为 pdf 格式, 若格式乱, 请在 GitHub 上查看) 以此为证。

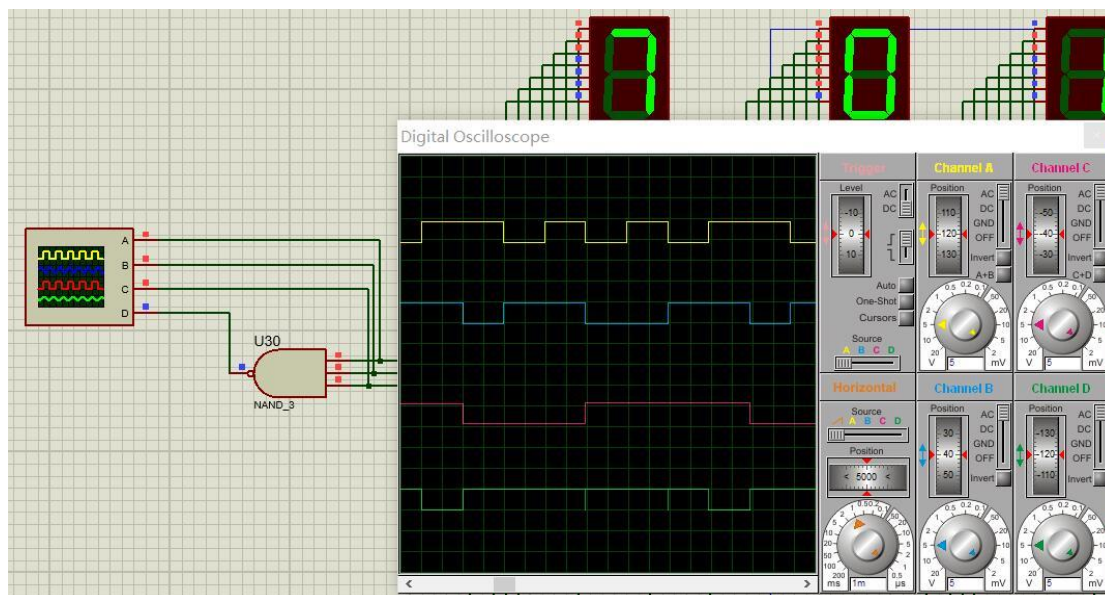


图 3.6 设计中出现的冒险现象