

Clock control & UART communication

3조
최성렬 이희근
김은지 이다은
장서윤

Clock의 개념

Clock이란?

Clock

: 논리 상태 H(high, 1) 와 L(low, 0)이 주기적으로 나타나는 반형파 신호

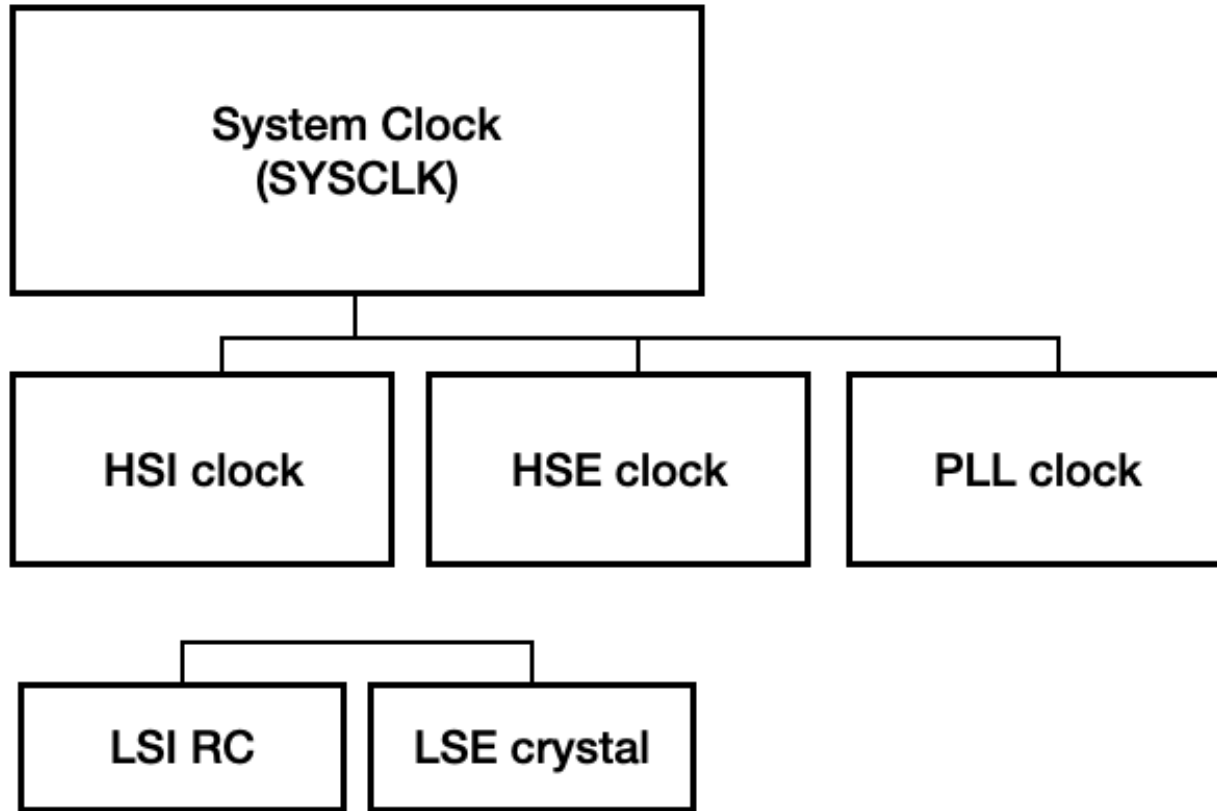


HSI Clock

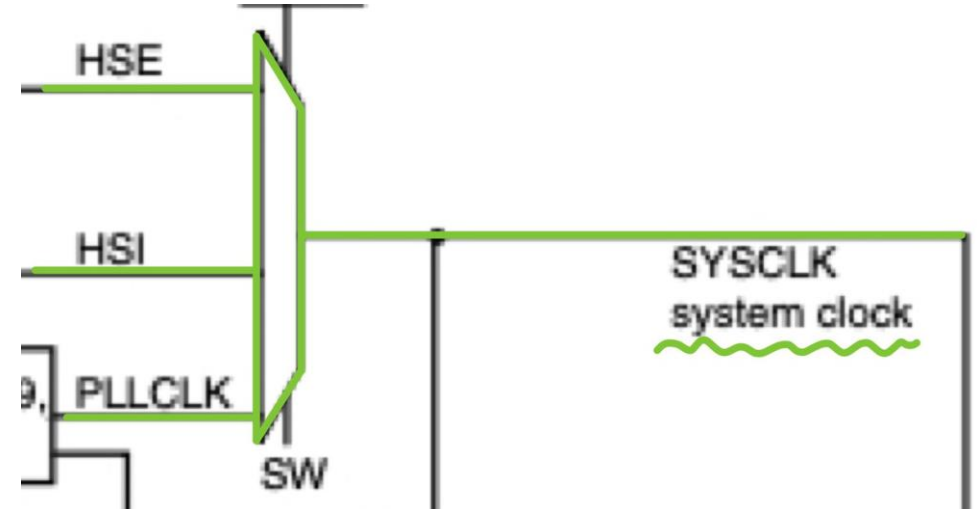
HSE Clock

Clock의 개념

HSI Clock 및 HSE Clock



▲ 시스템 클럭의 구조



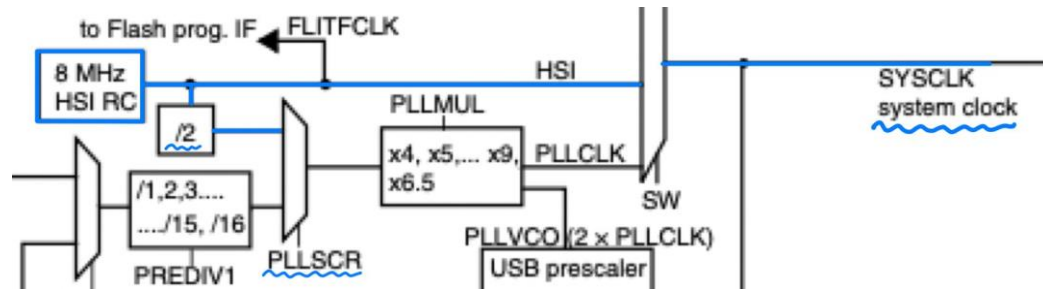
▲ Figure 11.Clock tree의 일부분

Clock의 개념

HSI Clock 및 HSE Clock

HSI clock (High-Speed Internal clock)

: 보드의 내부 클럭으로 8Mhz 의 값을 가짐

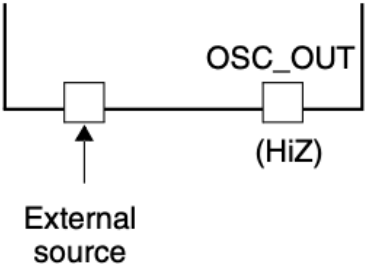
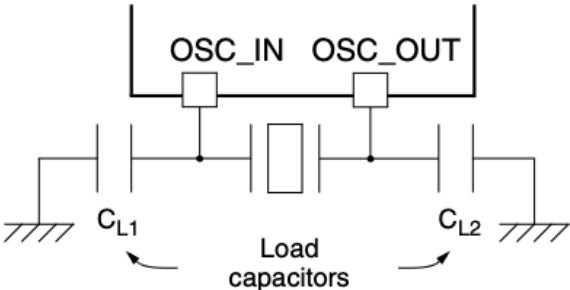


▲ Figure 11.Clock tree의 일부분

- 시스템 클럭으로 직접 사용하거나 2로 나누어져서 PLL 입력으로 사용가능
- 클럭 소스를 저렴한 비용으로 제공할 수 있음
- HSE crystal 보다 시작 시간이 빠르지만 주파수가 정확하지는 않음
- 전압 또는 온도 변화에 따라 RC 오실레이터의 속도에 영향을 줄 수 있음

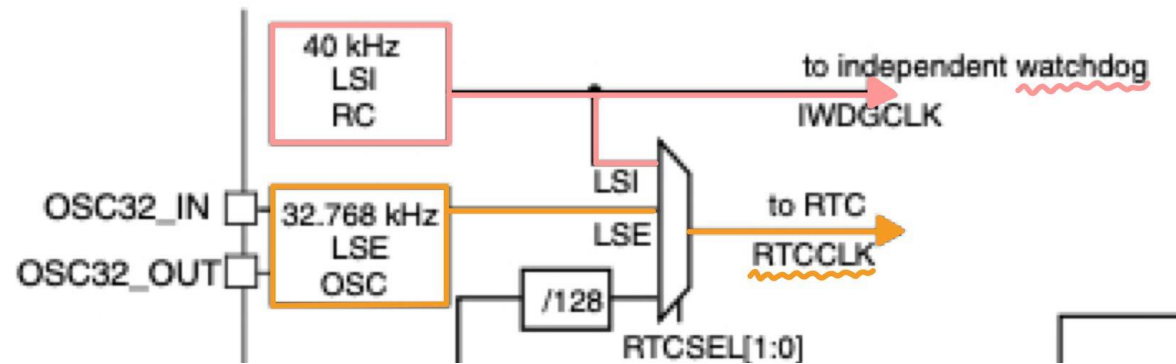
HSE Clock (High-Speed External clock)

Figure 12. HSE/ LSE clock sources

Clock source	Hardware configuration
External clock	
Crystal/ceramic resonators	

Clock의 개념

LSE Clock



▲ Figure 11.Clock tree의 일부분

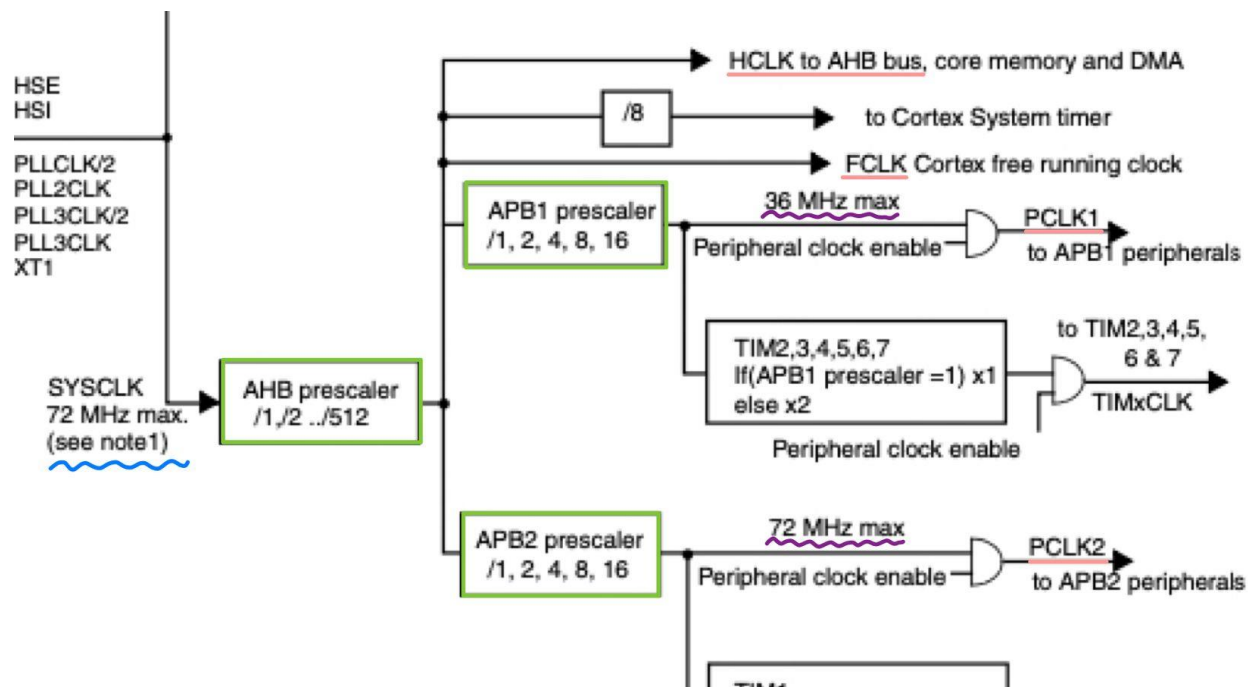
two secondary clock sources

- LSI RC (Low-Speed Internal clock)

- LSE crystal (Low-Speed External clock)

Clock의 개념

System clock의 사용처



FCLK

> CPU에서 사용되는 클럭

HCLK

> AHB Bus에 사용되는 클럭

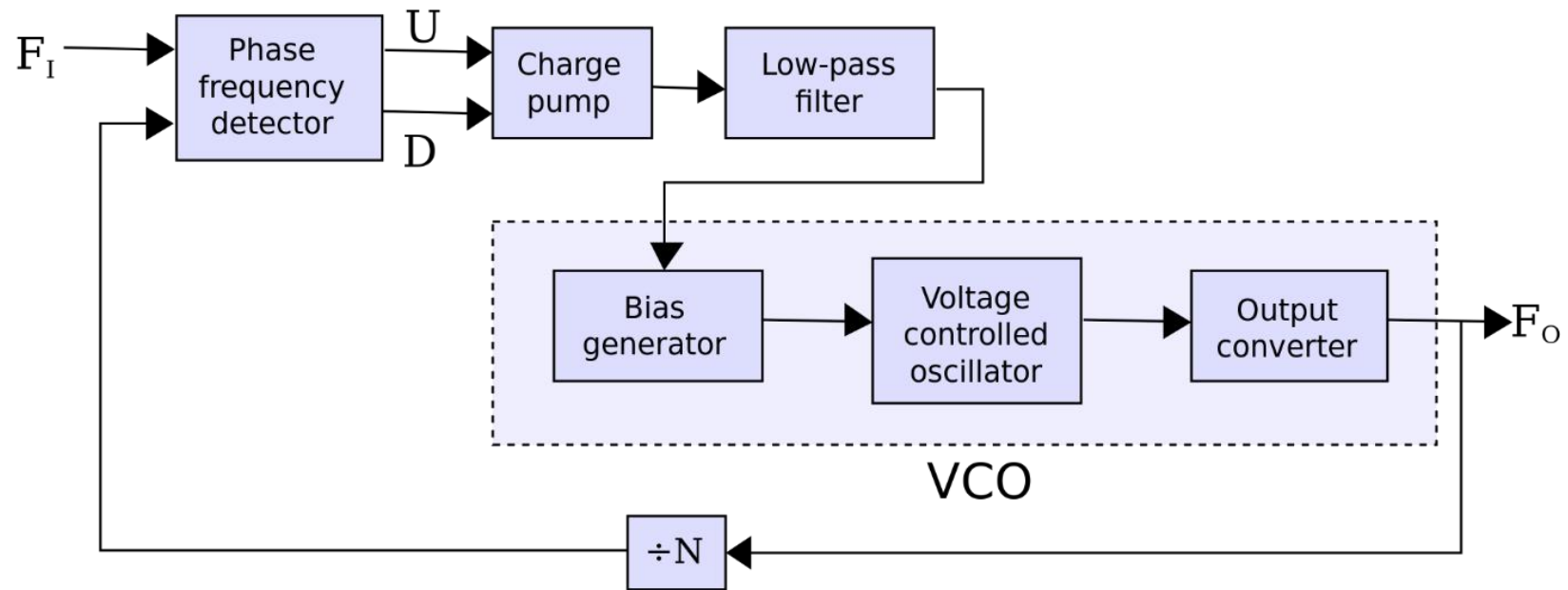
PCLK

> APB Bus에 사용되는 클럭

▲ Figure 11.Clock tree의 일부분

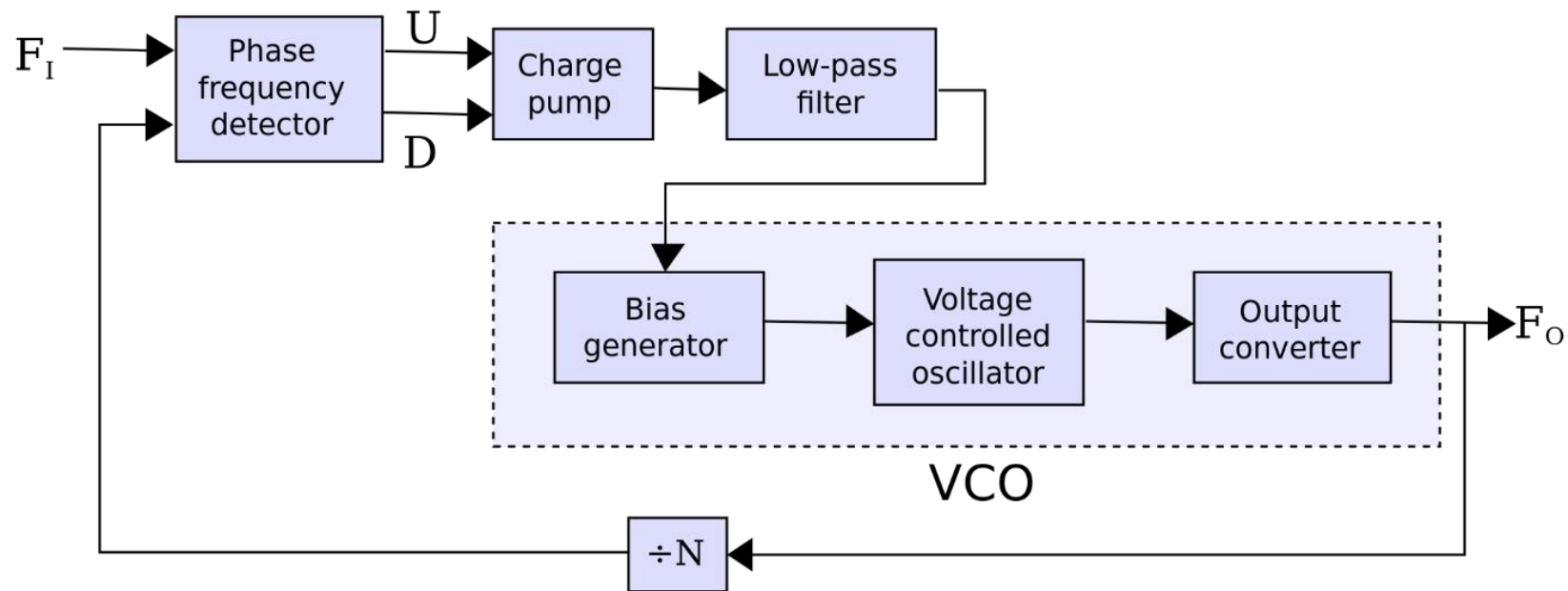
PLL(Phase Locked Loop)

: 입력 신호와, 출력 신호에서 되먹임 된 신호와의 위상차를 이용해 출력신호를 제어하는 시스템



Clock의 개념

PLL



F_I : Input 주파수 - 20MHz, F_O : 목표 주파수 - 200MHz

1. 목표 주파수를 200MHz로 맞추기 위해서는 N 을 10으로 설정, 그대로 나뉘어진 주파수가 Phase frequency detector에 들어가게 될 것
2. Phase frequency detector와 Charge pump로 표시된 위상 검출기에서는 두 입력 신호를 비교하여 위상 차이에 비례하는 오류 신호를 생성
3. 오류 신호는 Low-pass filter에 들어가고 F_O 의 위상을 만들어 주는 VCO를 작동하도록 함

이와 같은 과정이 반복되며 피드백 루프를 생성

Clock의 개념

MCO

MCO

: PA8 핀을 통해 clock이 컴퓨터로 출력될 수 있도록 해주는 function

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				MCO[3:0]				Res.	OTGF SPRE	PLLMUL[3:0]				PLL XTPRE	PLL SRC
				r/w	r/w	r/w	r/w			r/w	r/w	r/w	r/w		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADC PRE[1:0]		PPRE2[2:0]		PPRE1[2:0]		HPRE[3:0]				SWS[1:0]		SW[1:0]			
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r	r	r/w	r/w	

MCO[3:0]: Microcontroller clock output

Set and cleared by software.

00xx: No clock

0100: System clock (SYSCLK) selected

0101: HSI clock selected

0110: HSE clock selected

0111: PLL clock divided by 2 selected

1000: PLL2 clock selected

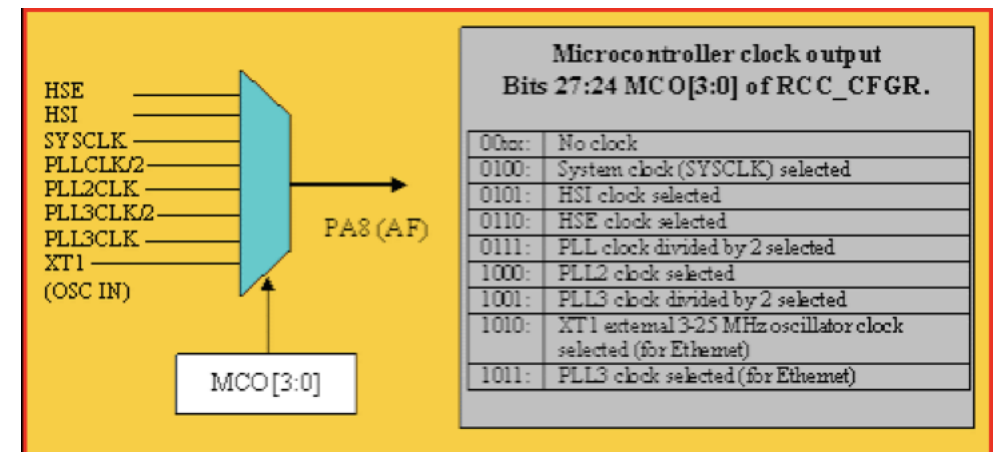
1001: PLL3 clock divided by 2 selected

1010: XT1 external 3-25 MHz oscillator clock selected (for Ethernet)

1011: PLL3 clock selected (for Ethernet)

Note: This clock output may have some truncated cycles at startup or during MCO clock source switching.

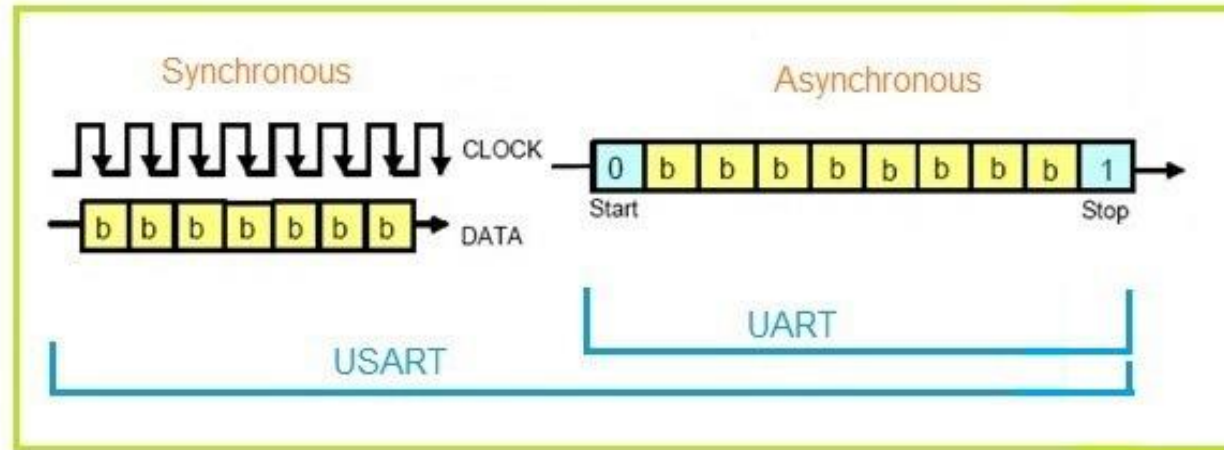
The selected clock to output onto the MCO pin must not exceed 50 MHz (the maximum I/O speed).



UART/USART의 개념

UART/USART 송수신 프로토콜

시리얼 통신의 종류



UART

clock 사용한 비동기 통신

UART 통신은 USART의 비동기 모드에 포함됨

USART

동기 통신

clock을 사용하지 않고, 데이터만 보냄

UART/USART의 개념

UART/USART 송수신 프로토콜

UART

› 데이터를 보내는 쪽을 Tx, 받는 쪽을 Rx

clock대신, Tx, Rx간의 동일한 타이밍을 보장시켜야 함

=> Tx, Rx 간의 **Baud rate**(UART에서 Tx와 Rx에서 데이터를 보내는 속도)를 일치시킴

UART/USART의 개념

Data Frame

짝수 패리티	Start Bit	Tx가 보내는 데이터의 시작을 알기 위한 bit (1bit)
	Data Bit	실제로 보내는 데이터가 들어있는 bit (8bit or 7bit)
	Parity Bit	오류감지를 위해 사용되는 bit (0bit or 1bit) - 선택 사항
홀수 패리티	Stop Bit	Tx가 보내는 데이터의 끝을 알기 위한 bit (1bit)



▲ UART 통신에서 보내는 Data Frame

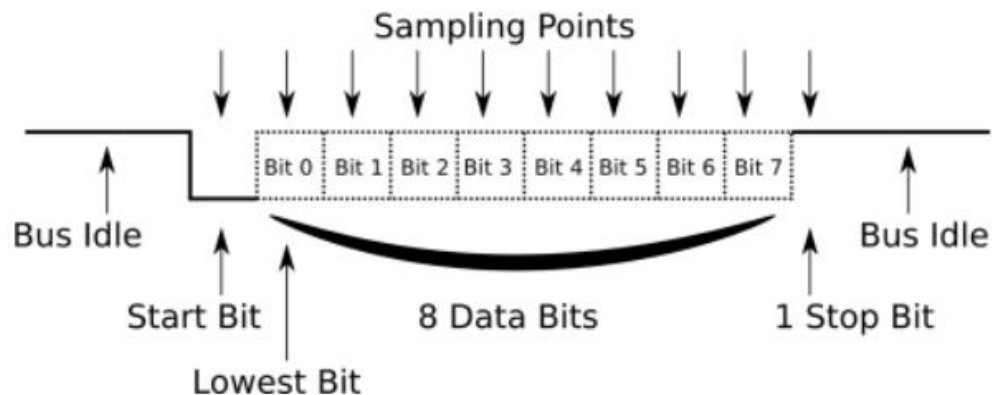
UART/USART의 개념

UART/USART 송수신 프로토콜

parity bit 사용하지 않는 UART 통신 과정

- 높은 전압 => 논리 레벨 "1", 낮은 전압 => 논리 레벨 "0"로 표시하겠다.
- 10비트 데이터를 전송(1bit start bit, 8bit data bits, 1 stop bit, NO parity bit)

UART with 8 Databits, 1 Stopbit and no Parity



1. idle 상태 -> 통신을 하지 않는 상태로, '1'의 값을 가진다.
2. Rx는 start bit('0')을 감지한다.
3. baud rate의 속도로 데이터를 읽기 시작한다.
4. Rx는 stop bit('1')을 감지하고 데이터 읽기를 중지하고 idle 상태로 돌아간다.

감 사 합 니 다