

# Allegro 绘制 PCB 流程及规范



作者：夏侯佐鑫

当前版本：V1.1

Copyright (C) 2013 USTB Micromouse

All Rights reserved

## 文档标题

### Allegro 绘制 PCB 流程及规范

## 版本历史

版本	更新时间	作者	描述
V1.0	2013-10-03	夏侯佐鑫	建立整个文档
V1.1	2013-11-29	夏侯佐鑫	添加 LP Wizard 生成封装的部分内容，添加第 5 章
V1.2	2014-06-09	夏侯佐鑫	层叠结构添加多层板内容，添加第 6 章
V1.3	2014-08-13	夏侯佐鑫	在第 6 章增加蛇形等长走线的内容

## 作者信息

编 者 ： 夏侯佐鑫

Email ： [xiahouzuoxin@163.com](mailto:xiahouzuoxin@163.com)

QQ     : 1126804077

# 目 录

目 录 .....	3
<b>1 绘制 PCB 封装.....</b>	<b>6</b>
1.1 焊盘制作 .....	6
1.1.1 普通焊盘制作 .....	6
1.1.2 热风焊盘制作 .....	9
1.1.3 自定义形状焊盘的制作与使用 .....	10
1.2 封装绘制 .....	11
1.2.1 获取元件参数 .....	11
1.2.2 新建封装文件 .....	11
1.2.3 添加库路径 .....	11
1.2.4 设置页面参数 .....	12
1.2.5 添加引脚 .....	14
1.2.6 添加封装外形 .....	14
1.2.7 添加元件标示符.....	14
1.2.8 添加元件安装外形.....	14
1.3 LP WIZARD 生成封装.....	15
<b>2 PCB 预处理.....</b>	<b>19</b>
2.1 新建工程及画布参数设置.....	19
2.1.1 新建工程 .....	19
2.1.2 设置画布参数 .....	20
2.2 设置封装库路径 .....	21
2.3 绘制板框 .....	22

2.4 设置元件摆放区和布线区 .....	23
2.4.1 设置允许元件摆放区（Package Keepin） .....	23
2.4.2 设置允许布线区（Route Keepin） .....	25
2.5 放置机械固定件 .....	26
2.5.1 放置机械安装孔 .....	26
2.6 定义盲孔和层叠结构 .....	27
2.6.1 定义盲孔 .....	27
2.6.2 设置 PCB 板的层叠结构 .....	28
2.7 约束设置 .....	29
2.7.1 Electrical 约束设置 .....	30
2.7.2 Physical 约束设置 .....	30
2.7.3 Spacing 约束设置 .....	31
2.7.4 区域约束设置 .....	32
2.8 导入网表 .....	32
<b>3 布局布线 .....</b>	<b>34</b>
3.1 布局 .....	34
3.1.1 按 Room 布局 .....	34
3.1.2 放置元器件 .....	35
3.2 布线 .....	38
<b>4 PCB 后处理 .....</b>	<b>40</b>
4.1 添加覆铜及散热过孔 .....	40
4.1.1 添加覆铜 .....	40
4.1.2 添加散热过孔 .....	40
4.2 添加测试点 .....	41
4.2.1 手动添加测试点 .....	42

4.2.2 自动添加测试点.....	42
4.3 添加丝印 .....	43
4.4 优化布线与添加泪滴.....	44
4.4.1 优化布线 .....	44
4.4.2 添加泪滴 .....	45
4.5PCB 检查 .....	46
4.5.1 查看 PCB 状态 .....	46
4.5.2 查看报告 .....	47
4.5.3 数据库检查 .....	48
4.6 生成钻孔文件 .....	48
4.7 生成 GERBER 文件 .....	51
4.7.1 设置 Gerber 文件参数.....	51
4.7.2 生成 Gerber 文件 .....	56
4.8GERBER 文件投给厂家.....	57
<b>5 理论及规范 .....</b>	<b>59</b>
5.1 封装符号基本类型 .....	59
5.2 焊盘结构 .....	59
5.3 自定义焊盘命名规则.....	60
<b>6 高级使用技巧及经验.....</b>	<b>62</b>
6.1 更新焊盘或封装 .....	62
6.2 隐藏已确认无效的 DRC.....	63
6.3 导出导入板框 .....	63
6.4 使用 CAM 检查 GERBER 文件.....	64
<b>参考文献.....</b>	<b>71</b>

# 1 绘制 PCB 封装

## 1.1 焊盘制作

从 Cadence 安装组件中选择 Pad Designer 组件，打开

### 1.1.1 普通焊盘制作

- ❖ 设置单位为 mm，精度为 4，如图
- ❖ 设置钻孔参数：设置钻孔直径和孔壁是否上锡等参数，贴片焊盘无需设置此项

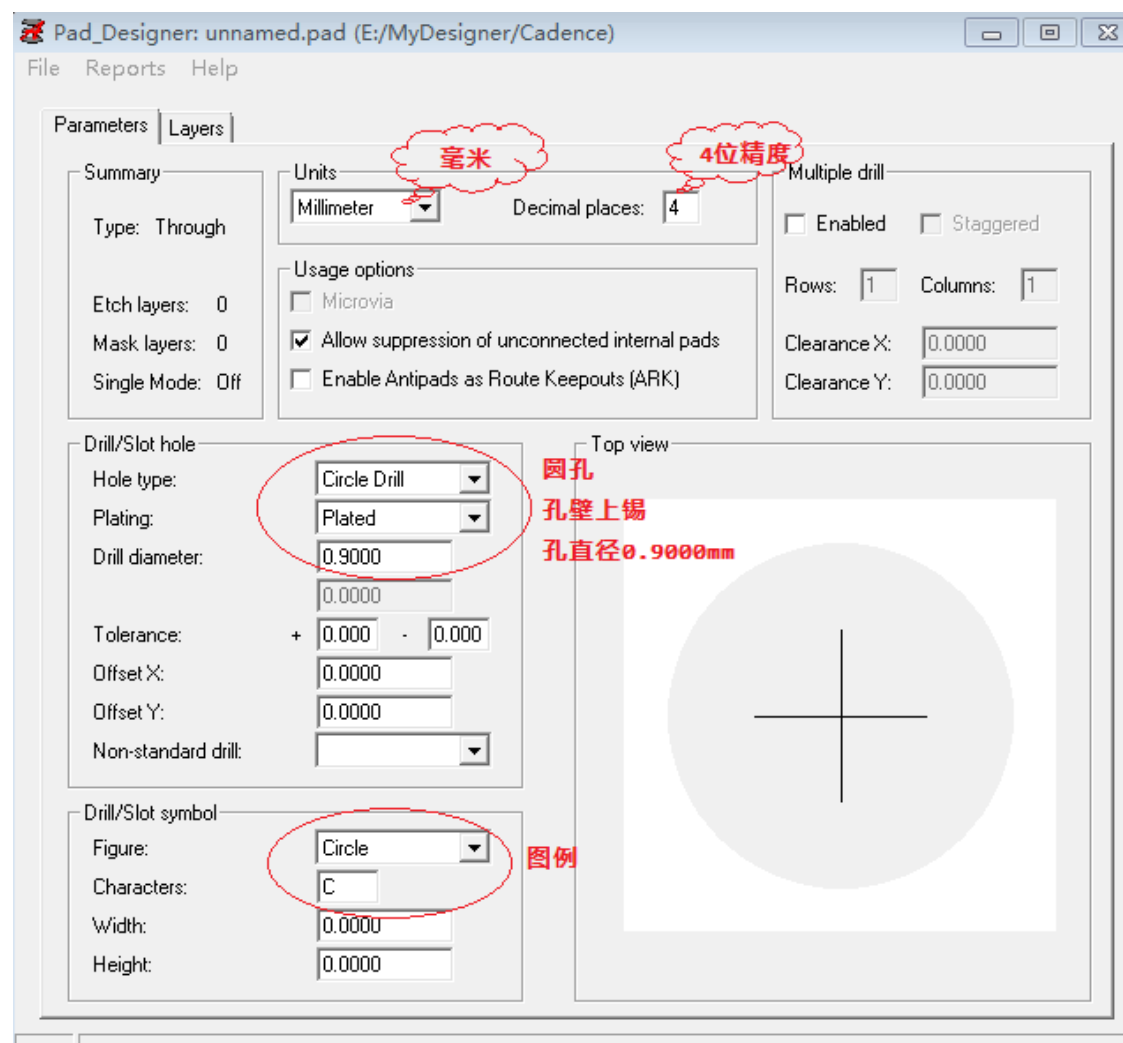


图 1-1 焊盘参数设置

❖ 图例：原本与封装本身无关，但为了规范，Characters 设置为孔大小（以 0.1mm 为单位，上例中应该设成 9），宽高设为钻孔大小

❖ 切换到 Layer 选项卡，设置焊盘大小，参考下图图所列大小设置

Layer	Regular Pad	Thermal Relief	Anti Pad
BEGIN LAYER	焊盘实际大小	比实际焊盘大 0.2MM	比实际焊盘大 0.2MM
DEFAUL INTERNAL	比实际焊盘小 0.1MM	比实际焊盘大 0.1MM	比实际焊盘大 0.1MM
END LAYER	焊盘实际大小	比实际焊盘大 0.2MM	比实际焊盘大 0.2MM
SOLDERMASK_ TOP/BOTTOM	比实际焊盘大 0.1-0.2MM	无	无
PASTEMASK_T OP	焊盘实际大小		

■ 黄色字体部分为贴片焊盘所需要参数

图 1-2 焊盘各层大小关系

**Solder Mask Layers: 即阻焊层**，就是 PCB 板上焊盘（表面贴焊盘、插件焊盘、过孔）外一层涂了绿油的地方，它是为了防止在 PCB 过锡炉（波峰焊）的时候，不该上锡的地方上锡，所以称为阻焊层（绿油层），我想只要见过 PCB 板的都应该会看到这层绿油的，阻焊层又可以分为 Top Layers R 和 Bottom Layers 两层，Solder 层是要把 PAD 露出来吧，这就是我们在只显示 Solder 层时看到的小圆圈或小方圈，一般比焊盘大（Solder 表面意思是指阻焊层，就是用它来涂敷绿油等阻焊材料，从而防止不需要焊接的地方沾染锡的，这层会露出所有需要焊接的焊盘，并且开孔会比实际焊盘要大）；在生成 Gerber 文件时候，可以观察 Solder Layers 的实际效果。

**Paste Mask Layers: 锡膏防护层（或助焊层、钢网层）**，是针对表面贴（SMD）元件的，该层用来制作钢膜（片），而钢膜上的孔就对应着电路板上的 SMD 器件的焊点。在表面贴装（SMD）器件焊接时，先将钢膜盖在电路板上（与实际焊盘对应），然后将锡膏涂上，用刮片将多余的锡膏刮去，移除钢膜，这样 SMD 器件的焊盘就加上了锡膏，之后将 SMD 器件贴附到锡膏上面去（手工或贴片机），最后通过回流焊机完成 SMD 器件的焊接。通常钢膜上孔径的大小会比电路板上实际的焊小一些，通过指定一个扩展规则，来放大或缩小锡膏防护层。对于不同焊盘的不同要求，也可以在锡膏防护层中设定多重规则，系统也提供 2 个锡膏防护层，分别是顶层锡膏防护层（Top Paste）和底层锡膏防护层（Bottom Paste）。

记住两点不同：

(1) 阻焊层是决定有没有开窗绿油，与涂不涂锡无关，锡膏防护层是要开钢网涂锡的，与有无绿油无关。

(2) 阻焊层是负片，绘制区域内表示没有开窗绿油（裸露铜）；助焊层是正片，绘制区域内开钢网涂锡；两者刚好相反。

因此，

(1) 如果需要涂锡，如焊盘/MARK 点/测试点等，需要同时使用 Solder Mask 和 Paste Mask；

(2) 如果只需要露出铜而不需要涂锡，如机械安装孔，则只要 Solder Mask 层；

(3) 如果不需要露铜，如导线/铺地铜皮等，还有盖绿油的过孔，在使用 Allegro 设计时则不要设置 Solder Mask 和 Paste Mask 层。

特别注意区别一点：正片与负片，正片中与真实看到的一致，负片中与实际看到的相反。比如 Solder Mask 是出负片，也就是说，设计图纸上绘制了 Solder Mask 区域的地方在实际生产的时候，是没有绿油的。

典型如插贴混合的板子，插接件如果用回流焊焊接，需要特别大/奇怪的扩展，好放下能用来焊接用的那么多的焊锡；如果是回流/波峰焊接的话，好象说插件是不能开窗的，要不然回流的时候就把通孔堵塞了。

有一个典型的应用是板子的定位点：成品为裸露的一块 PCB 铜箔，上边不上锡。因此，要在 TOP Layer 铜层放一个铜，正片，比如一个圆点；TOP Solder 开窗去阻焊，就需要放一个实心的图形，比如方块，负片，阻焊就去除了；但是这个在焊接的时候不需要锡膏，因此 Paste 不要有东西，正片，所以不会在钢网上开窗。因此，单面贴片焊盘不能设置 Soldermask\_Bottom 和 Pastemask\_Bottom。过孔不要设置 Soldermask 和 Pastemask。



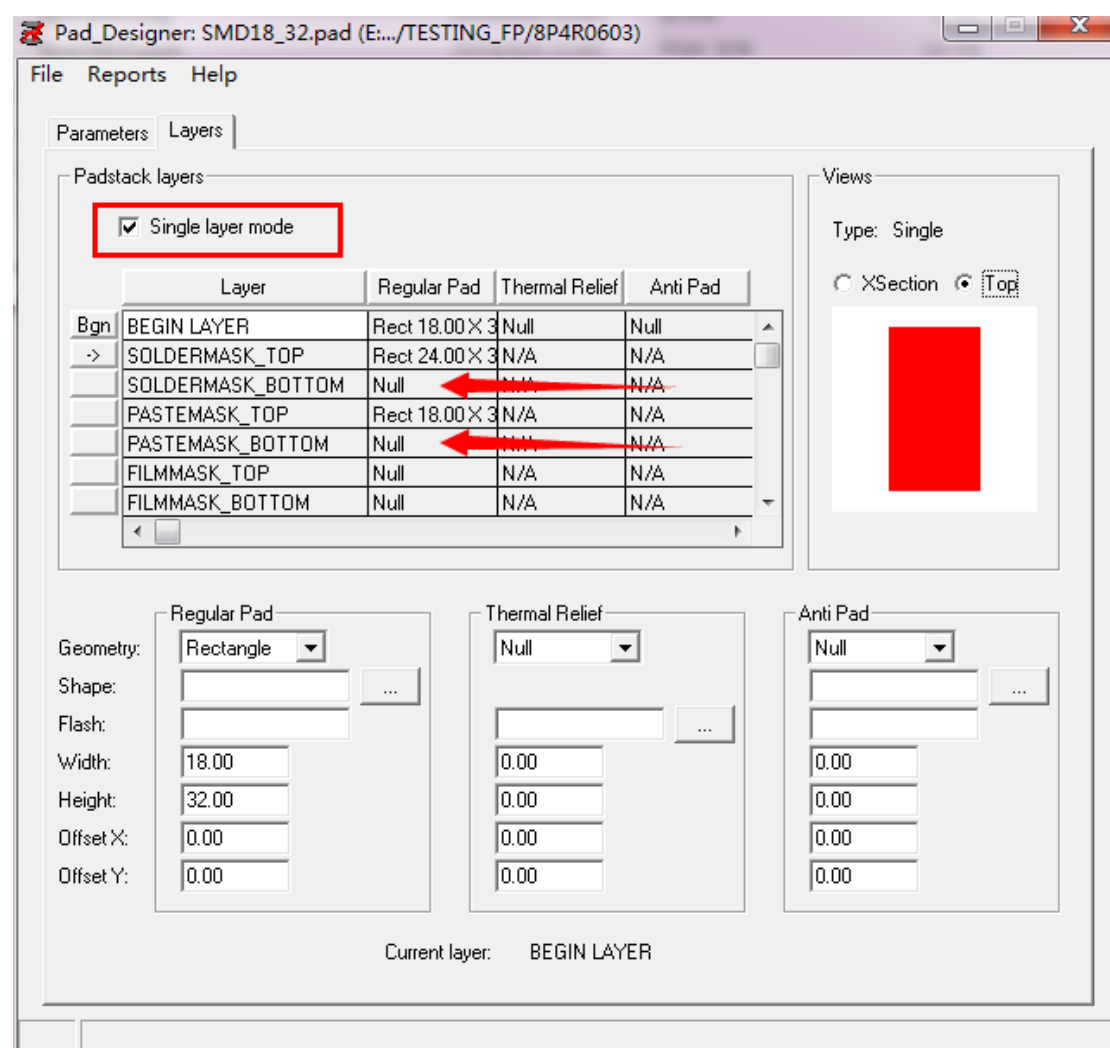


图 1-3 单面贴片焊盘层叠设计

### 1.1.2 热风焊盘制作

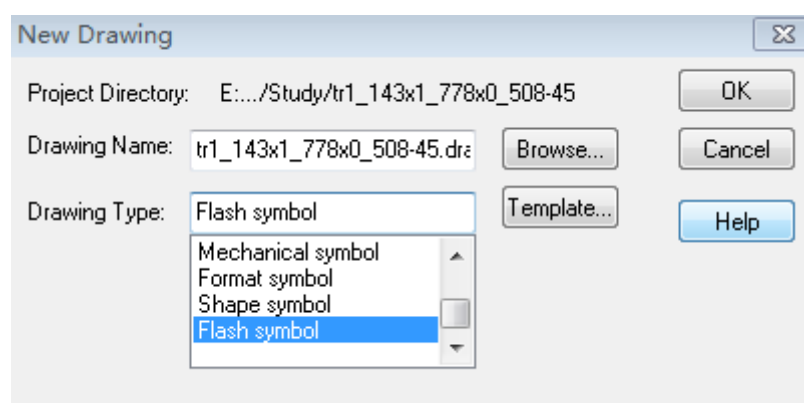


图 1-4 新建热风焊盘

❖ 标准热风焊盘：Add→Flash 命令（如图）；

❖ 非标准热风焊盘：Shape→Polygon，敲坐标绘制。

Class 与 Subclass 分别选择 Etch 与 Top。热风焊盘是负片，因此如下图所示的热风焊盘最终成十字形连接。热风焊盘除了用于焊盘与铜皮的连接，还有比整块铜皮连接更好的散热效果。命名方式：tr[内径]x[外径]x[开口宽度]-[开口角度]。

热风焊盘尺寸选择：内径 $\geq$ drill diameter+16mil，外径 $\geq$ drill diameter+30mil，开口宽度保证不小于 10mil。

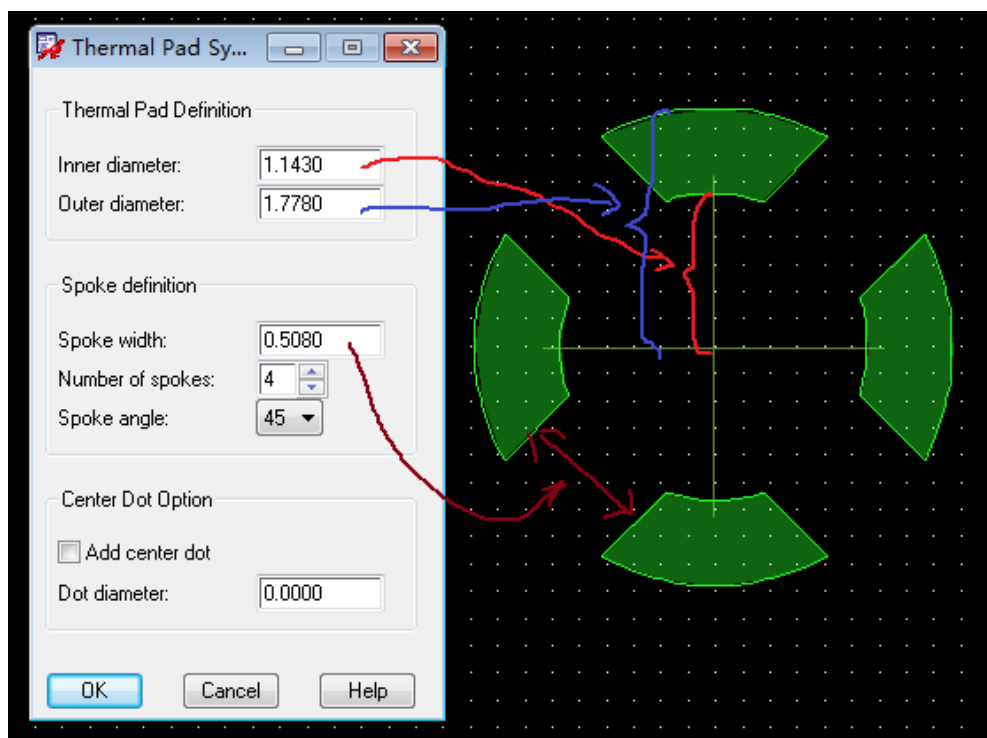


图 1-5 标准热风焊盘

### 1.1.3 自定义形状焊盘的制作与使用

制作自定义焊盘：新建 Shape symbol，使用 Shape→Polygon 制作，Class 与 Subclass 选择 Etch 和 Top。

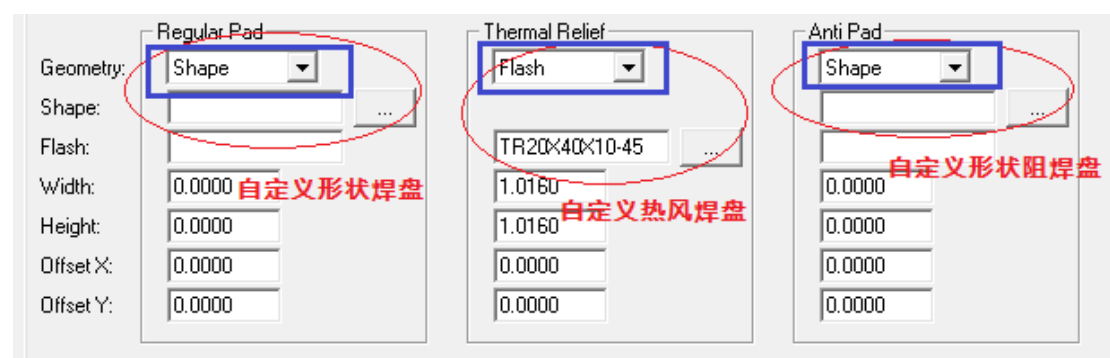


图 1- 6 在 Pad Designer 中添加自定义形状焊盘(热风焊盘)

## 1.2 封装绘制

### 1.2.1 获取元件参数

在纸上绘制标注各部分长度。通常获取封装参数的方法有：查找 Datasheet；查找 LP Wizard 中对应封装，打印到 PDF；实际测量。

### 1.2.2 新建封装文件

- ❖ 从 Cadence 安装组件中选择 PCB Editor 组件，打开，从选项中选择 Allegro PCB Design GXL 产品。

- ❖ 在 Drawing Type 中选择 Package Symbol 表示绘制封装符号

### 1.2.3 添加库路径

- ❖ 一种好的办法是将封装要使用的焊盘与封装放在同一路径下，则此步骤可免去，因为当前封装所在目录默认被包含在库路径所在目录中

- ❖ 当焊盘与封装不再同一目录时，执行 Setup→User Parameter，设置 padpath、parampath 与 psmppath 等路径

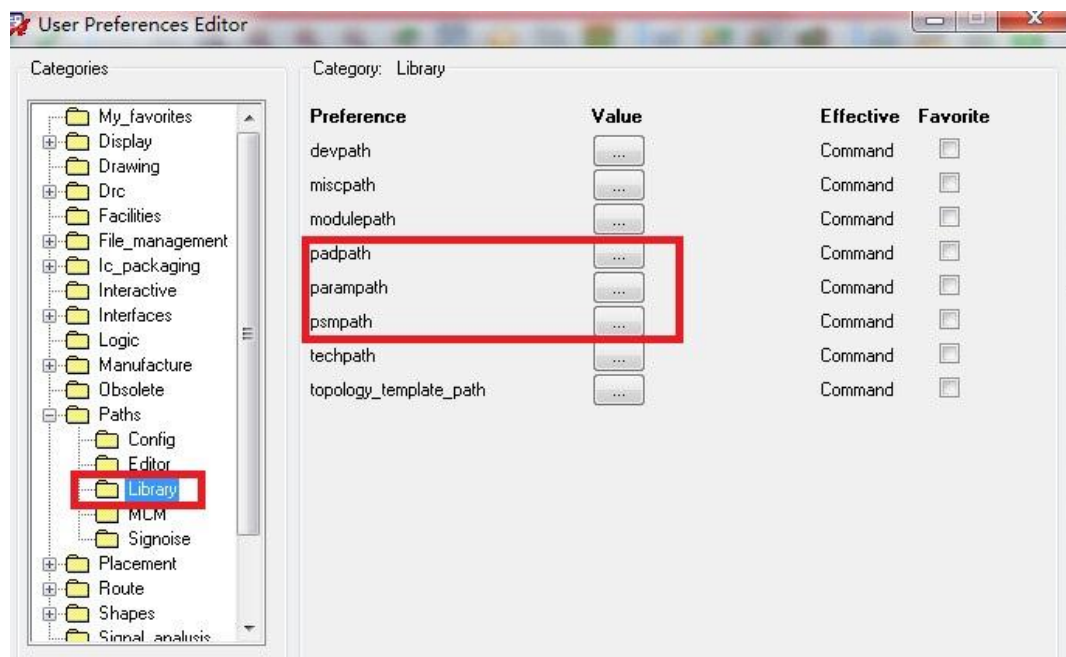


图 1-7 绘制焊盘库路径设置

#### 1.2.4 设置页面参数

执行 Setup→Design Parameters, 设置 Design 和 Grid, 单位为 mm, 精度为 4, 格点设为 1mil=0.0254mm。

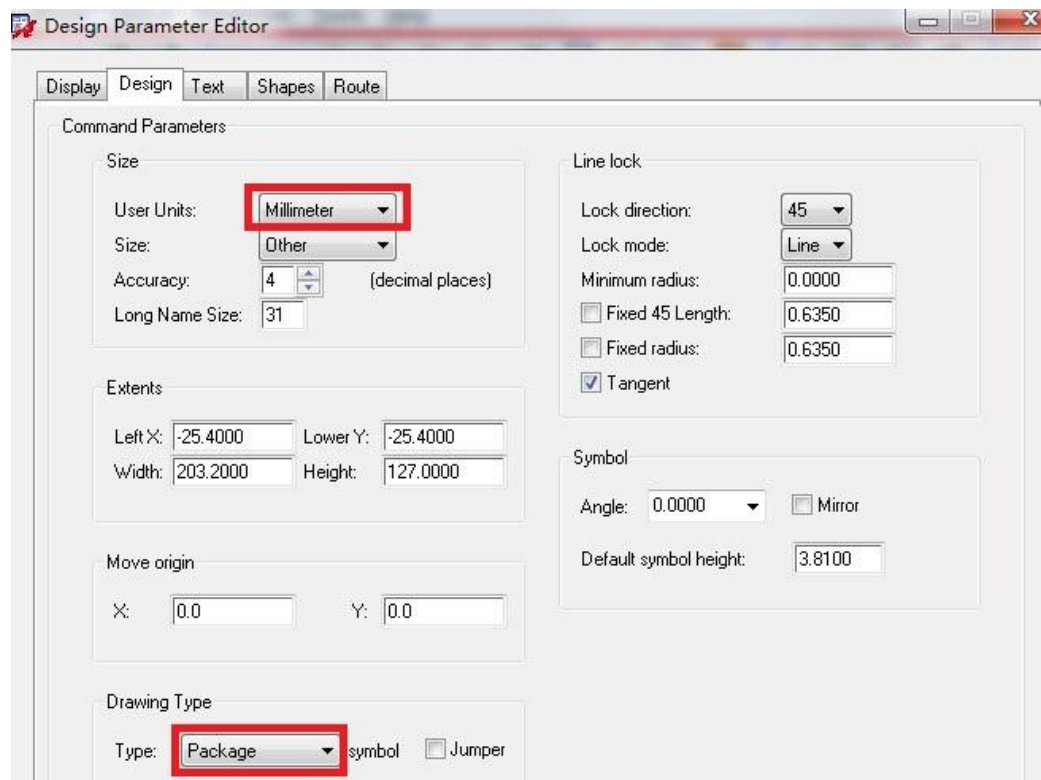


图 1-8 绘制封装页面参数设置

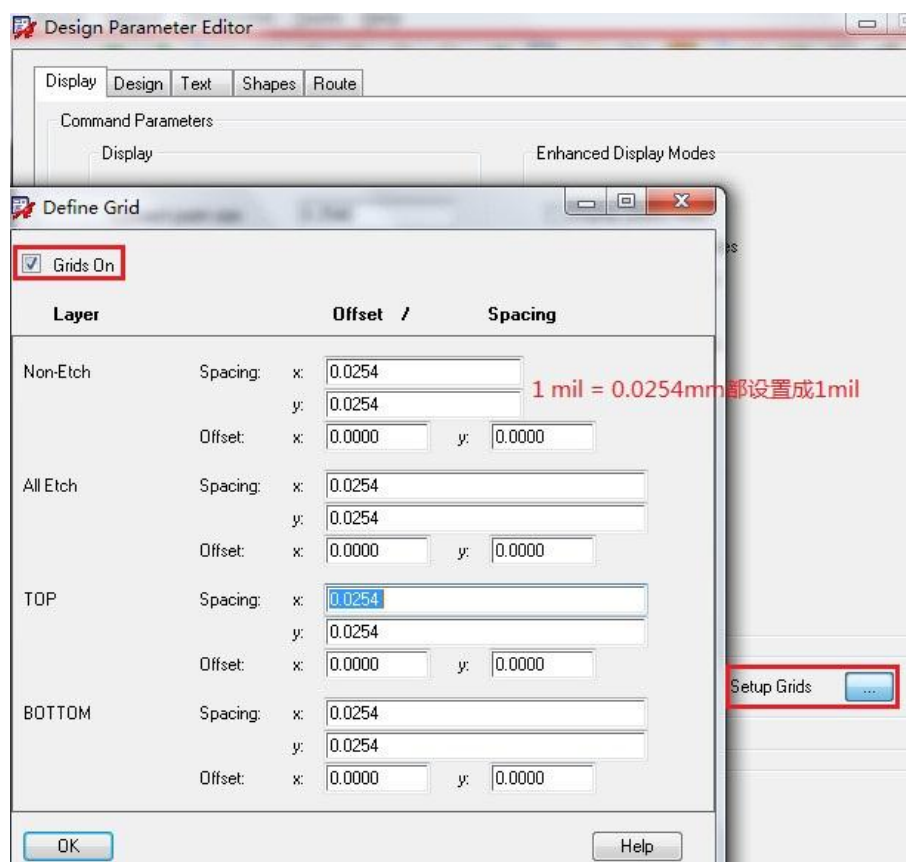


图 1-9 绘制焊盘格点设置

### 1.2.5 添加引脚

执行 Layout→Pins, Option 中选择 Connect, 使用坐标放置。

### 1.2.6 添加封装外形

❖ 执行 Add 或 Shape 菜单, 选择要使用的线性或图形(最常用 Add→Line), Option 中 Class/Subclass 选择 Package\_Geometry/Display\_Top, 线宽 0.0mm

❖ 执行 Add 或 Shape 菜单, 选择要使用线型或图形(最常用 Add→Line), Option 中 Class/Subclass 选择 Package\_Geometry/Assemblely\_Top, 线宽 0.1mm

❖ 执行 Add 或 Shape 菜单, 选择要使用线型或图形(最常用 Add→Line), Option 中 Class/Subclass 选择 Package\_Geometry/Silkscreen\_Top, 线宽 0.2mm。Silkscreen\_Top 层就是 PCB 板上能看到的白线

### 1.2.7 添加元件标示符

执行 Layout→Lables→RefDes, 在 Option 中选择添加外形封装相同的子类, 即 Package\_Geometry/Assemblely\_Top 和 Package\_Geometry/Silkscreen\_Top, 分别添加 Ref

表 1-1 封装 REF 大小约定

字符	高度	宽度	线宽	字间距
器件位号(小)	1mm (40mil)	0.8mm(30nil)	0.15mm(6mil)	0.1mm(4mil)
器件位号(大)及说明文字	1.27mm(50mil)	0.9mm(35mil)	0.2mm(8mil)	0.13mm(5mil)

### 1.2.8 添加元件安装外形

❖ 安装外形即零件实体大小, 执行“Add→Rectangle”或其它外形, Option 窗口选择 Package\_Geometry/Place\_Bound\_Top, 线宽 0mm

❖ 执行 Setup→Area→Package Height 命令, Option 窗口中 Class/Subclass 选择 Package\_Geometry/Place\_Bound\_Top, 在 MaxHeight 中输入高度

表 1- 2 封装线宽约定

Class/Subclass	Line Width
Assembly Top/Bottom	0.1mm (4mil)
Silkscreen Top/Bottom	0.2mm (8mil)
Place_Bound_Top/Bottom	0mm (0mil)
Display_Top/Bottom	0mm (0mil)

1.3 LP Wizard 生成封装

除了手工绘制封装外，我们也可以在项目中使用 LP Wizard 软件生成封装。

❖ 首先在 [www.alldatasheet.com](http://www.alldatasheet.com) 上查找元件数据手册。这里以图 1- 10 的有源 4 脚晶振为例。

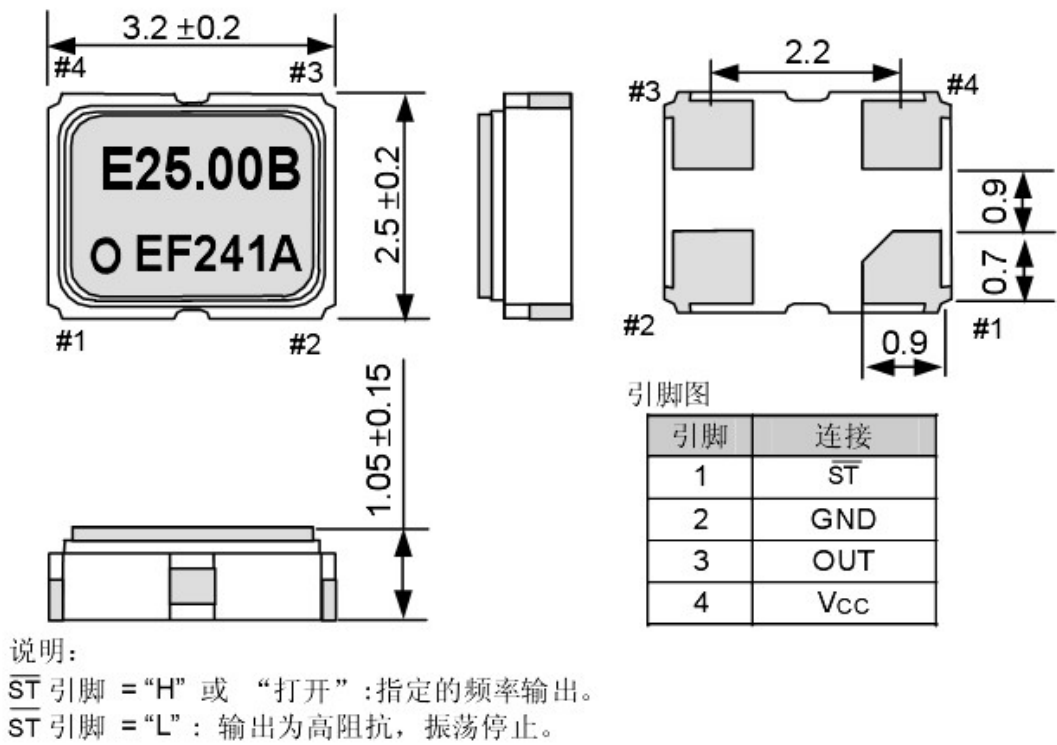


图 1- 10 有源 4 脚晶振。Top 视图（左上），Bottom 视图（右上），Side 视图（左下）。

❖ 打开 LP Wizard，点击 Calculate 菜单，选则 SMD Calculator，弹出元器件封装选择界面。选择 Oscillator 双击进入。确认引脚顺序要与数据手册中的 Top 视图一一对应。如图 1- 11。

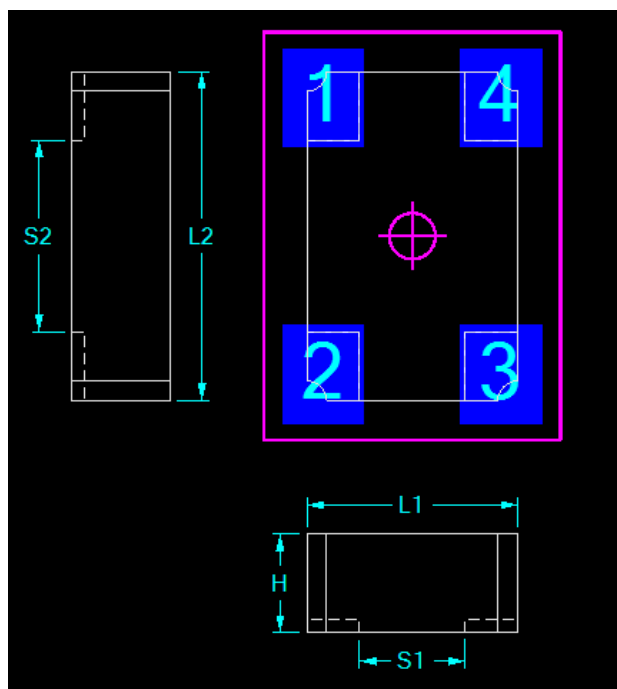


图 1-11 确保与手册上 Top 视图管脚序号一一对应

❖ 左边栏选中 Component，根据数据手册设置相关尺寸参数，点击 OK 使设置生效。

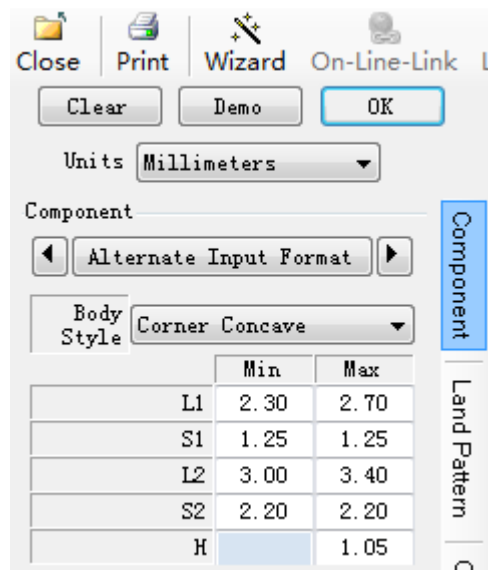


图 1-12 设置尺寸参数

❖ 左边栏选中 Calculator Settings，使用 User 自定义设置，修改阻焊层(Solder Mask)为 0.1mm，点击 OK 生效。



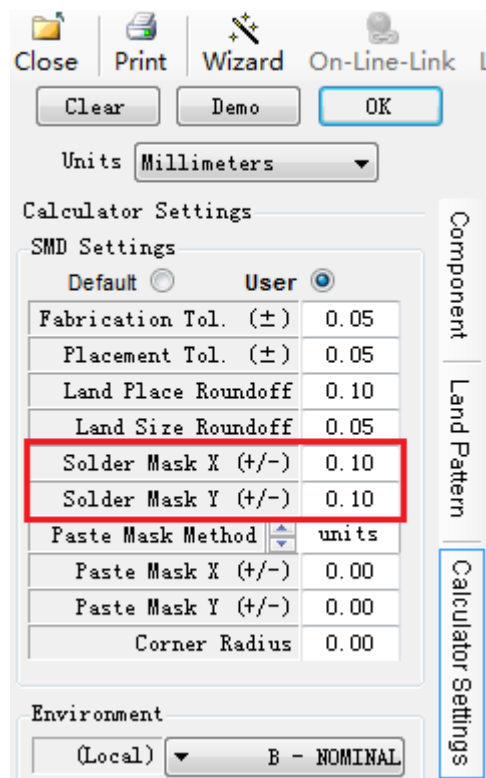


图 1- 13 修改 Solder Mask

❖ 点击工具栏的魔法棒工具  (Wizard)，弹出输出设置如图 1- 14，最终输出封装如图 1- 15，可以根据自己的需要进行修改。

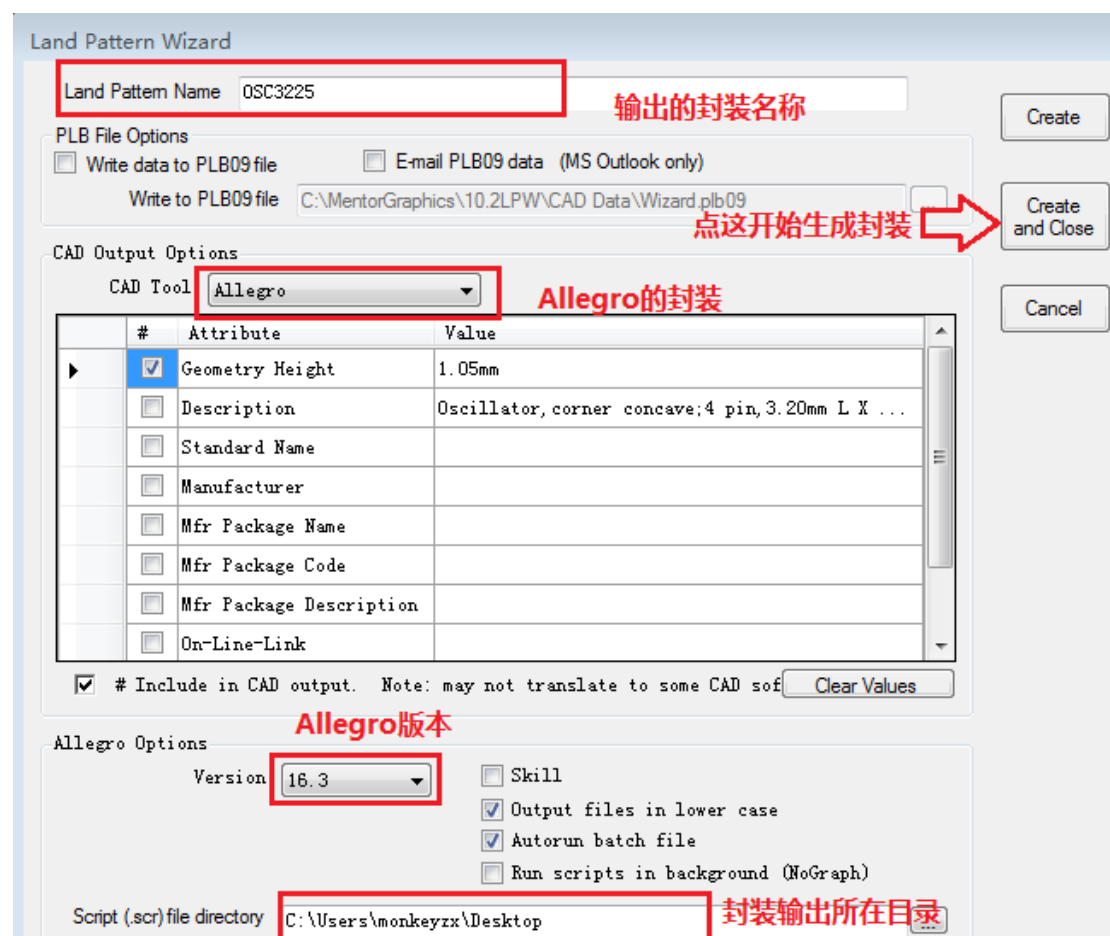


图 1-14 输出设置

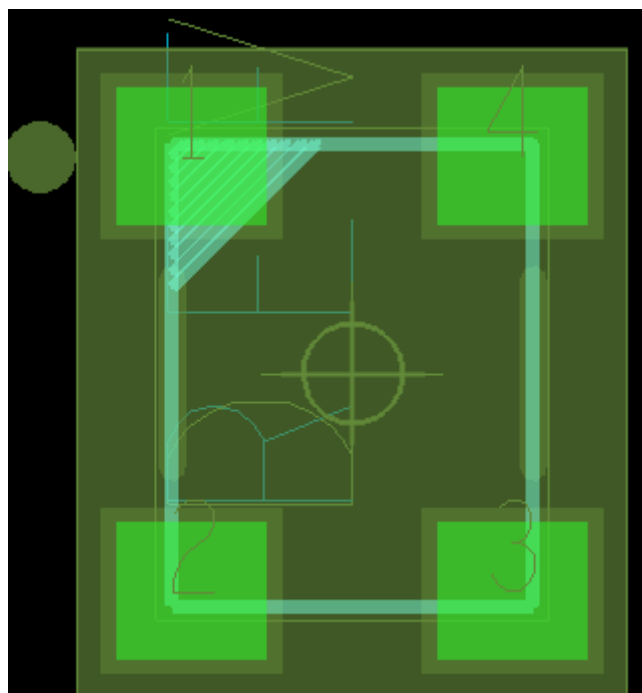


图 1-15 使用 LP Wizard 生成的封装

## 2 PCB 预处理

### 2.1 新建工程及画布参数设置

#### 2.1.1 新建工程

❖ 从 Cadence 安装组件中选择 PCB Editor 组件, 打开, 从选项中选择 Allegro PCB Design GXL 产品, 该产品功能最全。

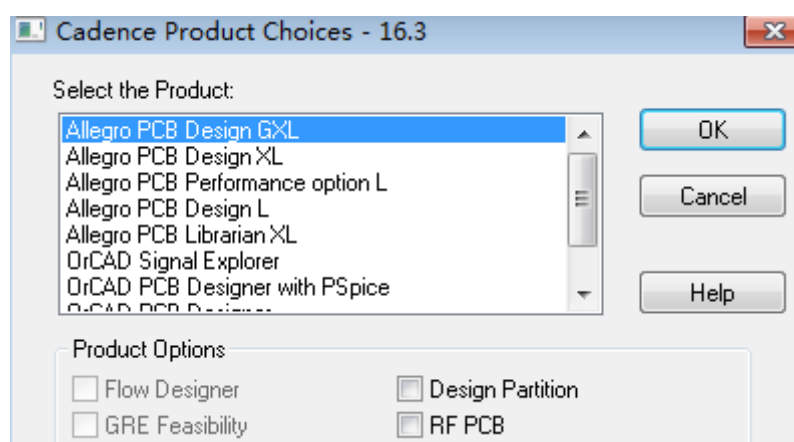


图 2-1 选择 PCB Design GXL

❖ 设置工程属性

Project Directory 显示工程路径

Drawing Name 工程名称, Browse...可选择工程存放路径

Drawing Type 工程类型, 选择 Board

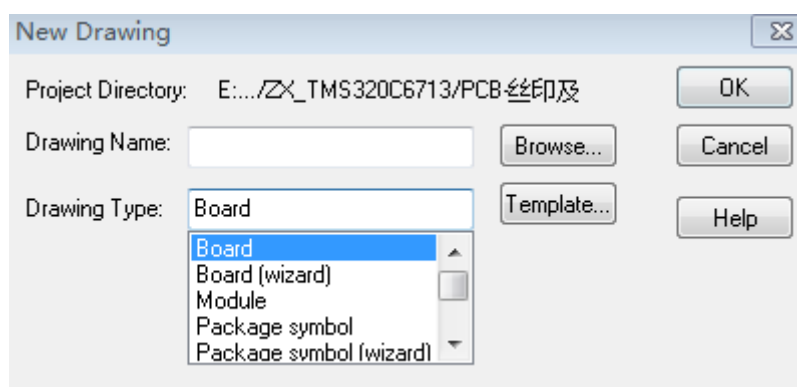


图 2-2 新建 PCB 工程

## 2.1.2 设置画布参数

执行 Setup → Design Parameters...

❖ 在 Design 选项卡中设置：单位为 Mils，Size 为 other，2 位精度。Width 与 Height 分别代表画布的宽高，LeftX 与 LowerY 代表原点位置坐标。点击 Apply 使修改生效

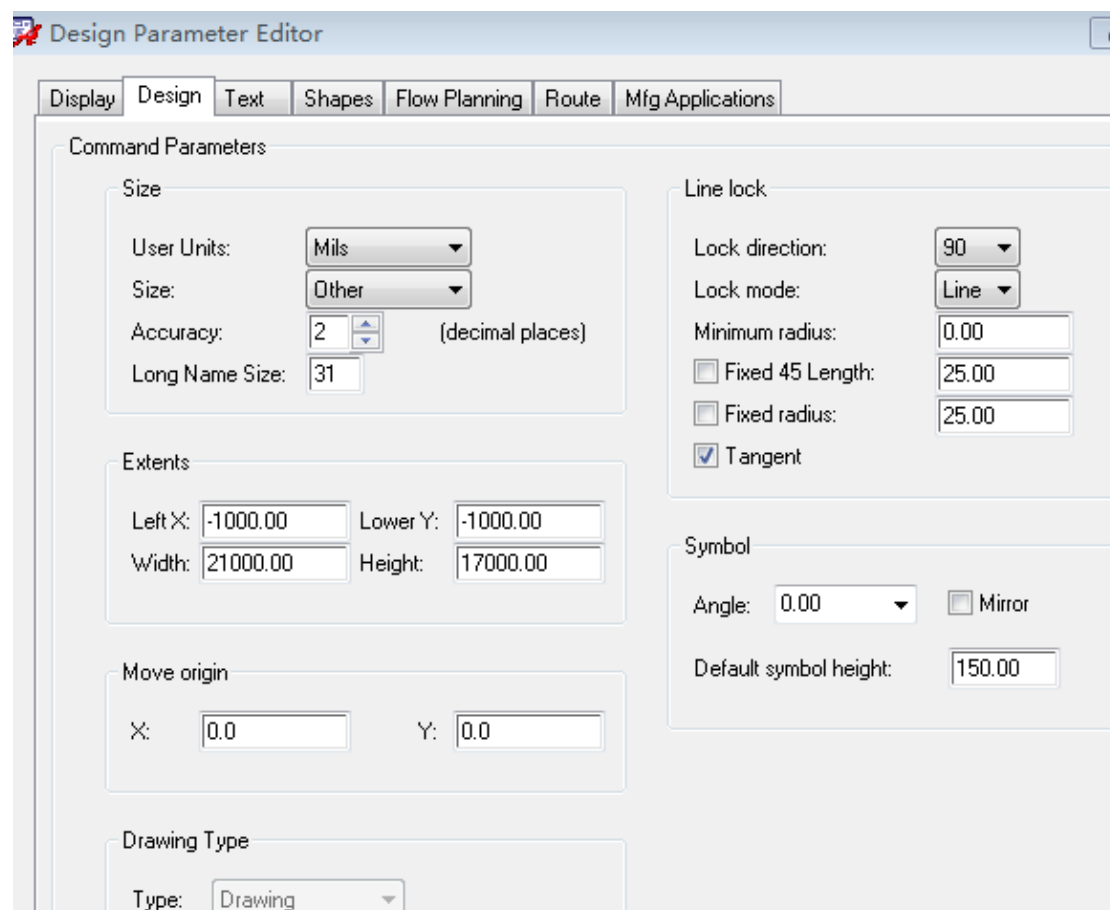


图 2- 3 PCB 页面参数设置

❖ 在 Display 选项卡中设置格点为 1mil，如下图，点击 Apply 使设置生效

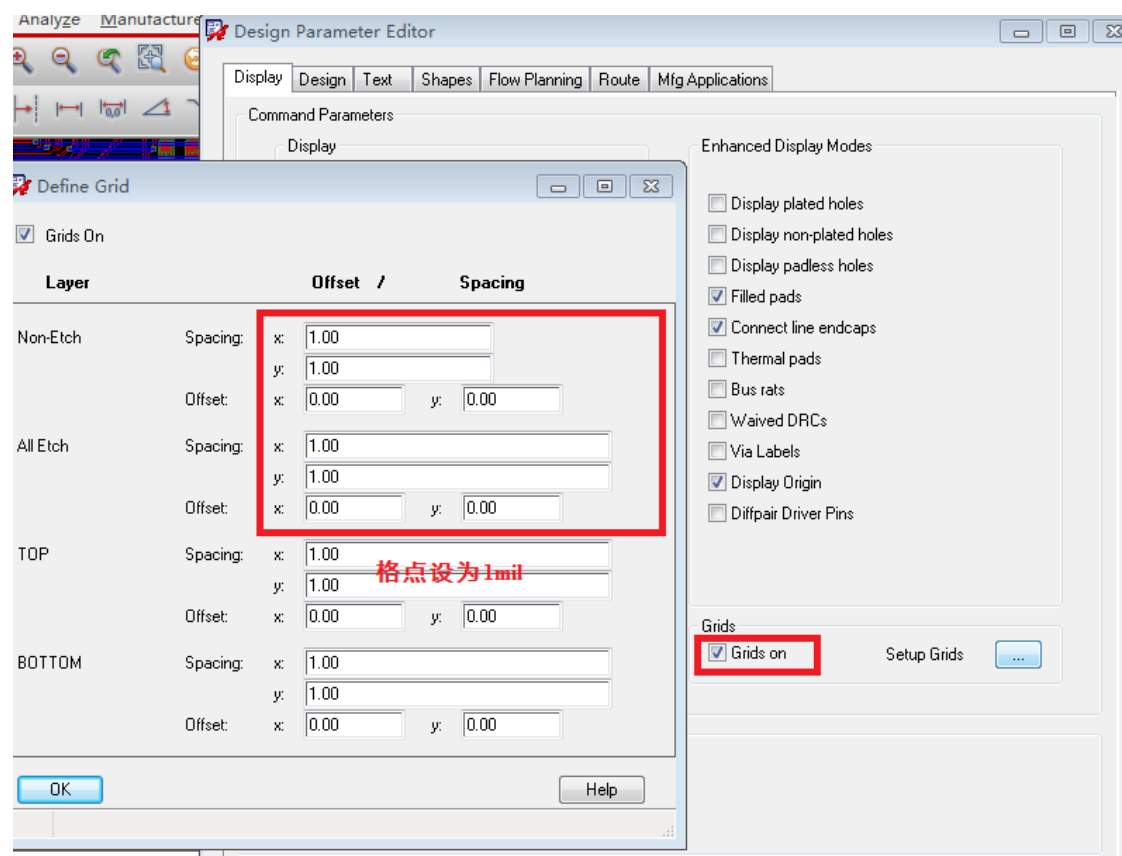


图 2-4 PCB 页面格点设置

## 2.2 设置封装库路径

将所有绘制好的 PCB 封装复制到同一个目录下(本文使用 Footprint 目录), 执行 Setup → User Preference..., 如图, 指定 padpath、parampath、psmpath、techpath 到封装所在目录。

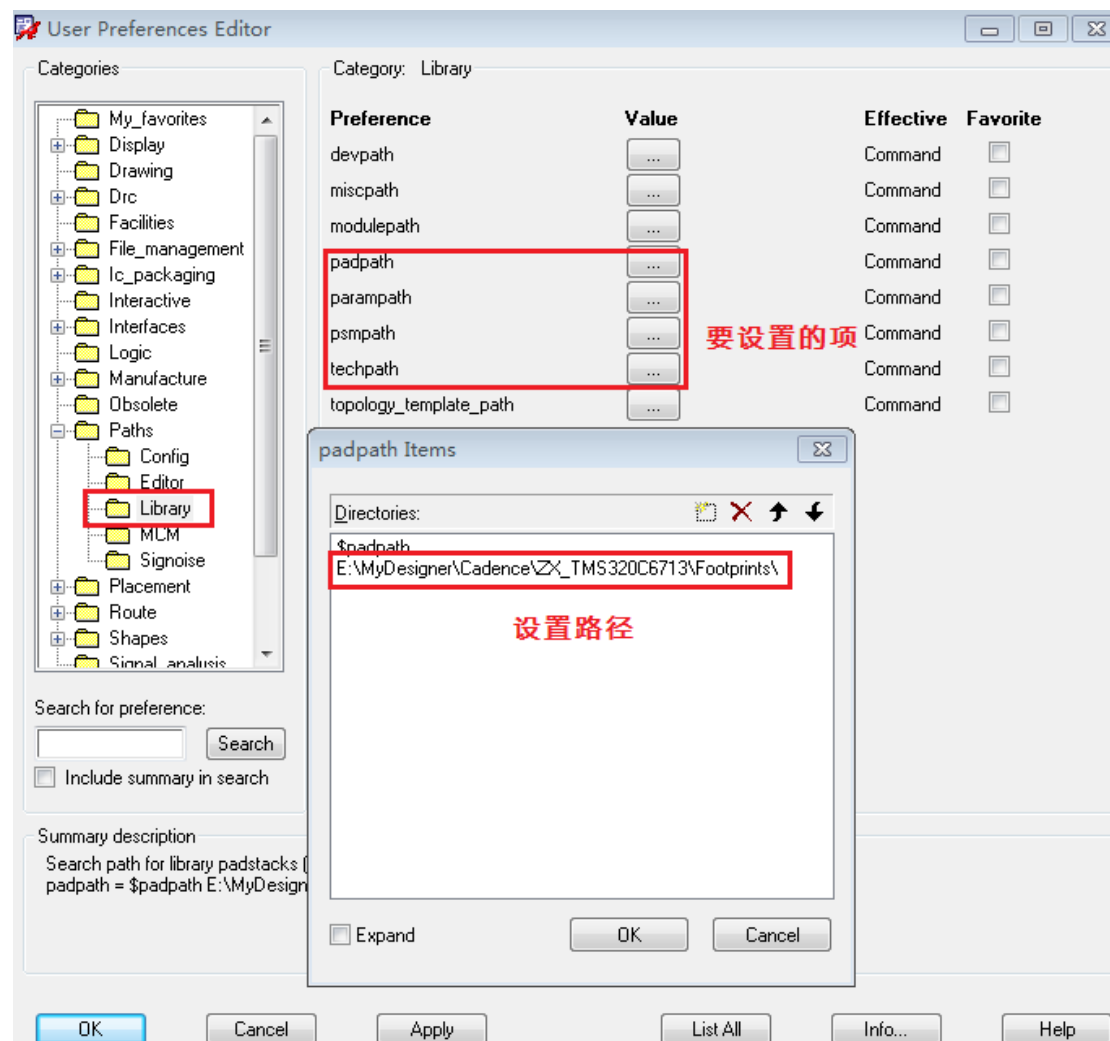


图 2-5 设置封装库路径

## 2.3 绘制板框

❖ 绘制板框，执行 Add→Line，Class 与 Subclass 分别选择 Board Geometry 和 Outline，使用坐标绘制封闭板框区域

❖ 板框倒角，执行 Manufacture → Dimension/Draft → fillet，分别点击倒角所在的两条相交边，对于 100 mil x 100 mil 的 PCB 板，设置倒角半径（Radius）为 100~200 mil

❖ 添加板框尺寸标注，执行 Manufacture→Dimension/Drift，Linear Dim 添加直线长度尺寸，Radial Leader 添加倒角半径，如图

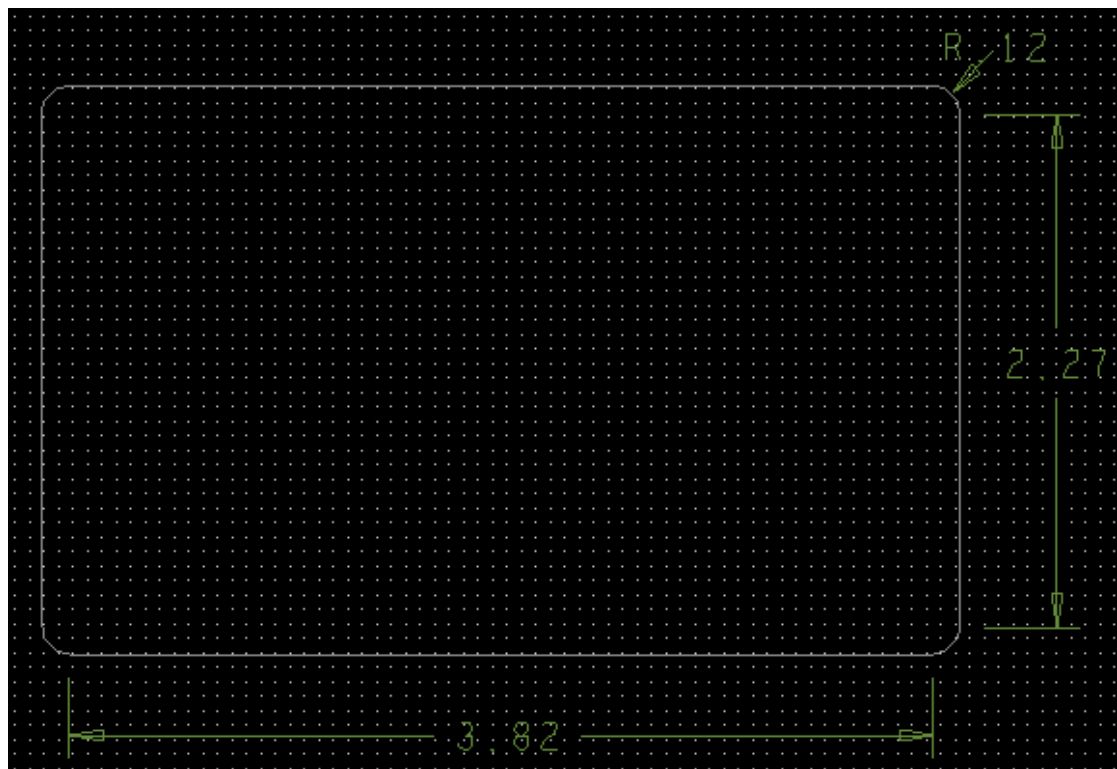


图 2-6 板框及标注

## 2.4 设置元件摆放区和布线区

### 2.4.1 设置允许元件摆放区（Package Keepin）

❖ 方法 1：执行 Setup → Areas → Package Keepin，在 Options 中设置 Class 为 Package Keepin，Subclass 为 All，如图，使用坐标绘制允许元件摆放区

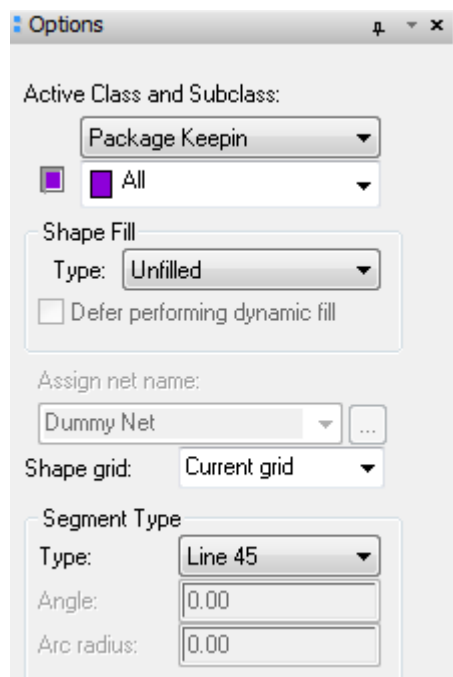


图 2-7 允许元件摆放区设置

❖ 方法 2: 使用 Z-Copy 命令, 执行 Edit→Z-Copy, 在 Options 中设置 Class 为 Package Keepin, Subclass 为 All, Size 选择 Contract 表示向内缩进, Offset 填充 20mil, 表示缩进 20mil, 如图。点击板框, 完成板框到 Package Keepin 的复制。

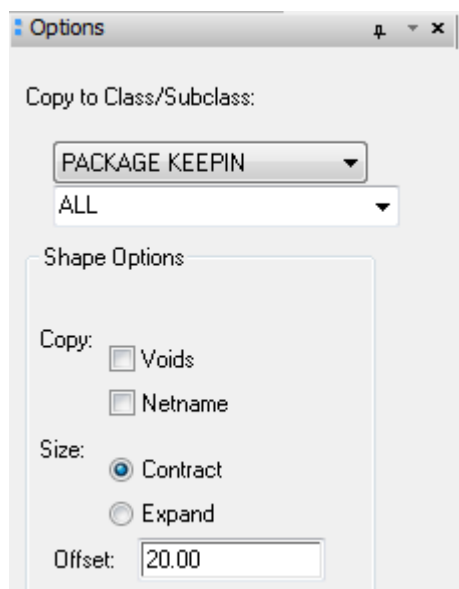


图 2-8 使用 Z-Copy 设置允许元件摆放区



## 2.4.2 设置允许布线区 (Route Keepin)

Route Keepin 设置方法与 Package Keepin 设置方法类似，

❖ 方法 1：执行 Setup → Areas → Route Keepin，在 Options 中设置 Class 为 Route Keepin，Subclass 为 All，如图，使用坐标绘制允许布线区

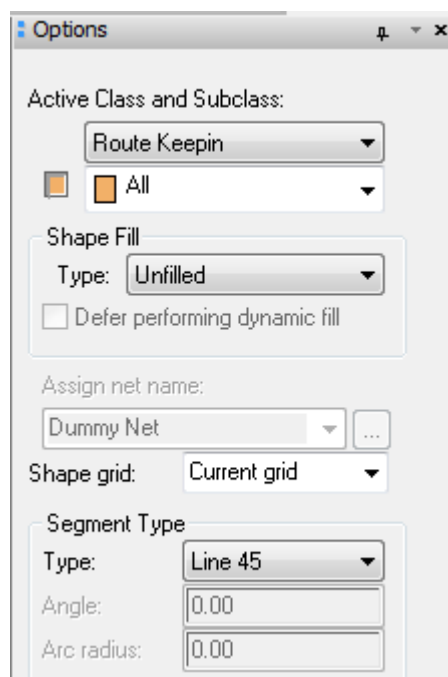


图 2-9 允许布线区设置

❖ 方法 2：使用 Z-Copy 命令，执行 Edit→Z-Copy，在 Options 中设置 Class 为 Route Keepin，Subclass 为 All，Size 选择 Contract 表示向内缩进，Offset 填充 20mil，表示缩进 20mil，如图。点击板框，完成板框到 Route Keepin 的复制。

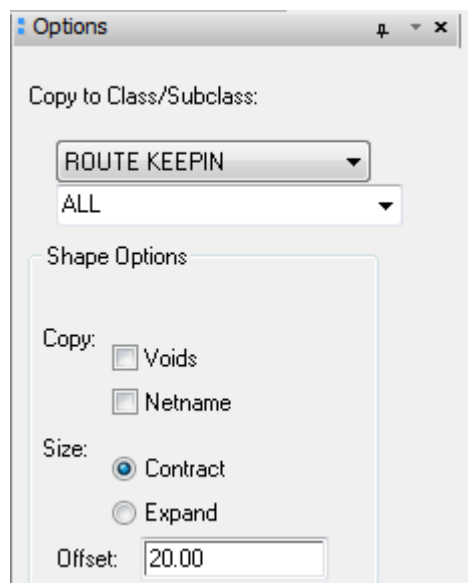


图 2-10 使用 Z-Copy 命令设置运行布线区

## 2.5 放置机械固定件

### 2.5.1 放置机械安装孔

执行 Place → manually..., 在 Advanced Setting 选项卡中选上 Library, 如图

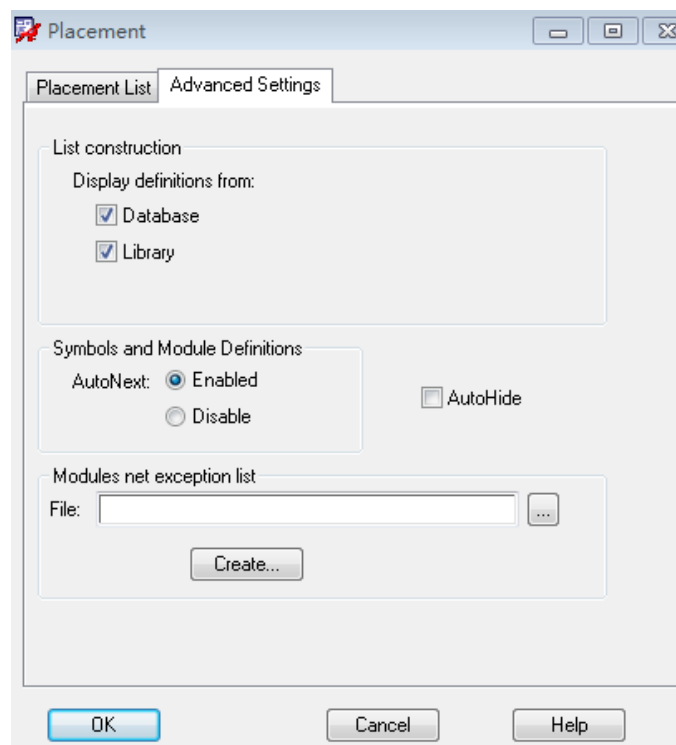


图 2-11 勾选 Library 选项

Placement List 中选择 Mechanical symbols，选择要放置的安装孔符号，如图

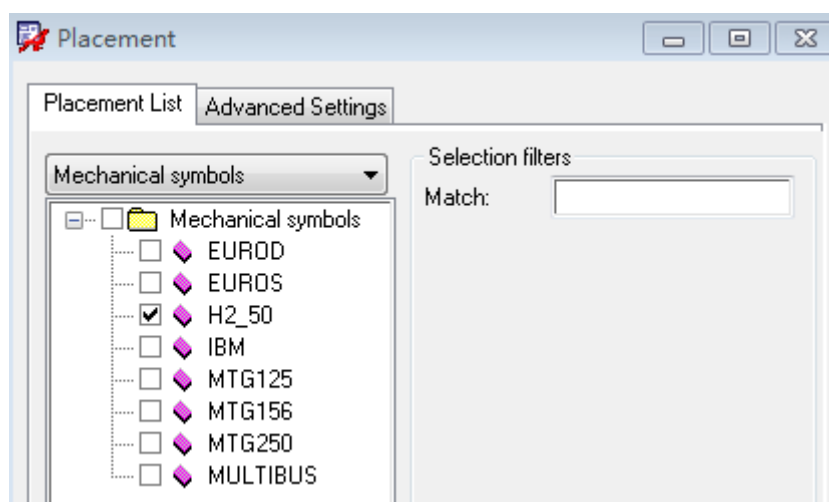


图 2-12 放置机械安装孔

Placement List 中各选项的作用分别是：

- ❖ Components by refdes 放置元器件
- ❖ Mechanical symbols 放置机械符号（比如安装孔）
- ❖ Format symbols 放置格式符号（比如标题栏等）

## 2.6 定义盲孔和层叠结构

### 2.6.1 定义盲孔

对于多层板，如果有盲孔或者埋孔则可以设置（即使是多层板，也不推荐使用盲孔和埋孔，推荐仍使用通孔）。

执行 Setup → B/B Via Definitions → Define B/B Via...，如图，其中 Bbvia Padstack 填写过孔名称，Padstack to Copy 指定参考过孔类型，Start Layer & End Layer 指定过孔通过的层。

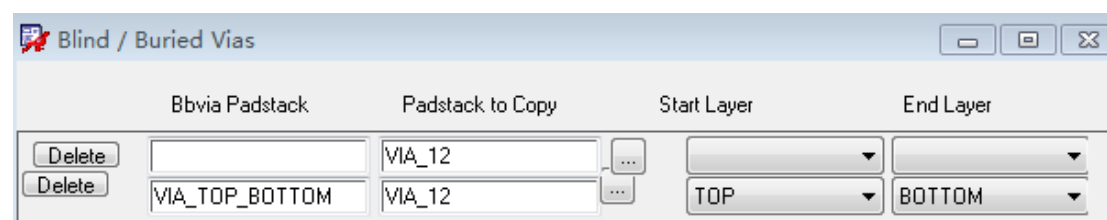
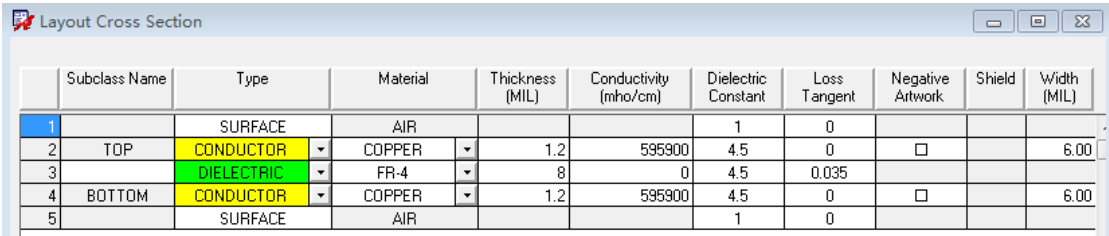


图 2-13 定义盲孔和埋孔

### 2.6.2 设置 PCB 板的层叠结构

执行 Setup → Cross-section,

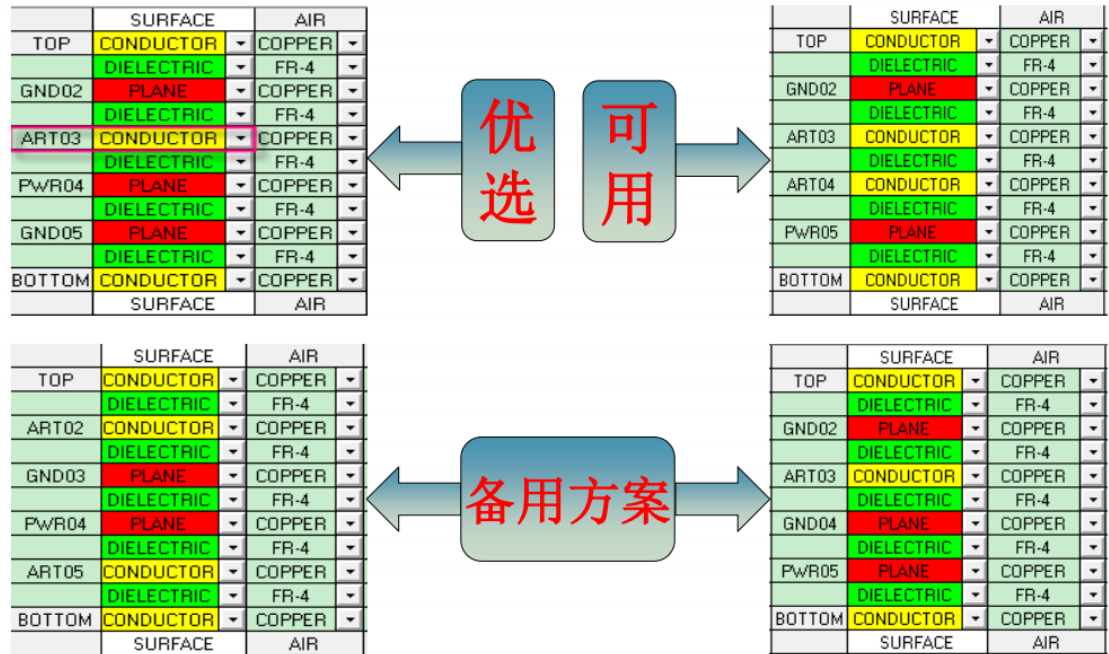
❖ 默认为典型 2 层板结构，如图，使用 2 层板不做任何修改。



	Subclass Name	Type	Material	Thickness (MIL)	Conductivity (mho/cm)	Dielectric Constant	Loss Tangent	Negative Artwork	Shield	Width (MIL)
1		SURFACE	AIR			1	0			
2	TOP	CONDUCTOR	COPPER	1.2	595900	4.5	0	<input type="checkbox"/>		6.00
3		DIELECTRIC	FR-4	8	0	4.5	0.035			
4	BOTTOM	CONDUCTOR	COPPER	1.2	595900	4.5	0	<input type="checkbox"/>		6.00
5		SURFACE	AIR			1	0			

图 2-14 典型 2 层板结构

❖ 多层板层叠结构设置：在 Top 层上右键 Add layer below，在 Top 层下添加层，在 Bottom 层上右键 Add layer above。将其中地层与电源层设置为 PLANE 属性，信号层的 Type 定义为 CONDUCTOR，即导电层，如图为 6/8 层板和 4 层板的层叠结构。另外，请注意对 PLANE 属性层的正负片设置！



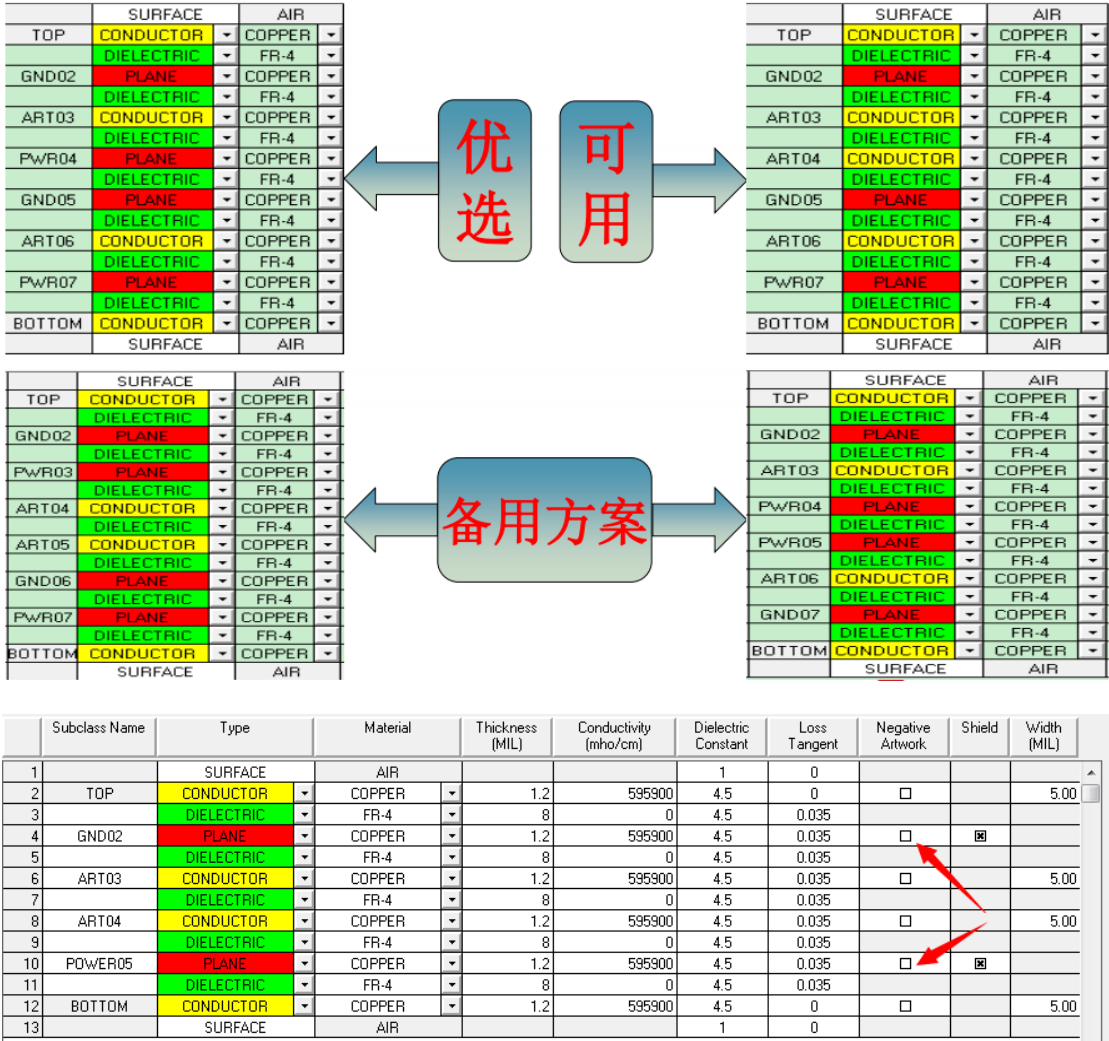


图 2- 15 典型 6/8 层板结构（此处 PLANE 平面使用正片，要铺铜）

	Subclass Name	Type	Material	Thickness (MIL)	Conductivity (mho/cm)	Dielectric Constant	Loss Tangent	Negative Artwork	Shield	Width (MIL)
1		SURFACE	AIR			1	0			
2	TOP	CONDUCTOR	COPPER	1.2	595900	4.5	0	<input type="checkbox"/>		6.00
3		DIELECTRIC	FR-4	8	0	4.5	0.035			
4	GND02	PLANE	COPPER	1.2	595900	4.5	0.035	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	
5		DIELECTRIC	FR-4	8	0	4.5	0.035			
6	POWER03	PLANE	COPPER	1.2	595900	4.5	0.035	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	
7		DIELECTRIC	FR-4	8	0	4.5	0.035			
8	BOTTOM	CONDUCTOR	COPPER	1.2	595900	4.5	0	<input type="checkbox"/>		6.00
9		SURFACE	AIR			1	0			

图 2- 16 典型 4 层板结构（此处 PLANE 平面使用负片，不要铺铜）

2.7 约束设置

执行 Setup → Constraints → Constraints Manager…。约束设置与工艺参数有关，深圳嘉立创的一些 PCB 工艺参数整理如下图。

夏侯佐鑫整理 2013.08.30

PCB对象	参数约束	正常值	备注
线路	线宽	$\geq 6\text{mil}(0.153\text{mm})$	10mil
	线距	$\geq 6\text{mil}(0.153\text{mm})$	10mil
	线路到外形间距	$\geq 0.508\text{mm}(20\text{mil})$	
VIA过孔 (导电孔)	孔径(直径)	$\geq 0.3\text{mm}(12\text{mil})$	
	焊盘单边宽度	$\geq 6\text{mil}(0.153\text{mm})$	$\geq 8\text{mil}(0.2\text{mm})$
	焊盘到外形	$\geq 0.508\text{mm}(20\text{mil})$	
	孔到线间距(NPTH)	$\geq 0.2\text{mm}(8\text{mil})$	孔补偿0.15mm
	孔到线间距(PTH)	$\geq 0.3\text{mm}(12\text{mil})$	孔补偿0.15mm
	孔到孔间距(NPTH)	$\geq 0.2\text{mm}(8\text{mil})$	孔补偿0.15mm
	孔到孔间距(PTH)	$\geq 0.45\text{mm}(17.7165\text{mil})$	孔补偿0.15mm
	孔到孔间距(VIA)		
	VIA孔边到孔边间距	$\geq 6\text{mil}(0.153\text{mm})$	$\geq 8\text{mil}(0.2\text{mm})$
PAD焊盘 (插件孔)	孔径(直径)	$>$ 元件管脚孔径0.2mm以上	
	焊盘单边宽度	$\geq 0.2\text{mm}(8\text{mil})$	
	孔边到孔边间距	$\geq 0.3\text{mm}(12\text{mil})$	
	孔焊盘到外形	$\geq 0.508\text{mm}(20\text{mil})$	
防焊	插件孔开窗	$\geq 0.1\text{mm}(4\text{mil})$	
	SMD开窗	$\geq 0.1\text{mm}(4\text{mil})$	
字符	字宽	$\geq 0.153\text{mm}(6\text{mil})$	宽高比=1:5
	字高	$\geq 0.811(32\text{mil})$	
非金属化槽孔	槽孔间距	$\geq 1.6\text{mm}$	不满足则大大加大铣边的难度
拼板	有间隙拼板的间隙	$\leq 1.6\text{mm}$	板厚为1.6mm时
	无间隙拼板的间隙	$\leq 0.5\text{mm}$	要求: 工艺边 $\geq 5\text{mm}$

图 2-17 嘉立创 PCB 工艺参数

### 2.7.1 Electrical 约束设置

### 2.7.2 Physical 约束设置

用于设置线宽，过孔等参数

❖ 设置通用最小线宽与过孔：选择 Physical Constraint Set/All Layers，将所有的 Min 值小于 6mil 的都改为 6mil。Vias 中双击选择布线时使用的过孔，如图。

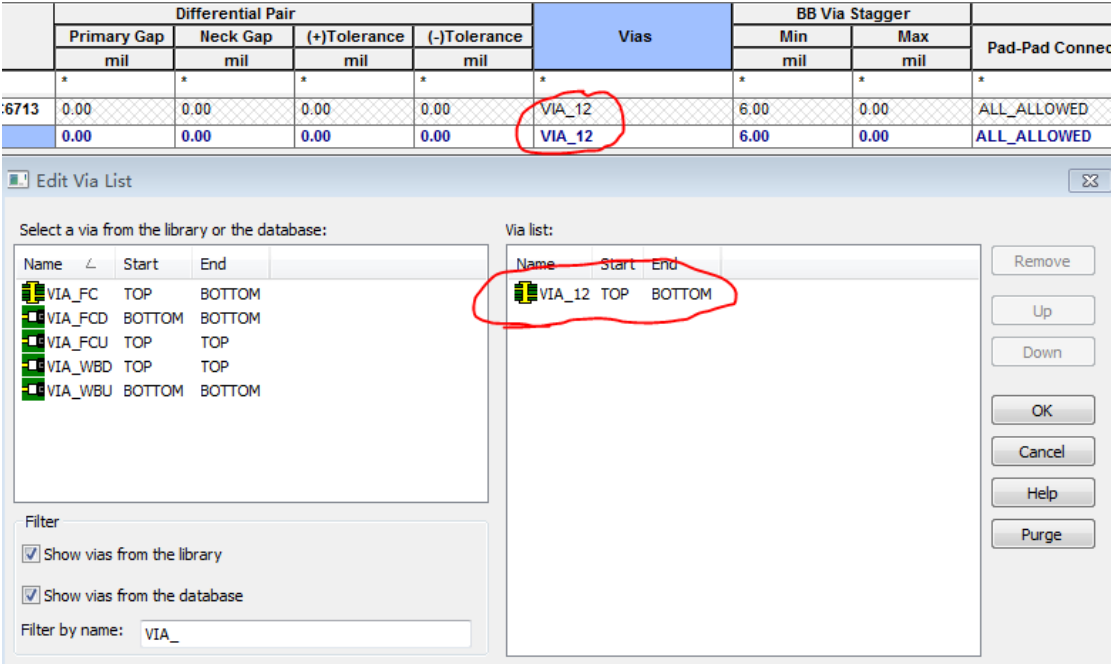


图 2- 18 过孔设置

❖ 设置特殊网络最小线宽：电源、地以及大功率网络线最小线宽应该加粗，选择 Net/All Layers，设置特殊网络最小线宽，如图。设置原则是地线>电源线>信号线。电源与地线都至少 30 mil。

Objects	Referenced Physical CSet	Line Width	
		Min	Max
		mil	mil
*	*	*	*
DSP_NMI	DEFAULT	6.00	0.00
DSP_RESET	DEFAULT	6.00	0.00
DVDD1V2	DEFAULT	30.00	0.00
DVDD3V3	DEFAULT	30.00	0.00
DVDD5V0	DEFAULT	30.00	0.00
EA2	DEFAULT	6.00	0.00

图 2- 19 加粗电源网络

2.7.3Spacing 约束设置

- 用于设置线与线、线与孔、孔与孔、焊盘到孔等之间的间距。
- ❖ 设置通用最小距离：选择 Spacing Constraint Set/All Layers，按工艺参数设置。
  - ❖ 设置特殊网络间距：选择 Spacing Constraint Set/Nets

## 2.7.4 区域约束设置

从密集管脚的芯片引出的电源线或地线因为最小线太宽而常常出现 DRC，在这种情况下，可以通过设置区域约束，使布线时在芯片周围电源线和地线最小线宽比其它地方更窄，方法是：

❖ 新建区域约束规则：选中 Physical/Region，执行菜单 Objects→Create→Region，输入 Region 名称（这里设为 MCU），在 Physical 和 Spacing 中进行线宽、线距设置

❖ 绘制约束区：选择 Shape 中任一想要使用图形，设置“Option”选项 Active Class 为 Constraint Region，Subclass 为约束区域所在层（Bottom/Top），Assign to Region 设置区域约束规则（这里为 MCU），如图，绘制封闭约束区域

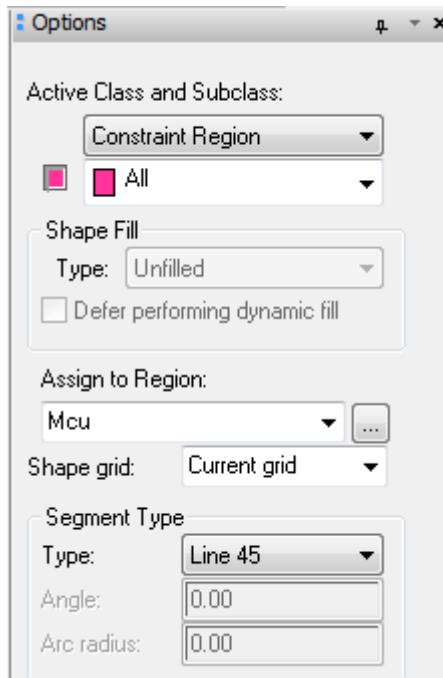


图 2-20 绘制约束区域的 Options 设置

## 2.8 导入网表

执行 File → Import → Logic...如图

❖ 网表中无自定义属性时使用 Cadence 选项卡（一般使用此项），否则使用 Other 选项卡



❖ 设置 Cadence 选项卡中 Import logic type 为 Design entry CIS(Capture), 在 Import directory 中选择网表所在路径, 点击 Import Cadence 导入网表

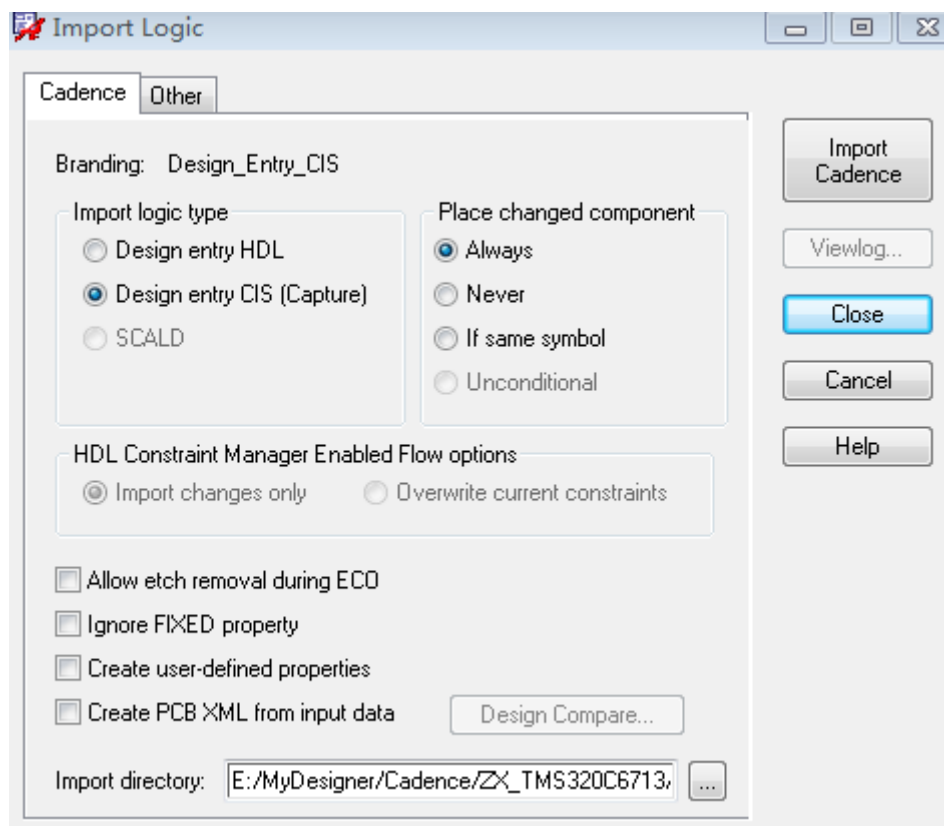


图 2- 21 导入网表

❖ 点击 Viewlog 或执行 File→Viewlog 查看导入网表日志, 确认无错误

## 3 布局布线

### 3.1 布局

#### 3.1.1 按 Room 布局

在布局大型 PCB 板的时候，需要对不同子模块的元件分区域布局，这就需要使用到 Room 布局方式，按 Room 布局需要完成两件事：设置元件的 Room 属性和绘制 PCB 板的 Room 区域，

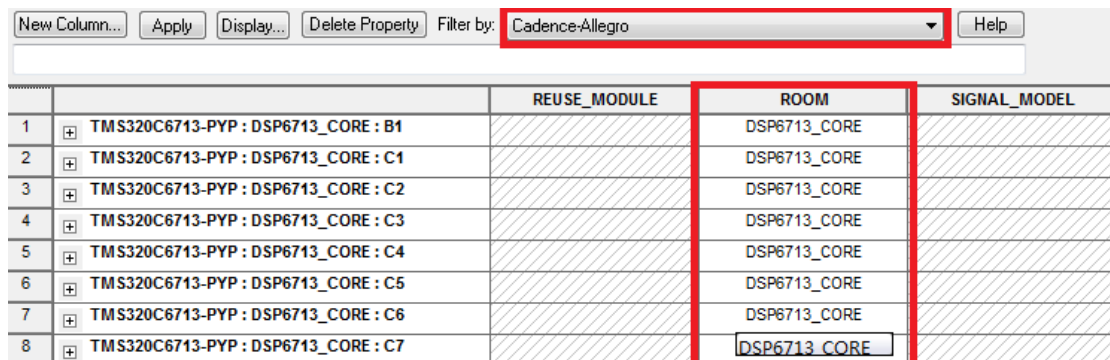
❖ 给元件添加 Room 属性（方法 1），执行 Edit→Properties，

（1）在 Find 区域中，Find by name 选择 Comp (or Pin)，然后点击 More，选择需要设定属性的元件；

（2）确认后点击 Apply 弹出属性编辑对话框；

（3）在左侧属性栏中选择 Room 属性，编辑后点 Apply，弹出元件 Room 属性添加成功对话框

❖ 给元件添加 Room 属性（方法 2，推荐），在 Capture CIS 中设置 Room 属性后重新生成并导入网表



		REUSE_MODULE	ROOM	SIGNAL_MODEL
1	+	TMS320C6713-PYP : DSP6713_CORE : B1	DSP6713_CORE	
2	+	TMS320C6713-PYP : DSP6713_CORE : C1	DSP6713_CORE	
3	+	TMS320C6713-PYP : DSP6713_CORE : C2	DSP6713_CORE	
4	+	TMS320C6713-PYP : DSP6713_CORE : C3	DSP6713_CORE	
5	+	TMS320C6713-PYP : DSP6713_CORE : C4	DSP6713_CORE	
6	+	TMS320C6713-PYP : DSP6713_CORE : C5	DSP6713_CORE	
7	+	TMS320C6713-PYP : DSP6713_CORE : C6	DSP6713_CORE	
8	+	TMS320C6713-PYP : DSP6713_CORE : C7	DSP6713_CORE	

图 3- 1 在 Capture CIS 中设置 ROOM 属性

❖ 在 PCB 上添加 Room 区域，执行 Setup→Outline→Room Outline，在 Room Name 中填写 Room 名称， ROOM\_TYPE Properties 中可以设置 Room 的属性，如下图，

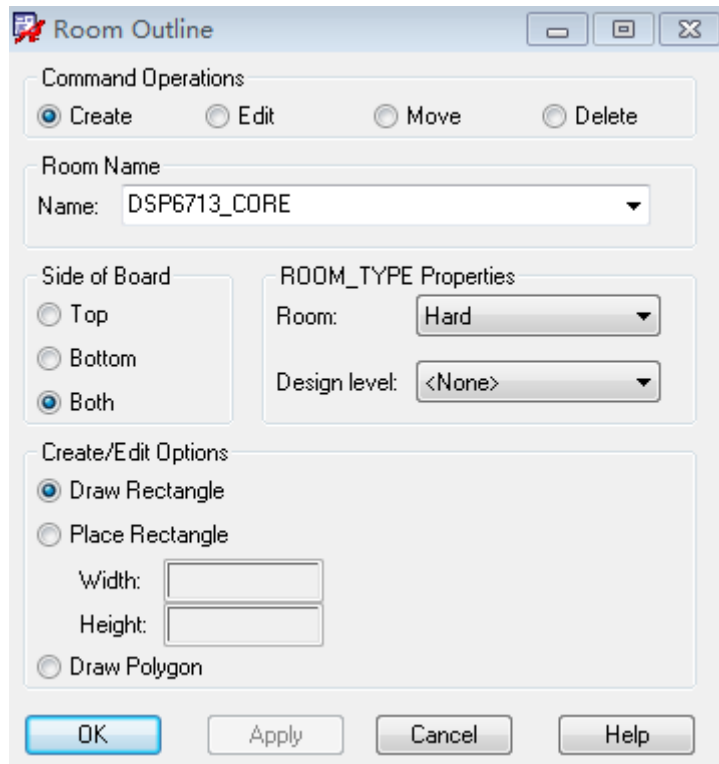


图 3-2 在 PCB 中添加 ROOM 区域

Hard: Room 属性的元件只能摆在 Room 区内;

Soft: 可以摆在外面;

inclusive: 非 Room 属性元件也可摆在 Room 区;

Straddle: 是否可以跨边界

保持添加 Room outline 对话框不关闭, 在放置元件区域内绘制 Room, Room 名称必须与元件设置的 Room 名称一致。

### 3.1.2 放置元器件

❖ 手动放置, 执行 Place → manually..., 在 Advanced Setting 选项卡中选上 Library, 从 Placement List 中选择 Components by refdes, 选择元器件, 输入坐标放置

❖ 自动放置所有元件: Place → Quickplace..., 选择 Place all components, 点击 place 完成自动放置。检查 Unplaced symbol count 显示状态, 确认未放置的元件为 0

❖ 按 Room 放置,按 3.1.1 节设置好 Room 属性,执行 Place → Quickplace..., 选择 Place by room, 选择 Room。点击 place 完成自动放置。检查 Unplaced symbol count 显示状态, 确认未放置的元件为 0, 如图

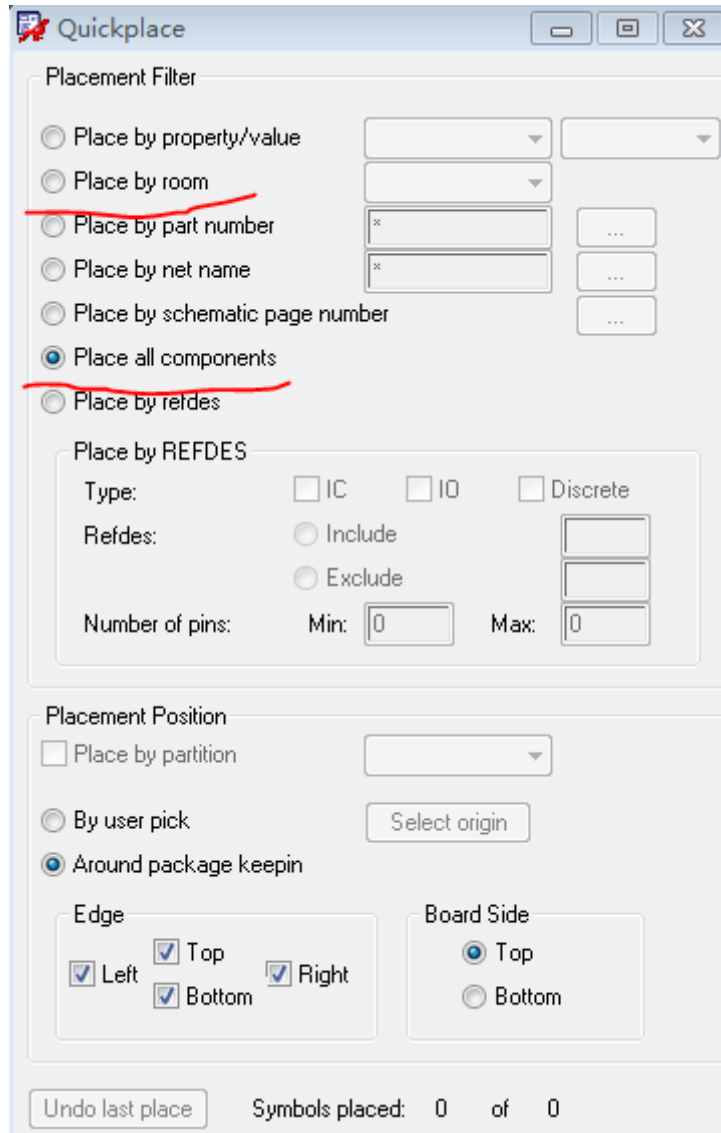


图 3- 3 自动放置元件

❖ 按原理图交互放置。打开 Capture CIS, 运行 Options->Prefrences...命令, 在 Miscellaneous 标签中设置如下图。这时你就可以像选中原理图中的元件而让其在 Allegro 总高亮了。

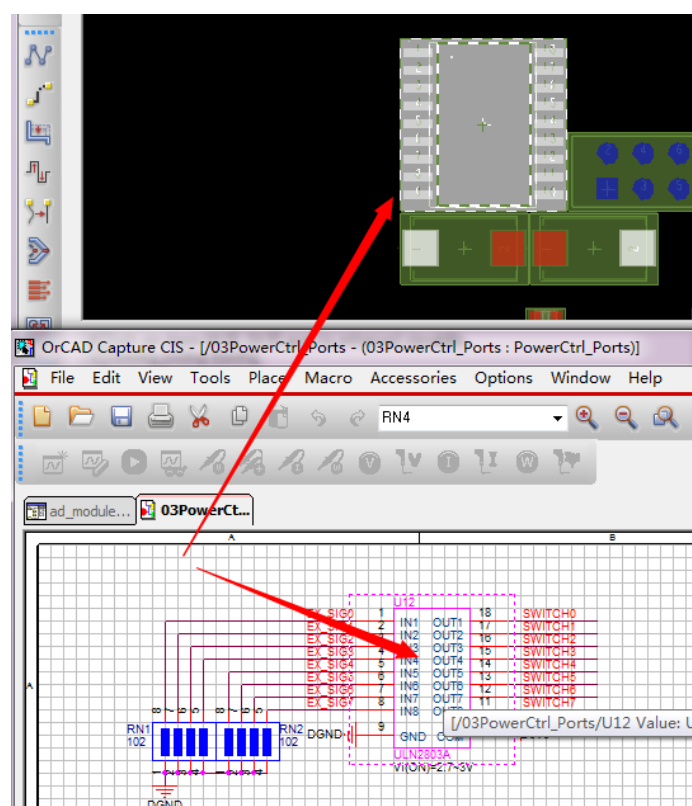
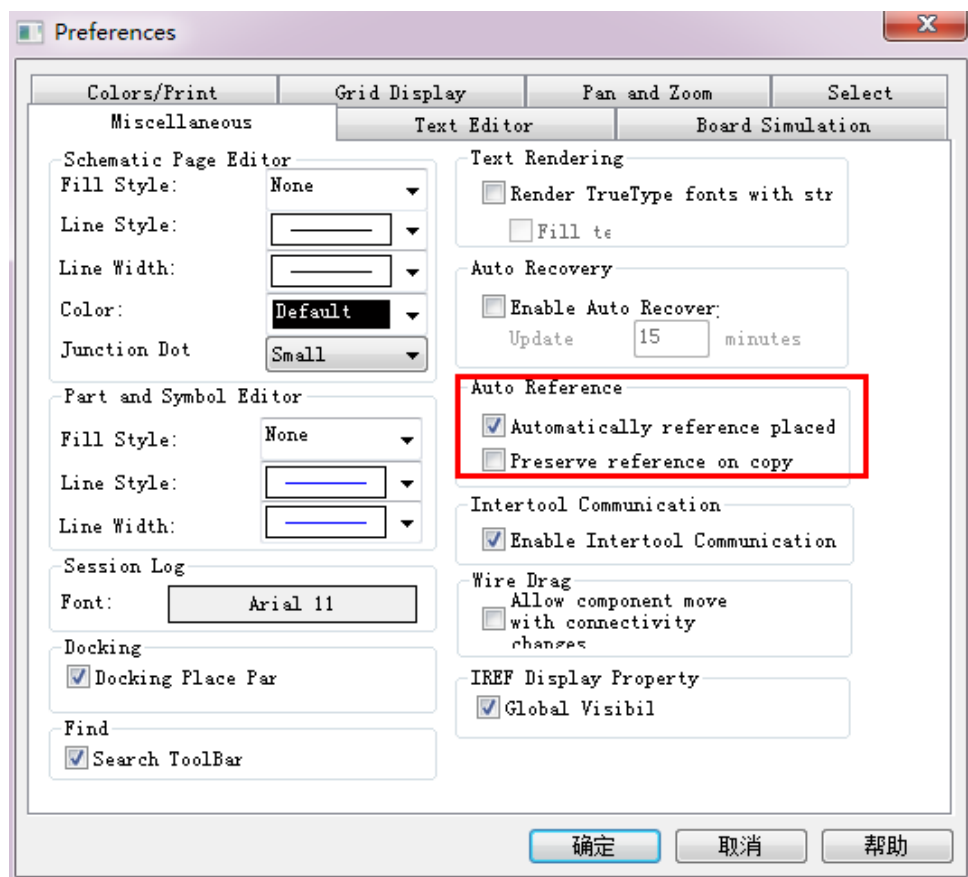


图 3-4 原理图交互设置（上）及交互摆放（下）

## 3.2 布线

布线过程包括过孔添加、添加扇出、布线以及优化布线等。

❖ 添加过孔：Options 中设定 Act 层（开始层）和 Alt 层（结束层），双击添加过孔，Options 中 Act 改变当前 PCB 面；

❖ BGA 封装元件一般都需要使用添加扇出。添加扇出的两种方法：

方法 1：执行[Route] → [Create Fanout]，设置 Options 参数后点击元件，如图

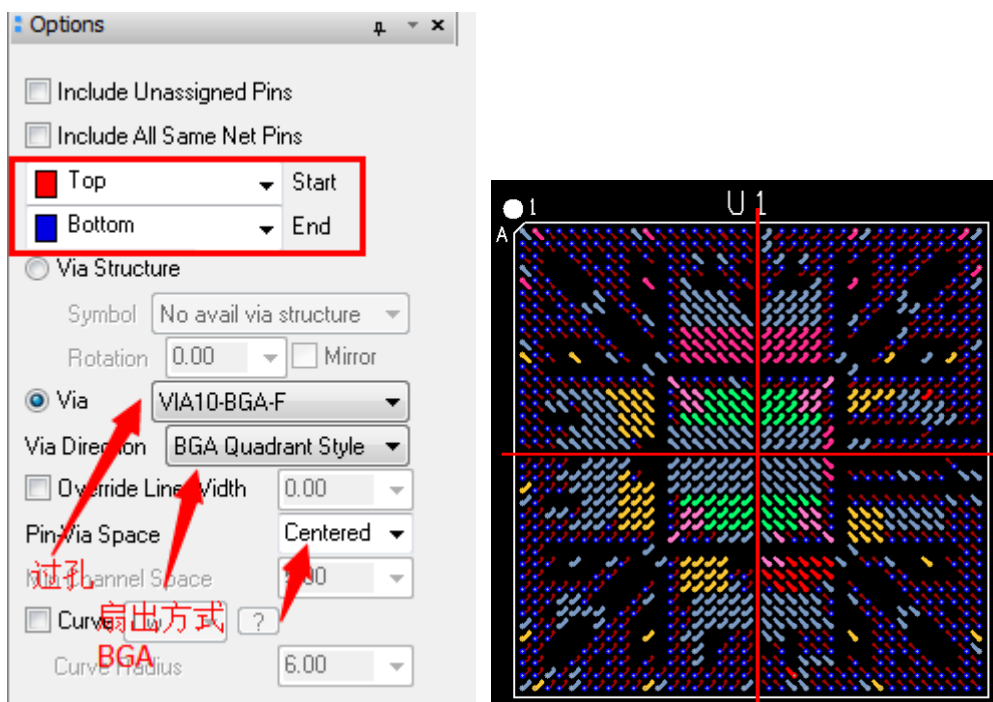


图 3-5 扇出设置（左）及 BGA 扇出的十字通道（右）

方法 2：[Route] → [PCB Router] → [Fanout By Pick]，点击元件，添加扇出后效果如图。在 PCB 图中单击鼠标右键，选择 setup 可以设置 fanout 参数。

❖ 手动布线：使用 F3 快捷键、左侧快捷图标或[Route] → [Connect]，布线时可以通过 Options 的 Act 选择布线层，Line width 设置线宽

❖ 自动布线：自动布线有 3 种策略，如图，在 Routing Passes、Smart Router 选项卡中分别可以对两种布线方式的参数进行设置

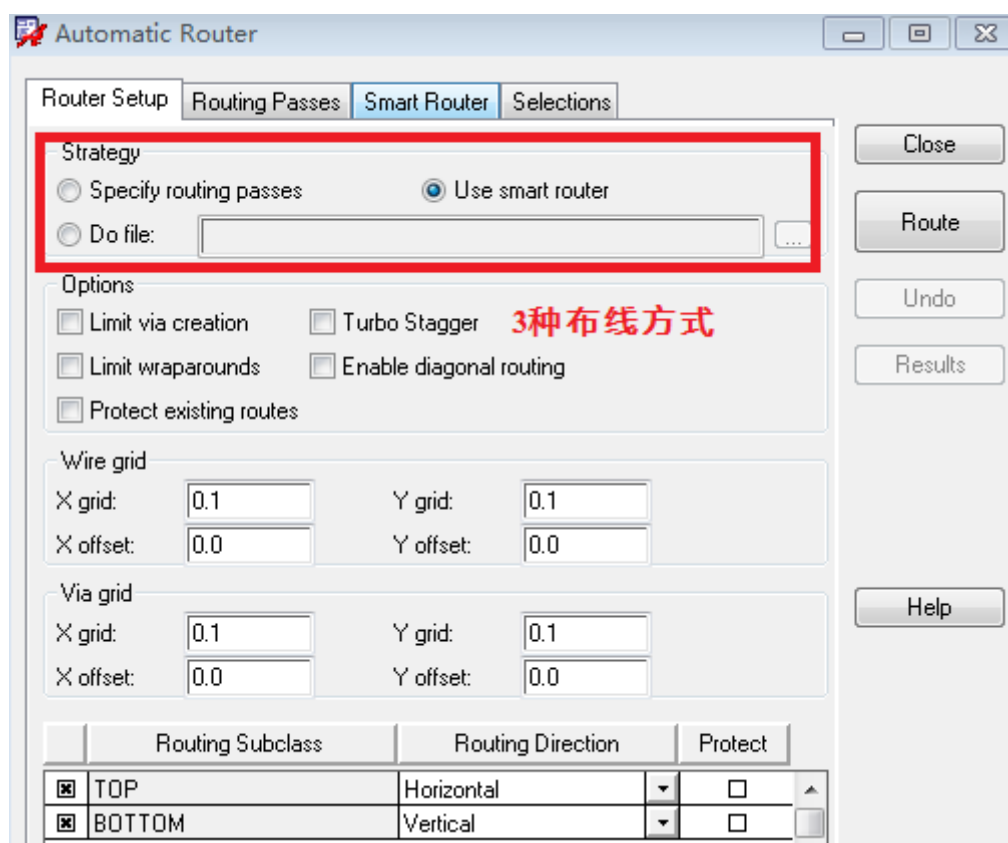


图 3- 6 三种自动布线方式

## 4PCB 后处理

### 4.1 添加覆铜及散热过孔

#### 4.1.1 添加覆铜

执行 Shape→Polygon，双层板将两面铜皮都分配 GND 网络，

❖ 添加顶层敷铜：Class:Subclass=Etch:Top，Option 中勾选上 Create Dinamic Shape，选择 Assign net name 为 Gnd 网络，画出封闭铺铜区域；

❖ 添加底层覆铜：Class:Subclass=Etch:Bottom，设置同上，画出封闭铺铜区域；

❖ 删除顶层和底层死铜：Shape→Delete Islands，显示死铜数量，点击 Delete all on layer 删除死铜；将 Process layer 切换到 Bottom 层，删除死铜；

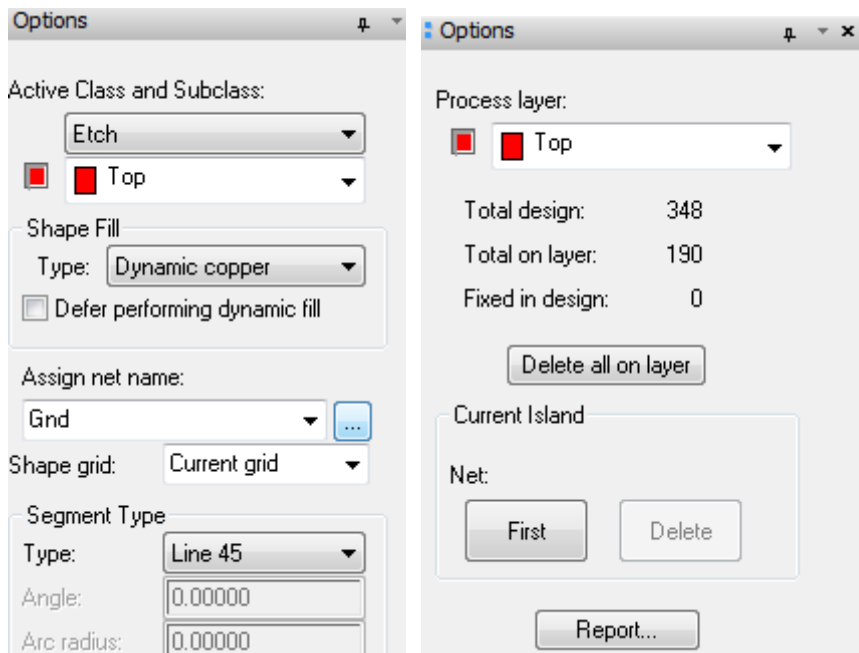


图 4-1 添加覆铜（左）及删除死铜（右）

#### 4.1.2 添加散热过孔

❖ 执行菜单 Place→VIA Arrays，有 2 种自动添加过孔阵列的方式可供选择（Unplace 选项用于删除已添加的过孔阵列），这里以 Matrix 方式为例



❖ 如下图,Options 中设置过孔连接的网络为 agnd,选择使用 VIA\_12 过孔,设置好过孔间距后,最后选择 Operation mode 为 Board mode 则整个 PCB 板中空闲的地方都自动添加过孔了(注意:间距不能设得太小)

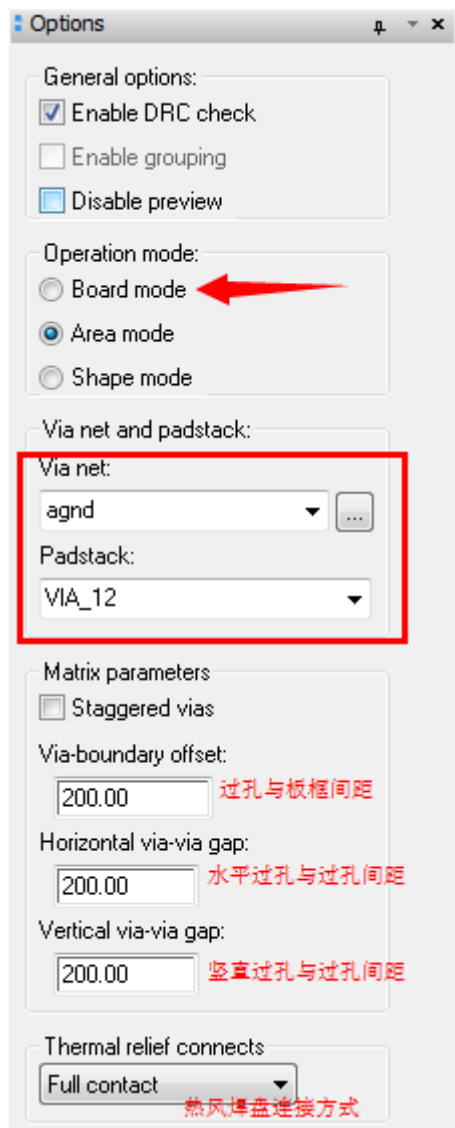


图 4-2 为 PCB 自动添加散热过孔

## 4.2 添加测试点

设置层面可视性: 执行 Display→Color/Visibility, 勾选 Manufacturing 中的 Probe\_Top 与 Probe\_Bottom。

### 4.2.1 手动添加测试点

❖ 执行 Manufacture→Testprep→Manual，在 options 中选择 Add；单击 Parameters，设置 Pin type 为 Via，即只能在过孔上添加测试点，如图

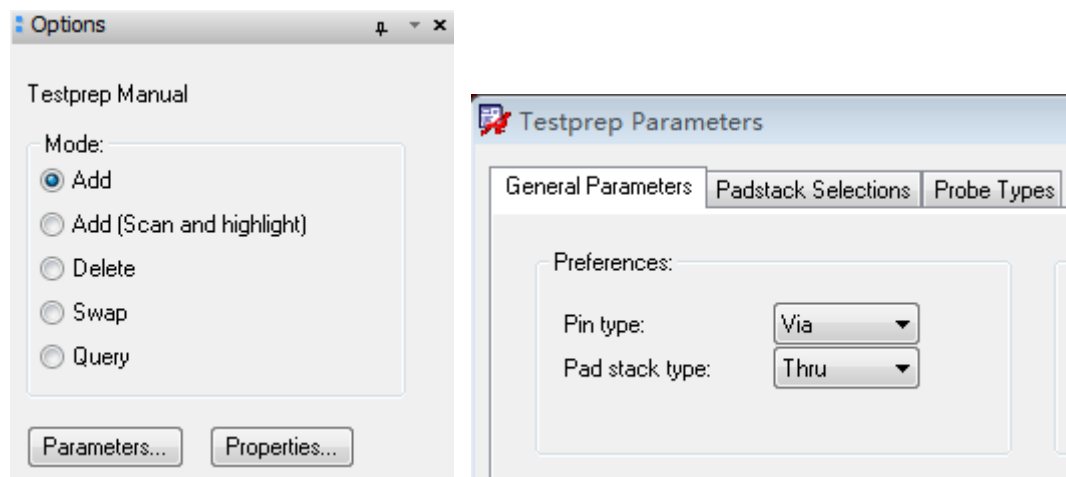


图 4-3 手动添加测试点

❖ 单击过孔添加测试点，效果如图

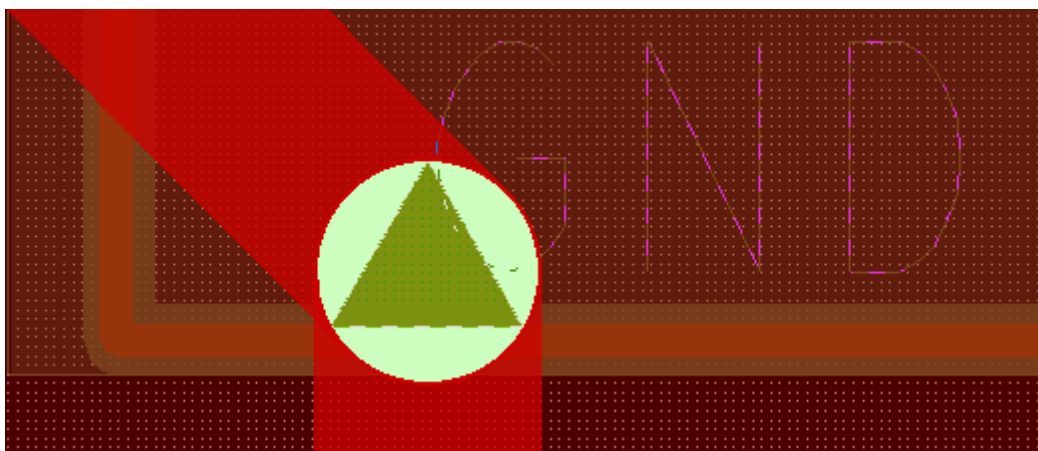


图 4-4 测试点上有个三角形

❖ 删除测试点：同上，Options 中选择 Delete，单击已添加测试点；删除所有测试点选中整个板框即可

### 4.2.2 自动添加测试点

### 4.3 添加丝印

❖ 设置层面可视性：使用 Display→Color/Visibility 关闭所有层，打开 Manufacturing/Autosilk\_Top 层，打开 Stack-Up/Pin、Package Geometry/Place\_Bound\_Top 和 Board Geometry/ Outline 层；

❖ 自动添加丝印：执行 Manufacture→Silkscreen，如图设置，点击 Silkscreen 开始自动添加丝印；完成后使用 File→Viewlog 查看日志信息；调整丝印位置；

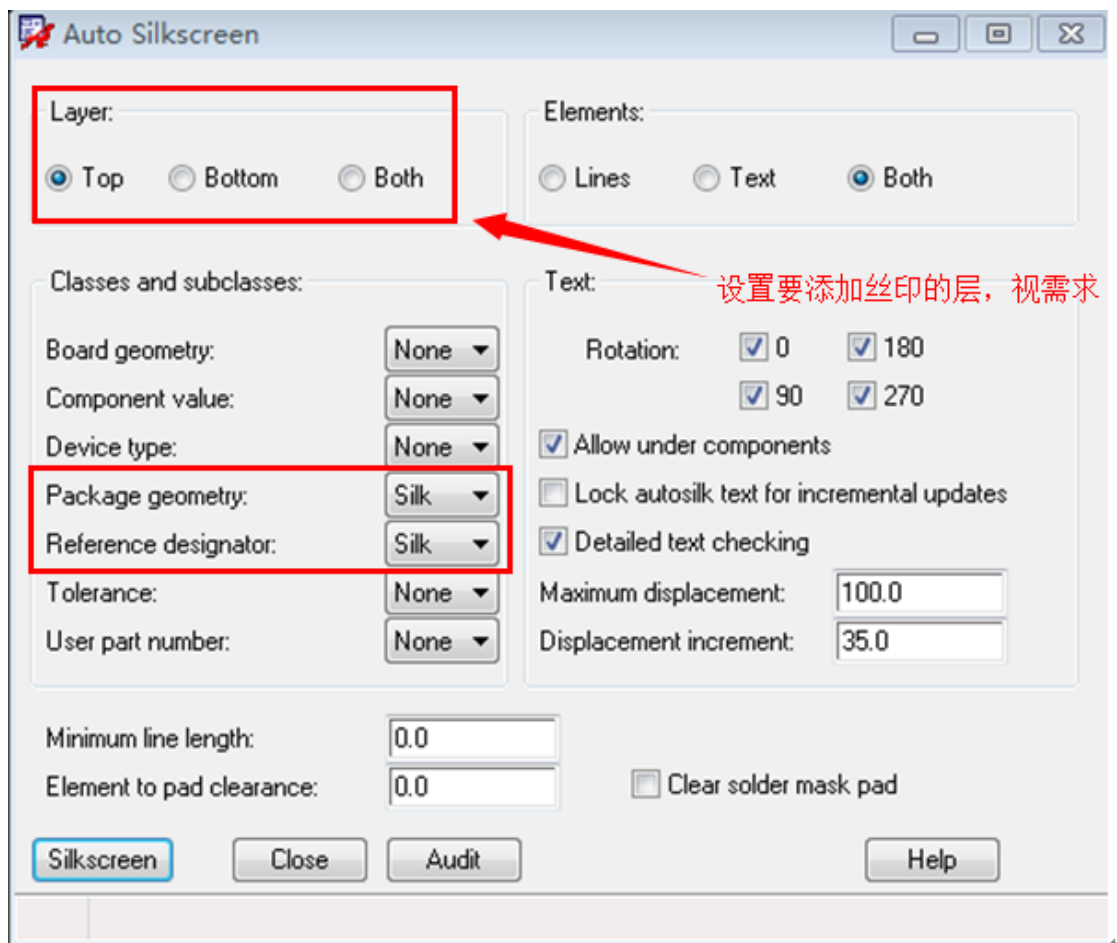


图 4-5 自动添加丝印

❖ 手动添加丝印信息：执行 Add→Text，在 Option 中选择 Class 为 Manufacturing，Subclass 为 AutoSilk\_Top，设置字号及线宽（字宽不小于 6mil，字高不小于 32mil）后输入文字信息；

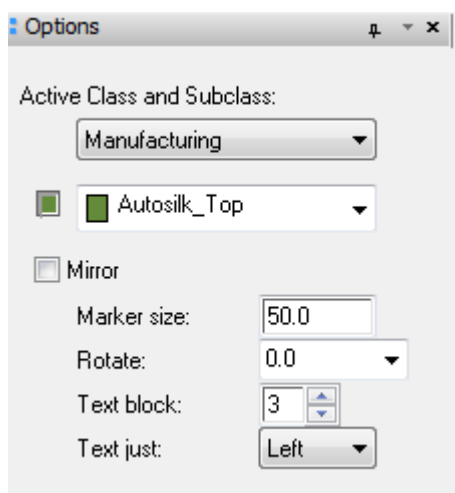


图 4-6 手动添加丝印 Options 设置

❖ 修改丝印字号：执行 Edit → Change，Find 中只选 Text，Class 为 Manufacturing，Subclass 设置为空，设置字号线宽，选中整个 PCB 之后右键 Done 即可；

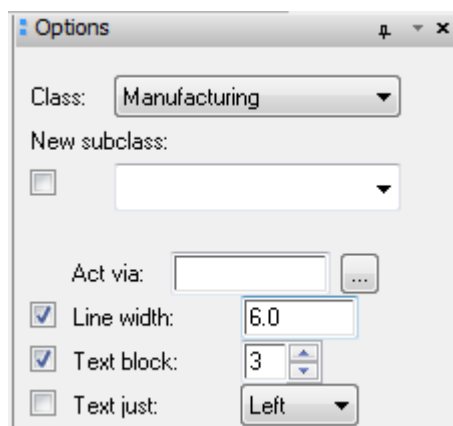


图 4-7 修改丝印字号

## 4.4 优化布线与添加泪滴

### 4.4.1 优化布线

❖ 固定关键网络：使用 Fixed 命令

❖ 使用 Gloss 优化布线：执行命令 route→gloss→parameters...，选择 Via Eliminate、Line smoothing、Center lines between pads 与 Improve line entry into pads 共 4 个选项，如图 4-8，按默认设置，点击 Gloss 执行布线优化。

❖ 自定义平滑布线：选择 Route→Custom Smooth；在 Find 中仅选择 Nets，Options 中设置自定义平滑拐角为 45，限制线段输入焊盘类型为 Rectangular，最小焊盘入口长度为 25，最大迭代次数为 10；选中整个板块，右键 Done 开始平滑布线。

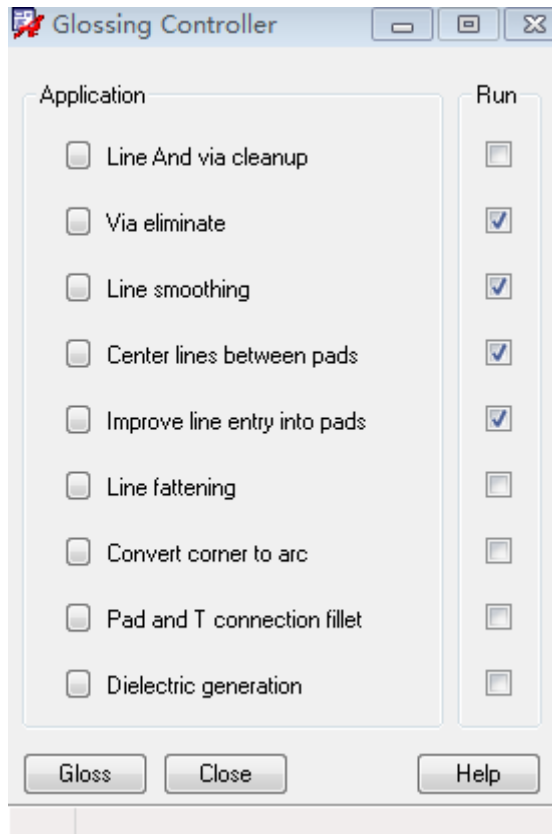


图 4- 8 Gloss 优化布线

#### 4.4.2 添加泪滴

添加泪滴后 PCB 板不可修改，因此如果要添加，最好在其它对 PCB 的处理都完成后添加。

❖ 方法 1：执行 Route → Gloss → Add Fillet，选中要添加泪滴的网络，点击即可添加；

❖ 方法 2：先打开所有的走线层，执行命令 route→gloss→parameters..，出现对话框，点选 pad and T connection fillet，再点其左边的方格，点选 circular pads, pins, vias, T connections, /OK/GLOSS 即可；

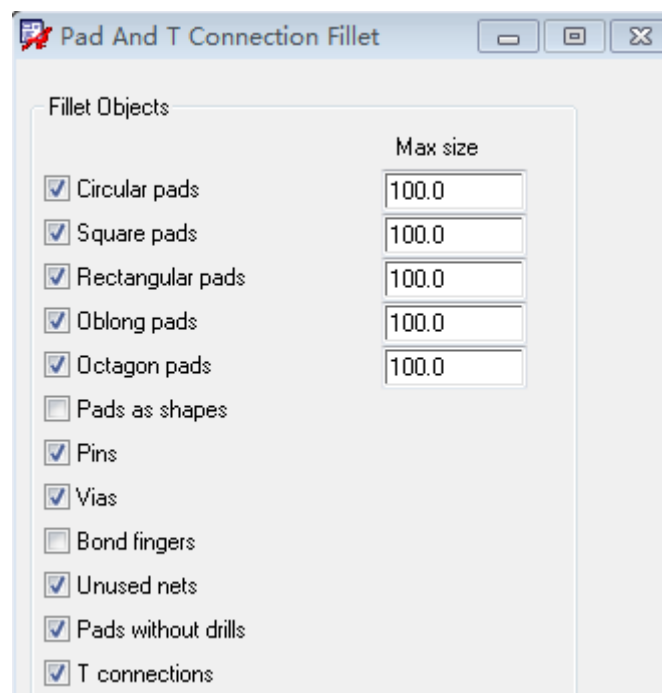


图 4-9 使用 Gloss 添加泪滴

❖ 删除泪滴：添加泪滴后板子不可修改，需要修改要先删除泪滴，route → gloss → delete fillet，然后用选中整个电路板，然后在空白处点一下鼠标，最后点右键 done；

## 4.5 PCB 检查

### 4.5.1 查看 PCB 状态

执行 Display→Status...，如图，检查是否有未放置的元件、未布的线以及是否存在 DRC。Dynamic fill 选择 Smooth，勾选 On Line DRC。

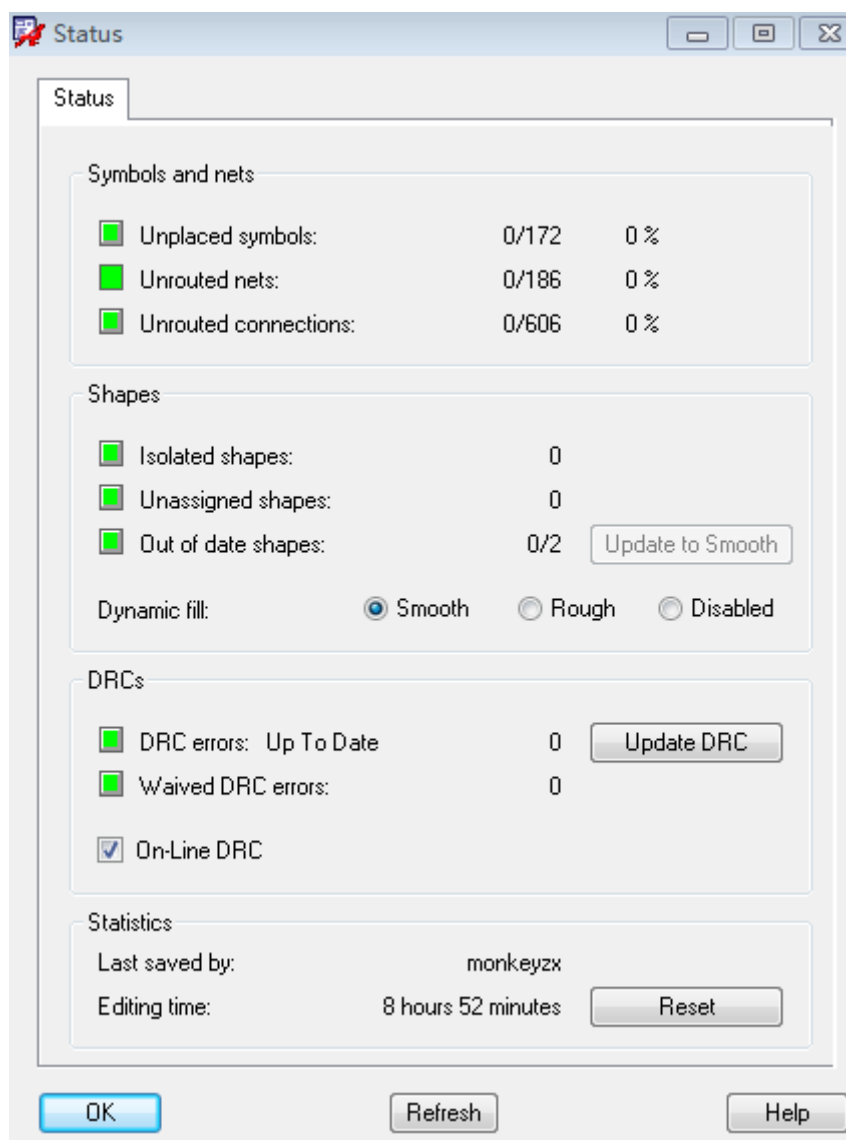


图 4-10 查看 PCB 状态

### 4.5.2 查看报告

执行 Tools→Quick Reports 或 Tools→Reports，至少检查如下 4 项：

- ❖ Unconnected Pins Report
- ❖ Unplaced Components Report
- ❖ Shape Dynamic State
- ❖ Shape Islands
- ❖ Design Rules Check Report

❖ Dangling Lines Report

保证以上无错误发生。

### 4.5.3 数据库检查

❖ 执行 Tools→Database Check, 勾选所有选项后点击 Check 执行检查

❖ 点击 Viewlog...查看日志, 确保无错误发生

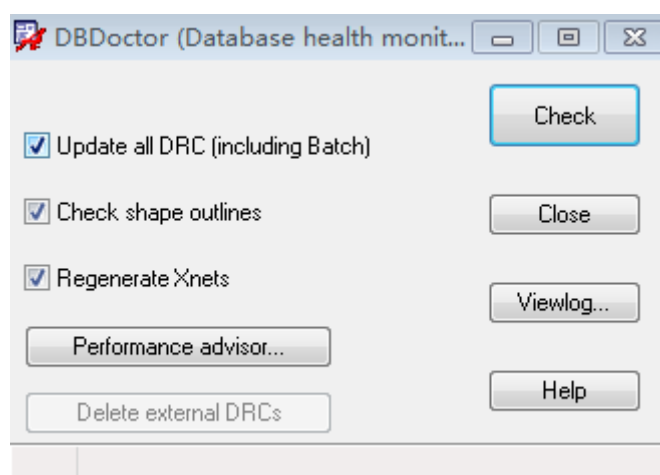


图 4- 11 数据库检查

### 4.6 生成钻孔文件

❖ 钻孔参数文件生成: 执行 Manufacture→NC → NC Parameters, 按默认设置, 点 Close 后生成 nc\_param.txt



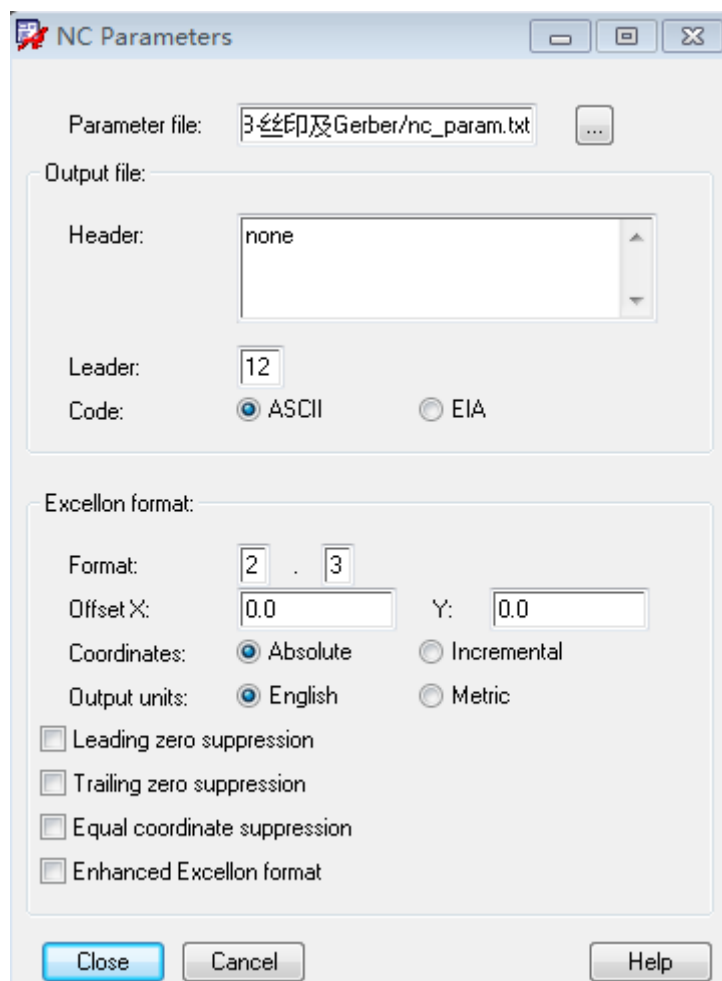


图 4-12 生成钻孔参数文件

❖ 钻孔文件生成：执行 Manufacture → NC → NC Drill，如果有盲孔或埋孔，则 Drilling 中选择 By Layer，否则默认，点 Drill 生成\*.drl 文件，点击 Viewlog 查看日志信息

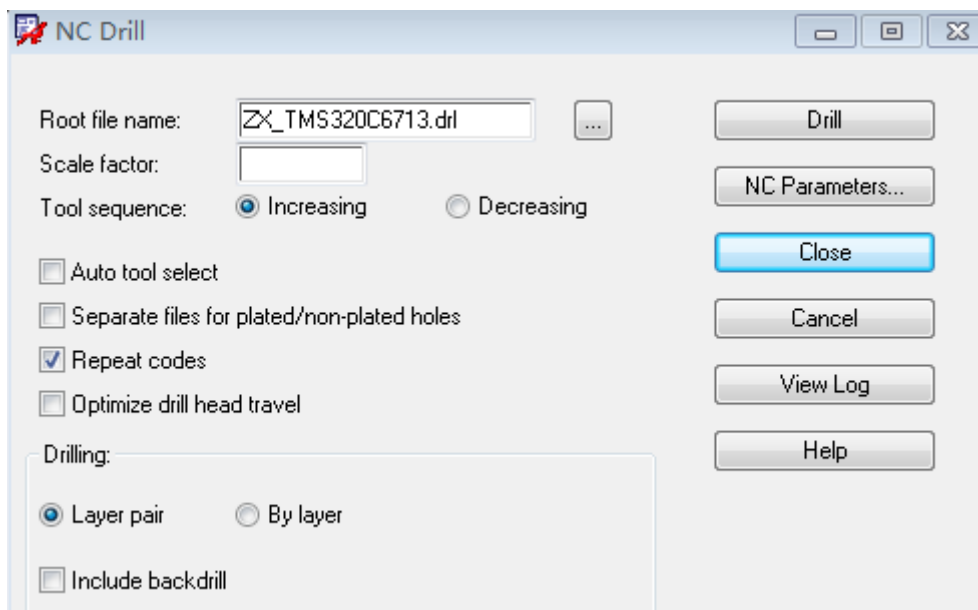


图 4-13 生成规则孔钻孔文件

❖ 不规则孔的钻孔文件生成：执行 Manufacture → NC → NC Route，默认设置，点击 Route 生成\*.rou 文件，点击 Viewlog 查看日志信息

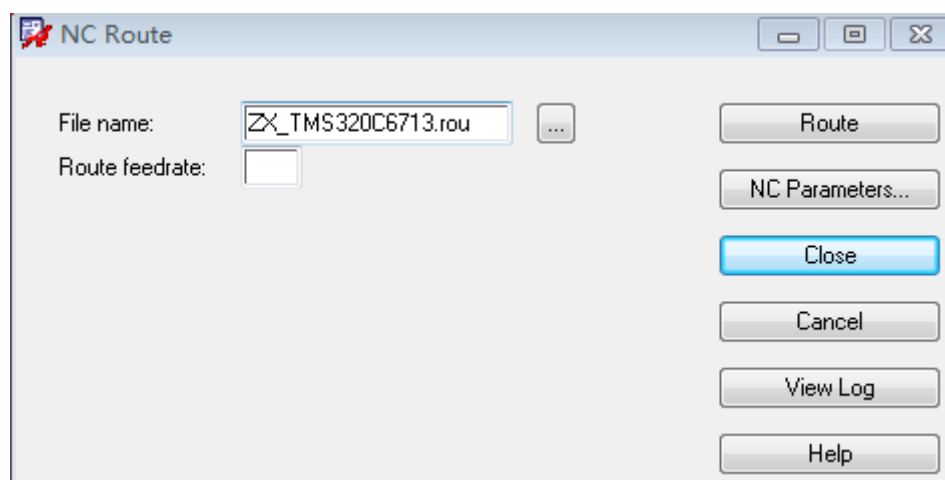


图 4-14 生成不规则孔钻孔文件

❖ 钻孔表及钻孔图的生成：执行 Manufacture → NC → Drill Legend，如果有盲孔或埋孔，则 Drilling 中选择 By Layer，否则默认（单位为 mil），点击 OK 生成\*.dlt 文件

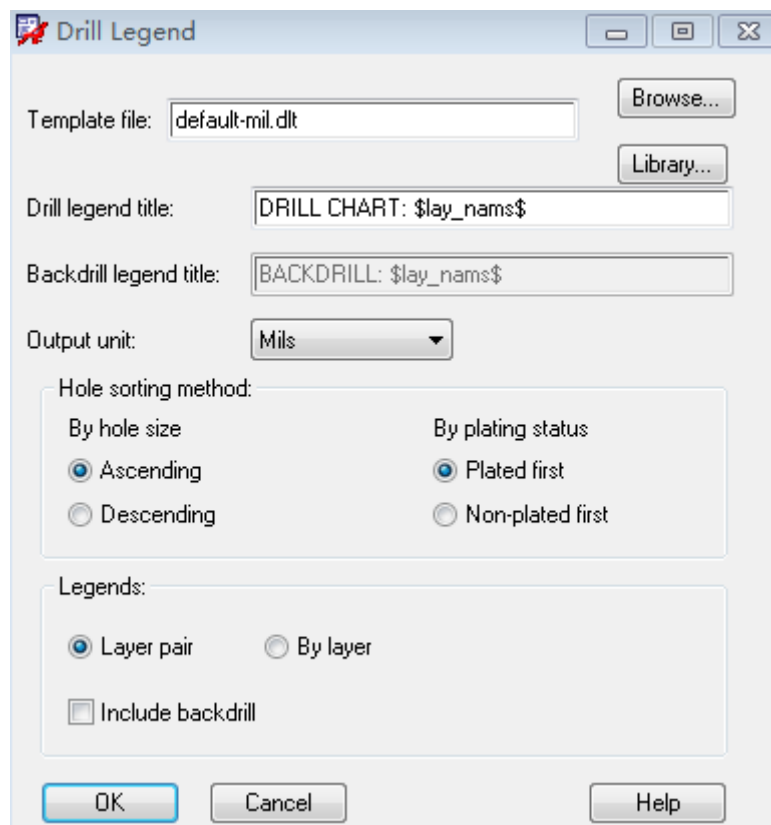


图 4-15 生成钻孔图表

## 4.7 生成 Gerber 文件

### 4.7.1 设置 Gerber 文件参数

执行 Manufacture → Artwork,

❖ 设置 General Parameters 如下图:

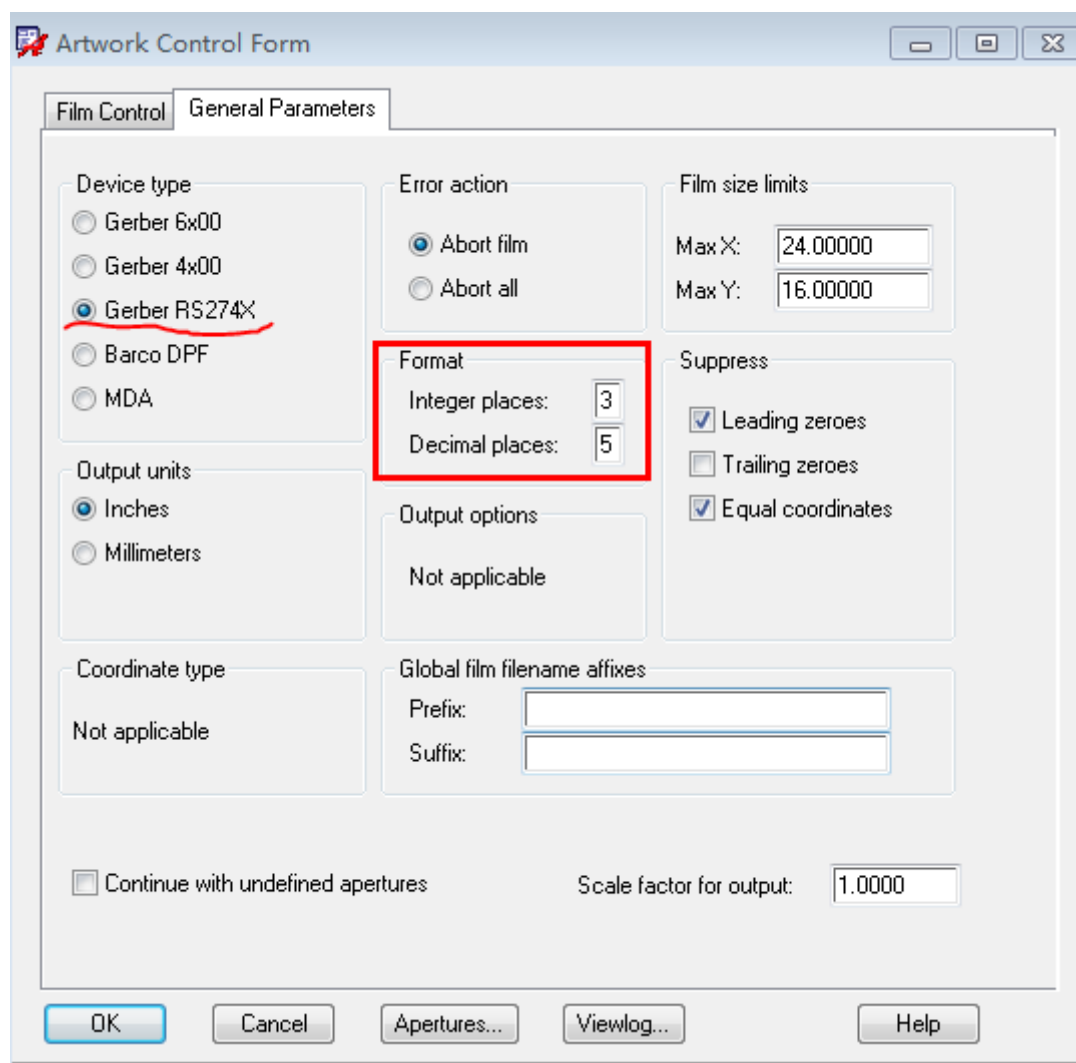


图 4-16 Gerber 文件参数设置

Device type 设置为 Gerber RS274X，Output units 设为 Inches，Format 设置 Integer places 为 3，Decimal places 为 5。如果生成 Gerber 时有关于 Film 太小的警告，将 Film size limits 调整为(240, 160)即可。

❖ 切换到 Film Control 选项卡，设置要输出的 Gerber 文件。两层板的 Gerber 文件要设置 10 层，各层的组成大致如下：

- [Bottom]
- ETCH/Bottom
- PIN/Bottom
- VIA Class/Bottom
- [Top]

- ETCH/Top
- PIN/Top
- VIA Class/Top
- [Pastemask\_Bottom]
  - Package Geometry/Pastemask\_Bottom
  - Stack-Up/Pin/Pastemask\_Bottom
  - Stack-Up/Via/Pastemask\_Bottom
- [Pastemask\_Top]
  - Package Geometry/Pastemask\_Top
  - Stack-Up/Pin/Pastemask\_Top
  - Stack-Up/Via/Pastemask\_Top
- [Soldermask\_Bottom]
  - Board Geometry/Soldermask\_Bottom
  - Package Geometry/Soldermask\_Bottom
  - Stack-Up/Pin/Soldermask\_Bottom
- [Soldermask\_Top]
  - Board Geometry/Soldermask\_Top
  - Package Geometry/Soldermask\_Top
  - Stack-Up/Pin/Soldermask\_Top
- [Silkscreen\_Bottom]
  - Board Geometry/Silkscreen\_Bottom
  - Package Geometry/Silkscreen\_Bottom
  - Manufacture/Autosilk\_Bottom
- [Silkscreen\_Top]
  - Board Geometry/Silkscreen\_Top

- Package Geometry/Silkscreen\_Top
- Manufacture/Autosilk\_Top
- [Outline]
- Board Geometry/Outline
- [Drill]
- Board Geometry/Outline
- Manufacture/Nclegend-1-2

新建各层的方法（以 Outline 为例）为：

（1）选中已有的 Film（Top 或者 Bottom），右键 Add，输入 Film 名 Outline，如下图

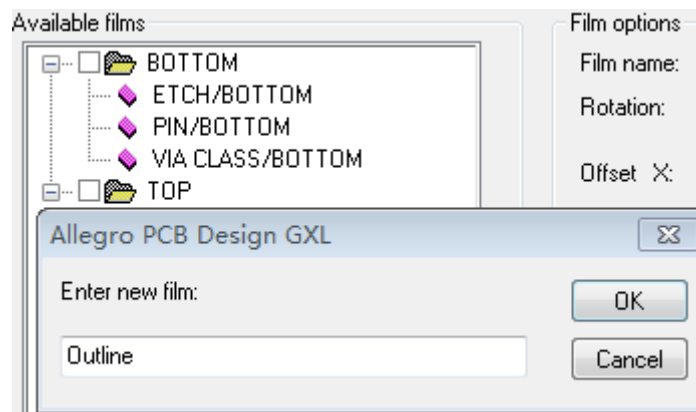


图 4-17 新增 Gerber 文件

（2）使用 Display→Color/Visibility，先关闭所有层，到 Board Geometry 下选中 Outline 层，点击 Apply 只显示板框，显示结果如图

（3）选中（1）中新建的 Outline，右键 Match Display，使 Outline 的 Gerber 文件只包括显示的层，效果如图，Outline 的 Gerber 文件下包括 Board Geometry/Outline

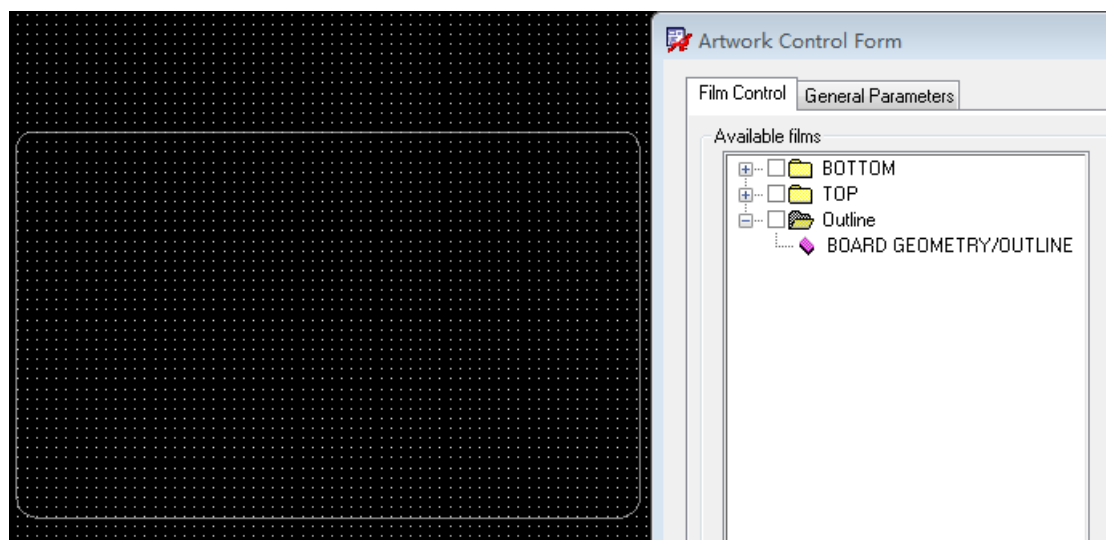


图 4-18 设置 Gerber 文件包含的层

❖ 设置 Gerber 层参数。逐个选中每个 Gerber，设置未定义线宽为 6mil，两层板输出都为正片（多层板如果在[层叠结构](#)中若电源地设置了负片则对应层设置输出负片），选中左边的 Check database before artwork 选项

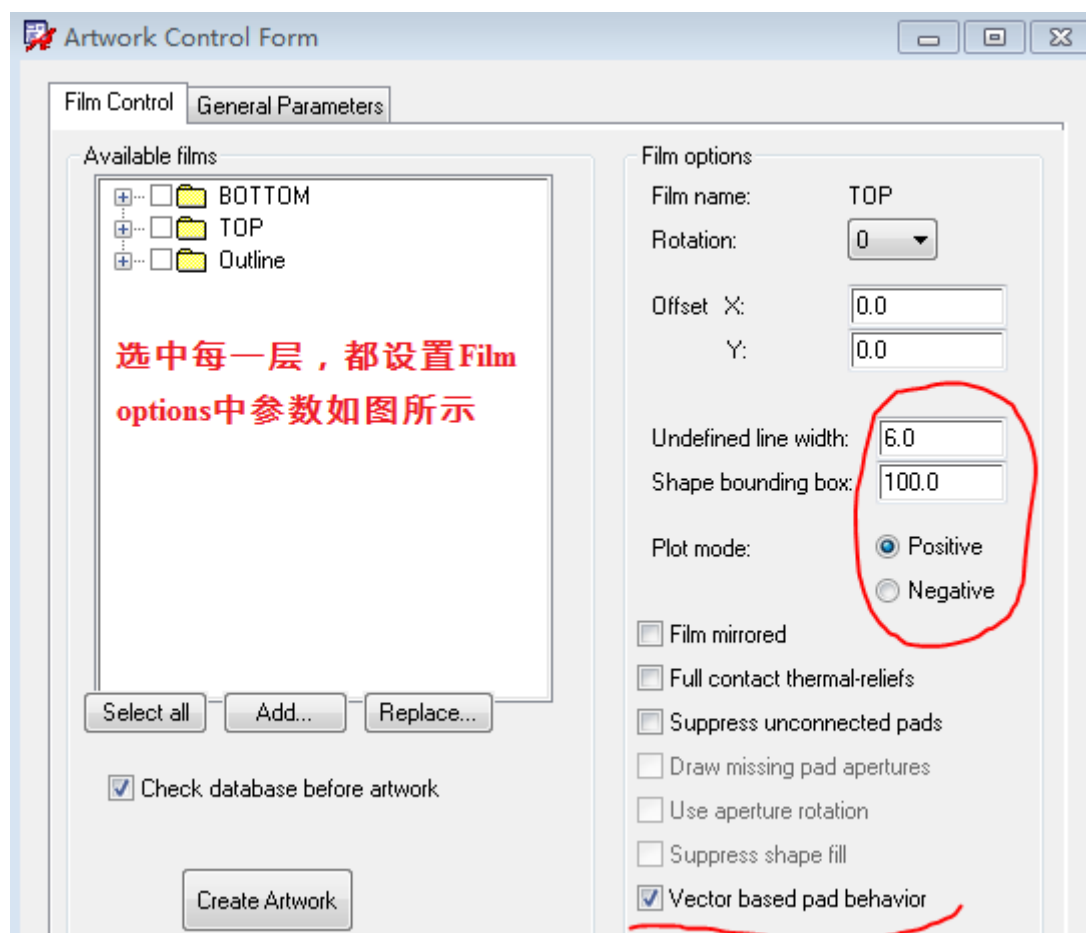


图 4-19 设置 Gerber 层的参数

### 4.7.2 生成 Gerber 文件

❖ 执行 Manufacture → Artwork，仔细检查上述的层叠结构设置是否正确，Gerber 文件的层叠结构非常重要，不能有误。

❖ Select all 选中所有层，确认选中 Check database before artwork

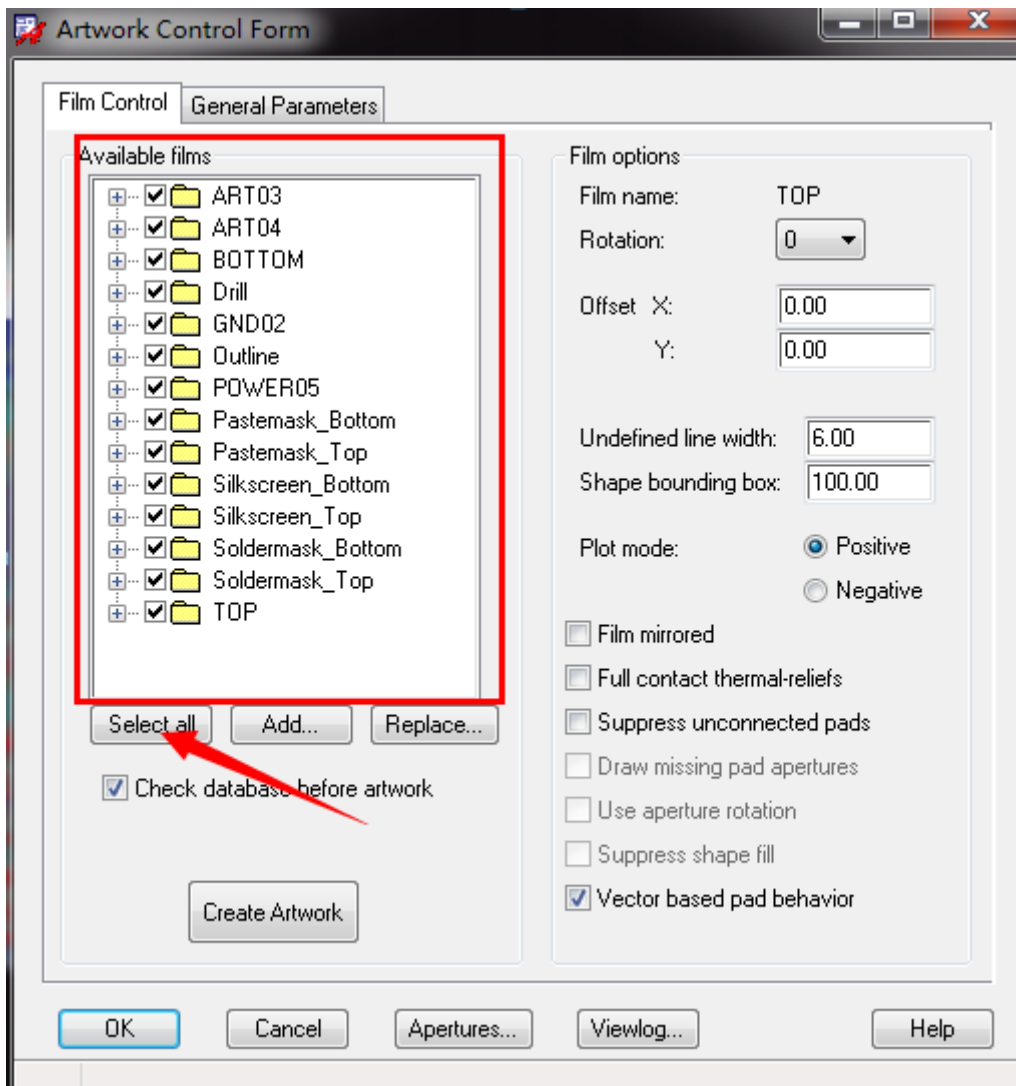


图 4-20 典型 8 层板的 Gerber 生成

❖ 点击 Create Artwork 生成 Gerber 文件，点击 Viewlog 查看日志信息，确认无错误

❖ 使用 CAM 检查 Gerber 文件：CAM 软件中执行菜单 File→Import→Auto Import...，选择 Gerber 文件所在目录，Finish 完成导入



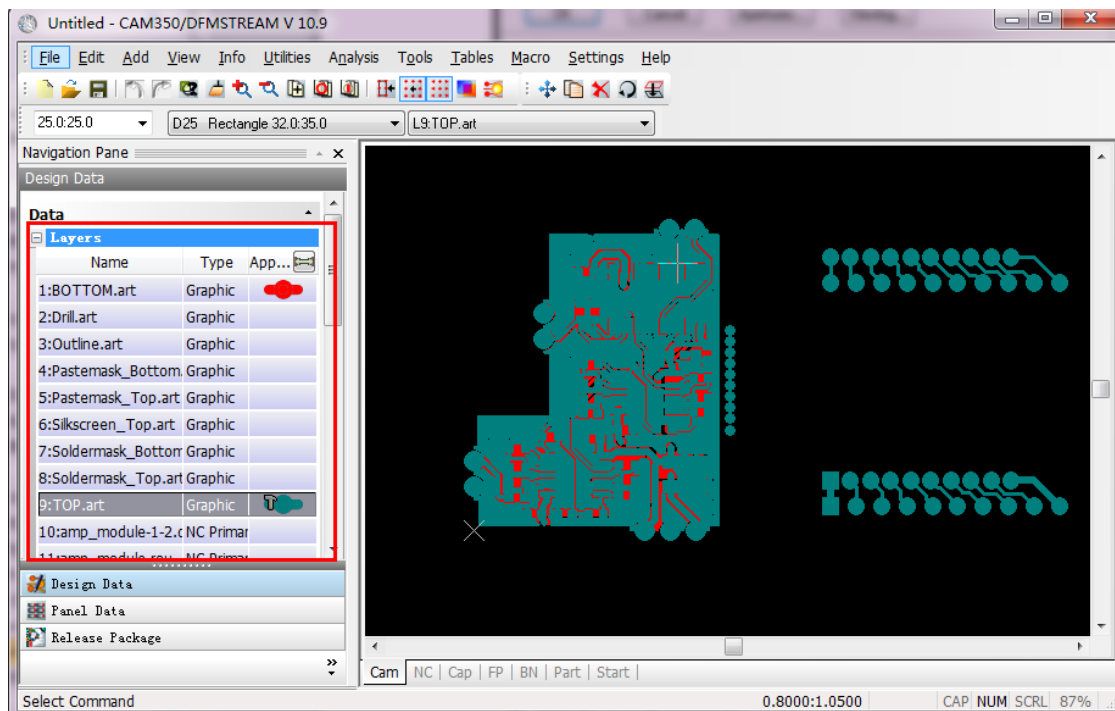


图 4-21 CAM 软件查看 Gerber 文件视图

CAM 软件中，在 Layer 项中“单击”表示添加该层到视图，这样很方便同时查看多层的效果，“双击”表示在视图上只显示该层，方便观察每一层是否有误。

#### 4.8 Gerber 文件投给厂家

两层板典型 Gerber 文件，共 14 个：10{\*.art} + 1{\*.drl} + 1{\*.rou} + 2{\*.txt}

- ❖ TOP.art 元件面布线顶层
- ❖ Bottom.art 元件面布线底层
- ❖ Pastemask\_Top.art 表贴焊接顶层
- ❖ Pastemask\_Bottom.art 表贴焊接底层
- ❖ Soldermask\_Top.art 阻焊层顶层
- ❖ Soldermask\_Bottom.art 阻焊层底层
- ❖ Silkscreen\_Top.art 丝印层顶层
- ❖ silkscreen\_Bottom.art 丝印层底层
- ❖ Outline.art 板框

- ❖ Drill.art 钻孔与尺寸标注
- ❖ art\_param.txt 光绘参数文件
- ❖ nc\_param.txt 钻孔参数
- ❖ \*.rou
- ❖ \*-1-2.drl

打包成\*.rar 或\*.zip 等压缩包格式发给厂商。4 层板多 2 个，6 层板多 4 个，  
参考前面的层叠结构设置，以此类推。

## 5 理论及规范

### 5.1 封装符号基本类型

封装元件基本组成包括：

- ❖ 元器件脚（焊盘）Padstack
- ❖ 元器件外框 Assembly outline、Silkscreen outline
- ❖ 限制区 Package Boundary、Via Keepout
- ❖ 标志 Labels（Device,RefDes,Value,Tolerance,Part Number）

使用 Allegro 新建 Symbol 类型描述如下表。

表 5- 1 Allegro 中的 Symbol 注释

类 型	注 释
Package Symbol(*.psm)	电气元件封装（如：C0603 等）
Mechanical Symbol(*.bsm)	机械零件符号（如：Outline 及固定螺丝孔）
Format Symbol(*.osm)	有关 Logo、Assembly 等的注解
Shape Symbol(*.ssm)	用于自定义特殊形状的焊盘
Flash Symbol(*.fsm)	热风焊盘，用于 thermal relief 和内层负片的连接

### 5.2 焊盘结构

- ❖ 通孔焊盘结构

阻焊层（Solder Mask）：又叫绿油层，决定是否开窗加绿油的，与涂不涂锡无关。阻焊层是负片，在阻焊层区域内将露铜。

热风焊盘（Thermal Relief）：又称花焊盘，通常是一个开口的轮子图样。主要作用是散热，用于连接焊盘到敷铜区域。



图 5-1 通孔焊盘结构

❖ 贴片焊盘结构

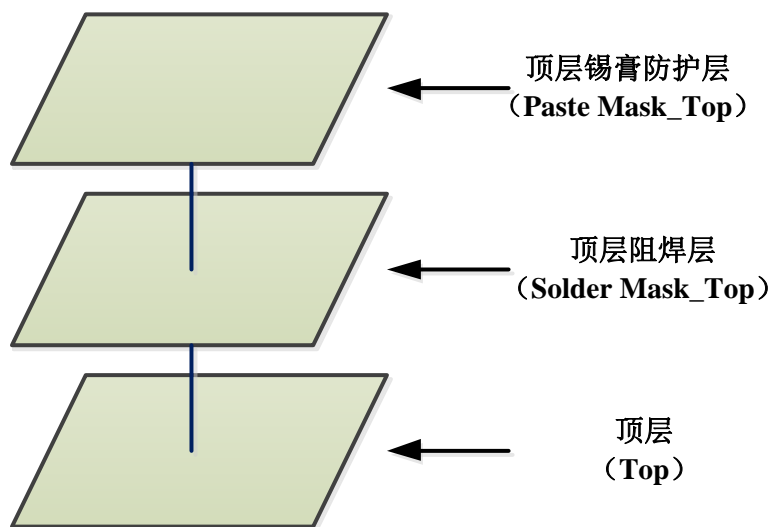


图 5-2 贴片焊盘结构

助焊层 (Paste Mask)：又叫锡膏防护层，决定是否开钢网涂锡，因此也有时叫钢网层，与是否有绿油无关，但一般有助焊层时也有阻焊层。助焊层是正片，在助焊层区域焊盘内将涂上锡。

### 5.3 自定义焊盘命名规则

❖ 制作焊盘时以 mm 为单位，精度设置为 4 位十进制数

格式：形状+x 尺寸（d 内径）+y 尺寸（d 外径）+焊盘类型（通孔、盲孔、表贴等）

#### 钻孔焊盘

例：rx1\_27y0\_38tr.pad

#### 表贴焊盘

例：rx1\_27y0\_38smd.pad

#### 定位孔

例：cd0\_38d0\_39h.pad，表示内径为 0.38mm，外径为 0.39mm

#### 过孔

例：via12\_24 表示内径 12 外径 24

❖ 制作焊盘时以 mil 为单位

格式：pad+焊盘外形大小+外形形状+钻孔尺寸+PTH（上锡）

例：pad60x50r50x45d

pad        表示是焊盘

60x60      外形大小为 60milx50mil

r           矩形

50x45      钻孔尺寸 50milx45mil

d           孔壁必须上锡，用于导通各层面

## 6 高级使用技巧及经验

### 6.1 更新焊盘或封装

❖ 如果在布线前封装有问题，要更新的话，很简单。先修改封装路径下的对应的有问题的封装文件，从 Allegro 中删除有问题的封装，从新使用 Place 命令放置即可。

❖ 而布完线甚至在检查 Gerber 的时候，才发现有些个封装有问题，则最好使用下面的方式。为保证丝印位置大小及已有的布线等不被改变，**先使用 Fixed 功能先固定不想在更新封装过程中改变的内容**

(1) 如果只是焊盘有问题，则选择 Tools->Padstack->Replace, 右侧的 Option 菜单即出现如下图所示的画面，

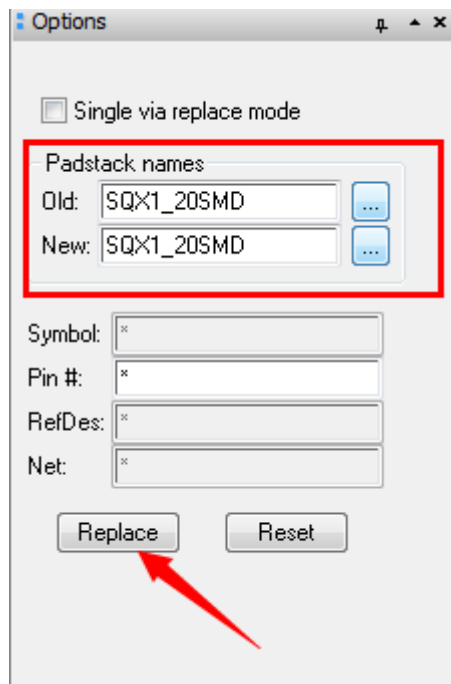


图 6-1 更新焊盘

选择要替换的新旧焊盘即可。这种方法也能用于替换过孔，不过用起来得小心一些！

(2) 如果封装中除了焊盘还有其它的变动，则选择 Place->Update Symbols, 弹出如下对话框，选择要更新的元件，Refresh 即可。

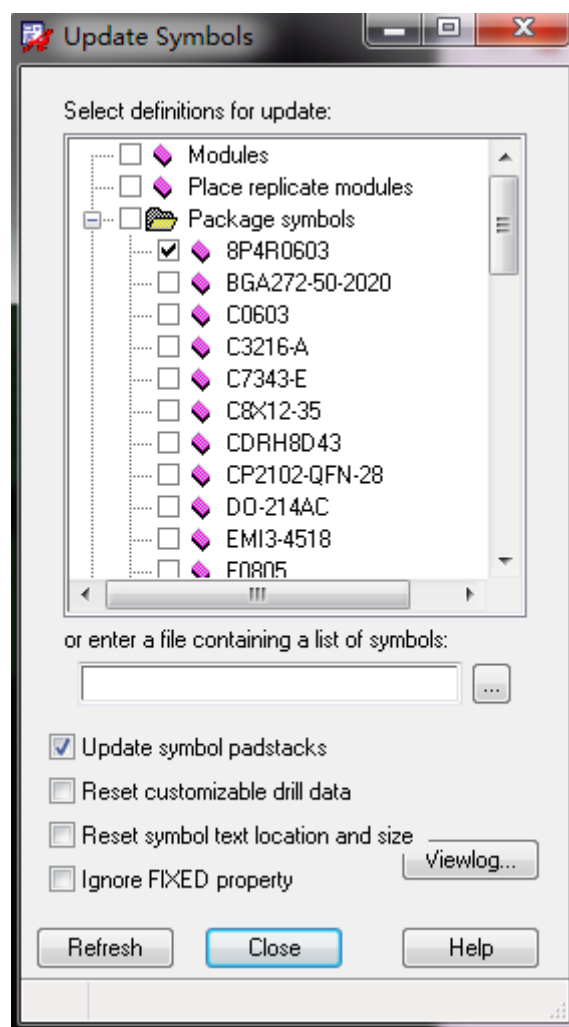


图 6-2 更新封装

## 6.2 隐藏已确认无效的 DRC

选择 Display->Waive DRCs->Waive 命令，点击 DRC 删除即可。

## 6.3 DXF 文件

Allegro 支持将 CAD 等机械绘图软件生成的 dxf 格式文件导入，用于生成板框、Logo 丝印、汉字丝印等各种功能。也可以将 Allegro 中已绘制好的板框甚至布局导出到 dxf 文件。

比如现在有一幅 jpg 图片，先要转化成 dxf 格式后方便 Allegro 导入，我常用的矢量转化软件是 **Algolab Raster to Vector Conversion Toolkit**。下面是 Allegro 导入 dxf 文件的界面：

## 6.4 修改 class 层

## 6.4 元器件对齐

## 6.5 使用 CAM 检查 Gerber 文件

## 6.6 等长约束走线

### 6.6.1 关于 MATCH GROUP 的等长约束设置

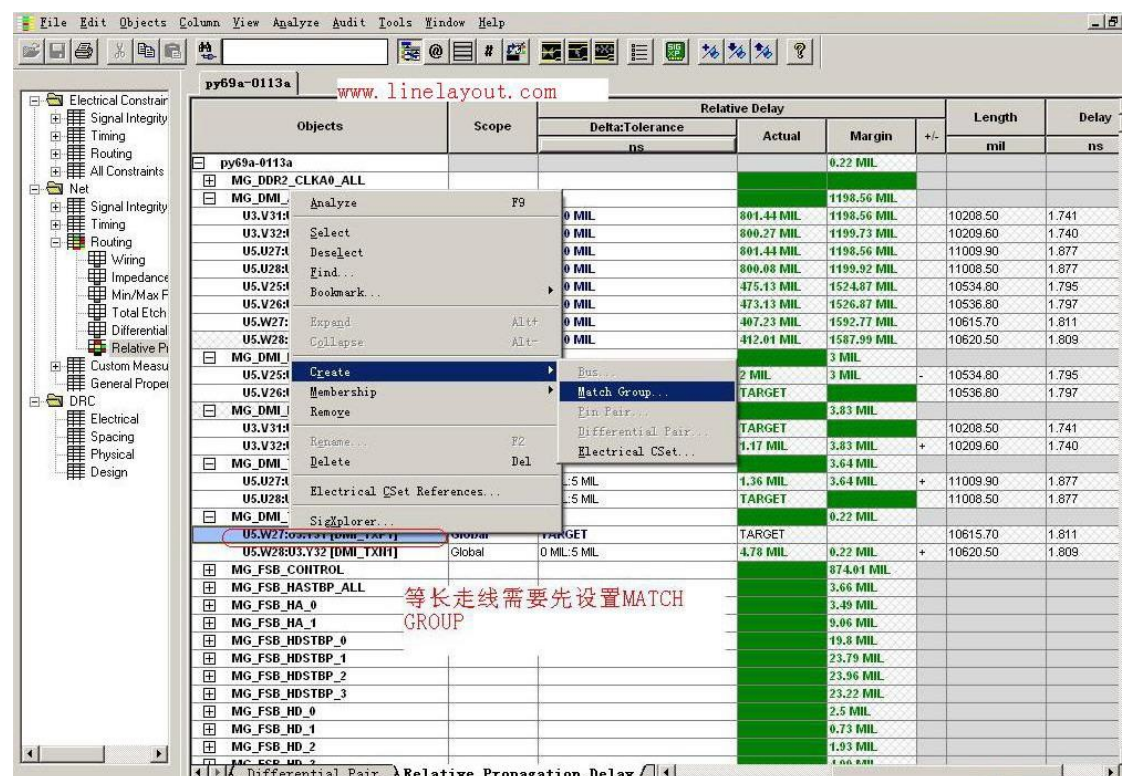
等长走线需要先在约束中设置 MATCH GROUP，然后再自己确定 GROUP 内的 TARGET，这组线就以这条特定的线的长度为基准。

走线的时候想实现完全等长实际上是很难实现的，因此需要一个设置长度误差范围（相对于基准线）。下面的 Delta 就是指 TARGET 的差值，Tolerance 是误差范围，是绝对值，譬如:100MIL,就表示±100MIL。

基本上 Constraint Manager 底下的 Min/Max Propagation Delay 是设定大范围的应用，Relative Propagation Delay 设定群组的等长要求,设定好 Delta : Tolerance(误差范围),因此你应该将等长的范围输入到 Delta : Tolerance,就不用在 Min/Max Propagation Delay 设定精确的要求,因为 Relative Propagation Delay 不需要设定 Min/Max 的范围,它只需要设定群组的等长误差。

❖ 在 Electrical Constraint Set→Net→Relative Propagation Delay 下，创建 Match Group



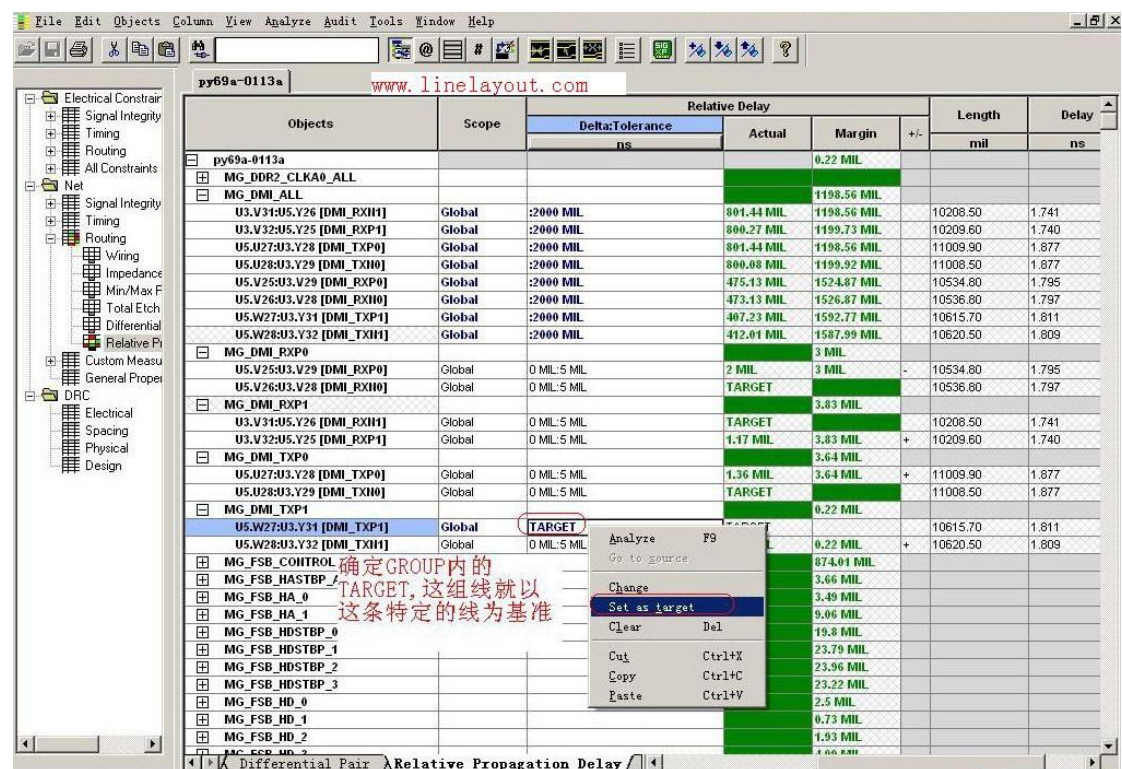


❖ 在创建好的 Match Group 上，右键 Membership→Match Group，添加需要等长的走线到该组

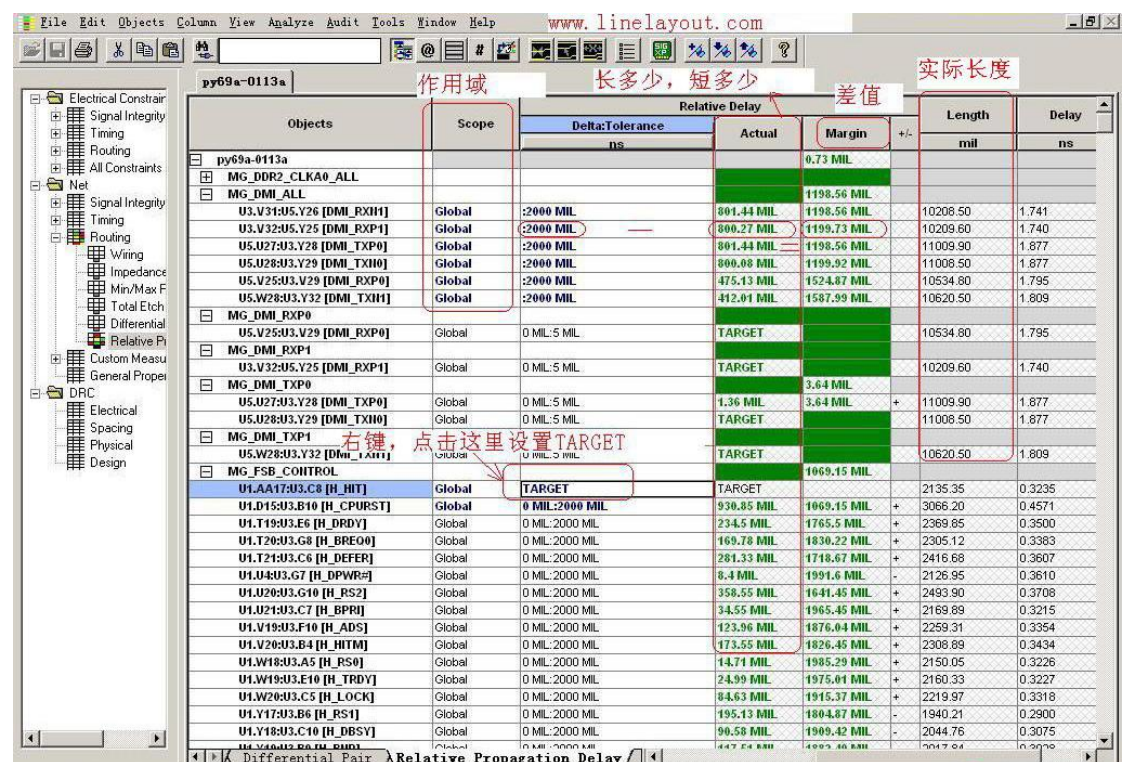


❖ 选择一条基准线，以改线的长度为基准，其它线都与基准线长度匹配





❖ 设定与 Target 的偏差值 Delta, 因此可为 0, 也可以是正数或负数, Tolerance 为与 Target 的误差。例如 Delta : Tolerance 0:5, 假设 Target 长度为 1000mil 其他 net 线长只要在 995 至 1005 都满足约束要求。



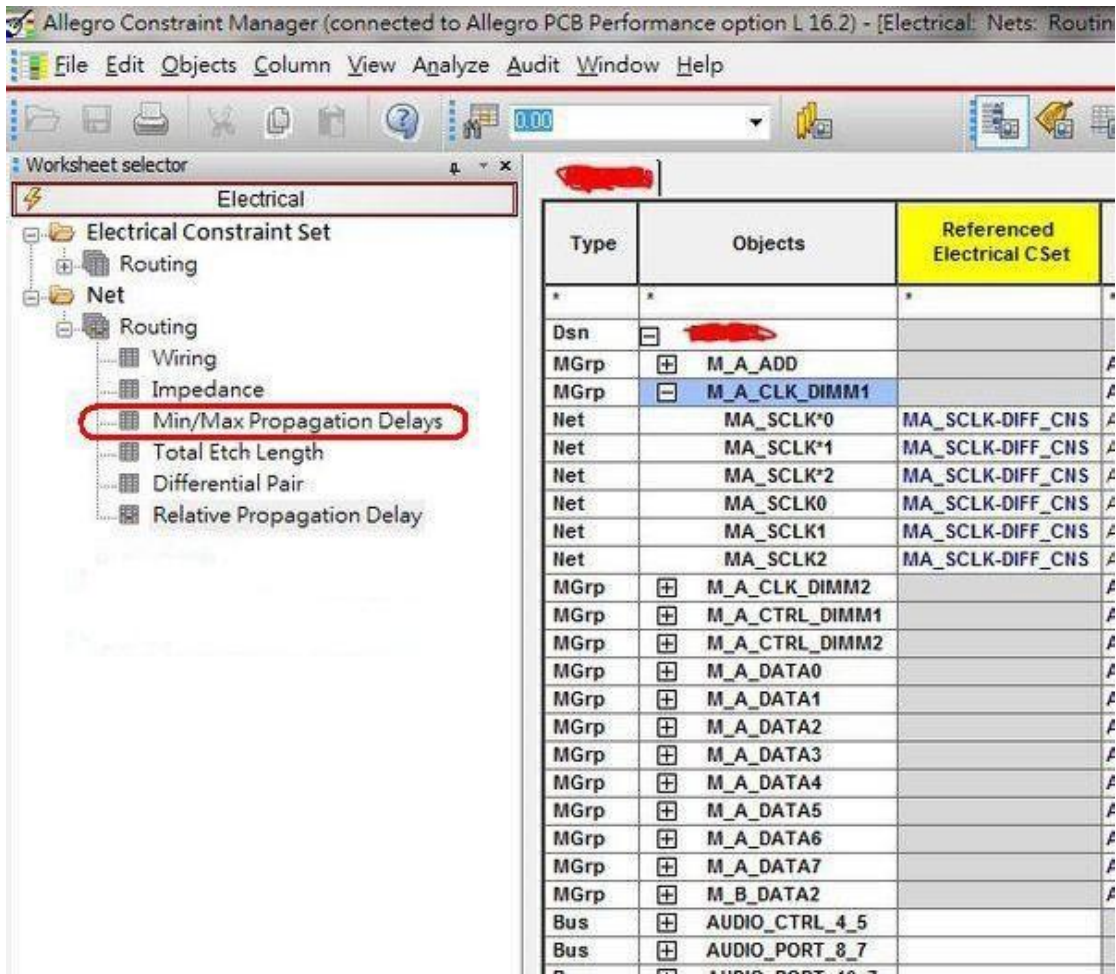
要查看实际长度，在 Group 上右键 Analyze 即可。

要高亮等长网络，则在 Constraint 中选中组中的网络，右键 Select 即可。

### 6.6.2 关于 Min/Max Propagation Delays 的等长约束设置

在 16.x 中可以通过 Min/Max Propagation Delays 选项进行等长走线约束设置。

❖ 在 Electrical Constraint Set→Net→Min/Max Propagation Delays 下

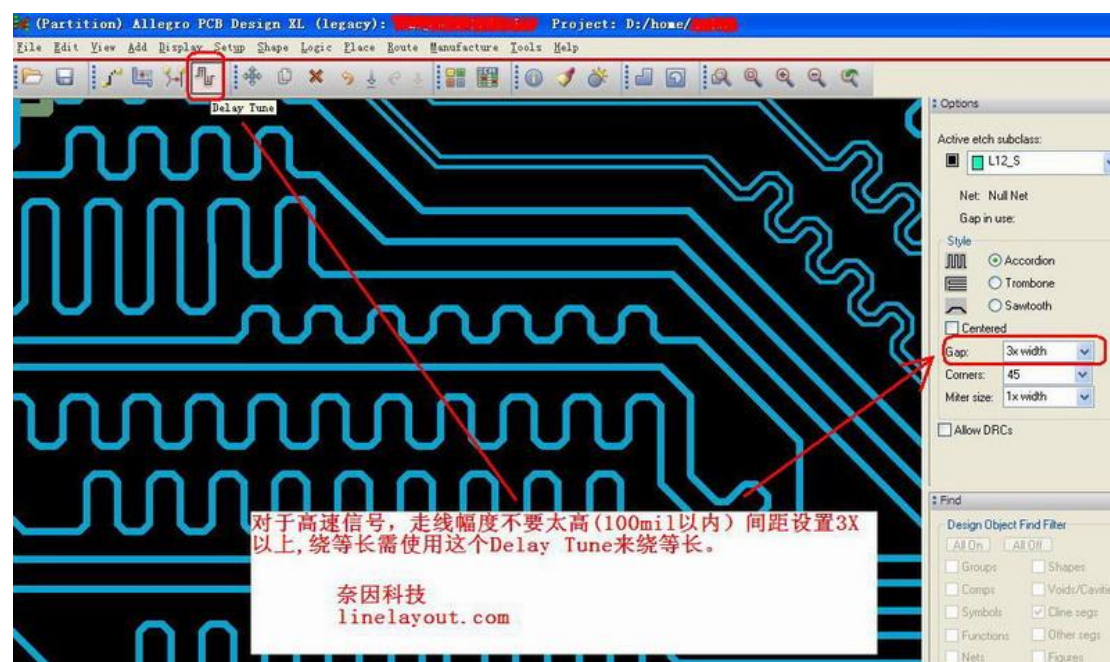


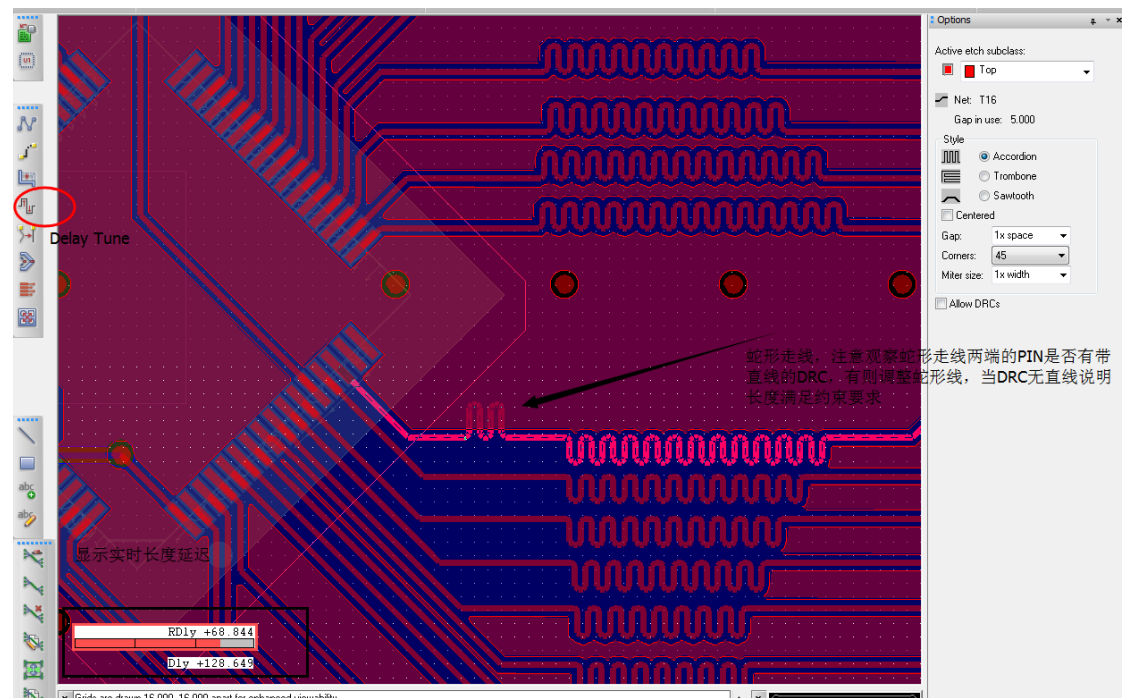
❖ 随便拉一条线，在 6.6.1 节的 Group 中能看到该线的长度，根据这个长度大概估算一下等长线的长度。估算好后，在 Prop Delay 的 Min 中和 Max 中填写等长线的长度约束范围。我们之后将通过蛇形走线手动调整走线长度，使其在约束范围内



ddr2-goldfinger11														
Type	Objects	Referenced Electrical CSet	Pin Pairs	Pin Delay		Prop Delay			Prop Delay					
				Pin 1	Pin 2	Min	Actual	Margin	Max	Actual	Margin			
				mil	mil	ns			ns					
*	*	*	*	*	*	绿色填充表示满足约束，无DRC错误					*	*	*	
Dsn	ddr2-goldfinger11						-65.337 MIL							-89.809...
Bus	DDRB_ADD		All Drivers/All Rece...			1166.000 MIL	-65.337 MIL			1168.000 MIL				-63.426...
Bus	DDRB_D1		All Drivers/All Rece...			1166.000 MIL	-35.282 MIL			1168.000 MIL				-17.221...
Bus	DDRB_D2		All Drivers/All Rece...			1166.000 MIL	-21.297 MIL			1168.000 MIL				-21.09...
Bus	DDRB_D3		All Drivers/All Rece...			1166.000 MIL	3.269 MIL			1168.000 MIL				-80.51...
Bus	DDRB_D4		All Drivers/All Rece...			1166.000 MIL	4.273 MIL			1168.000 MIL				-89.809...
Bus	DDRB_D5		All Drivers/All Rece...			1166.000 MIL	-14.246 MIL			1168.000 MIL				3.864 MIL
Bus	DDRB_D6		All Drivers/All Rece...			1166.000 MIL	-17.113 MIL			1168.000 MIL				-15.698...
Bus	DDRB_D7		All Drivers/All Rece...			1166.000 MIL	15.591 MIL			1168.000 MIL				-18.522...
Bus	DDRB_D8		All Drivers/All Rece...			1166.000 MIL	-8.191 MIL			1168.000 MIL				-15.694...
Bus	DDR_CLK		All Drivers/All Rece...			1166.000 MIL	-18.789 MIL			1168.000 MIL				-49.368...
DPr	DDR_B_DQS0		All Drivers/All Rece...			1166.000 MIL	-35.282 MIL			1168.000 MIL				33.929...
DPr	DDR_B_DQS1		All Drivers/All Rece...			1166.000 MIL	-7.485 MIL			1168.000 MIL				-0.816...
DPr	DDR_B_DQS2		All Drivers/All Rece...			1166.000 MIL	26.24 MIL			1168.000 MIL				-34.541...
DPr	DDR_B_DQS3		All Drivers/All Rece...			1166.000 MIL	17.693 MIL			1168.000 MIL				-15.694...
DPr	DDR_B_DQS4		All Drivers/All Rece...			1166.000 MIL	-14.246 MIL			1168.000 MIL				13.753...
DPr	DDR_B_DQS5		All Drivers/All Rece...			1166.000 MIL	17.693 MIL			1168.000 MIL				-15.698...
DPr	DDR_B_DQS6		All Drivers/All Rece...			1166.000 MIL	20.19 MIL			1168.000 MIL				-18.522...
DPr	DDR_B_DQS7		All Drivers/All Rece...			1166.000 MIL	17.694 MIL			1168.000 MIL				-15.694...
DPr	M_CLK_DDR2		All Drivers/All Rece...			1166.000 MIL	17.693 MIL			1168.000 MIL				-15.694...
DPr	M_CLK_DDR3		All Drivers/All Rece...			1166.000 MIL	17.692 MIL			1168.000 MIL				-15.693...
Net	+V_DDR_MCH_REF													
Net	+1.8V_MEM													
Net	+3.3V_M													
等长线最小值约束											最大值约束			

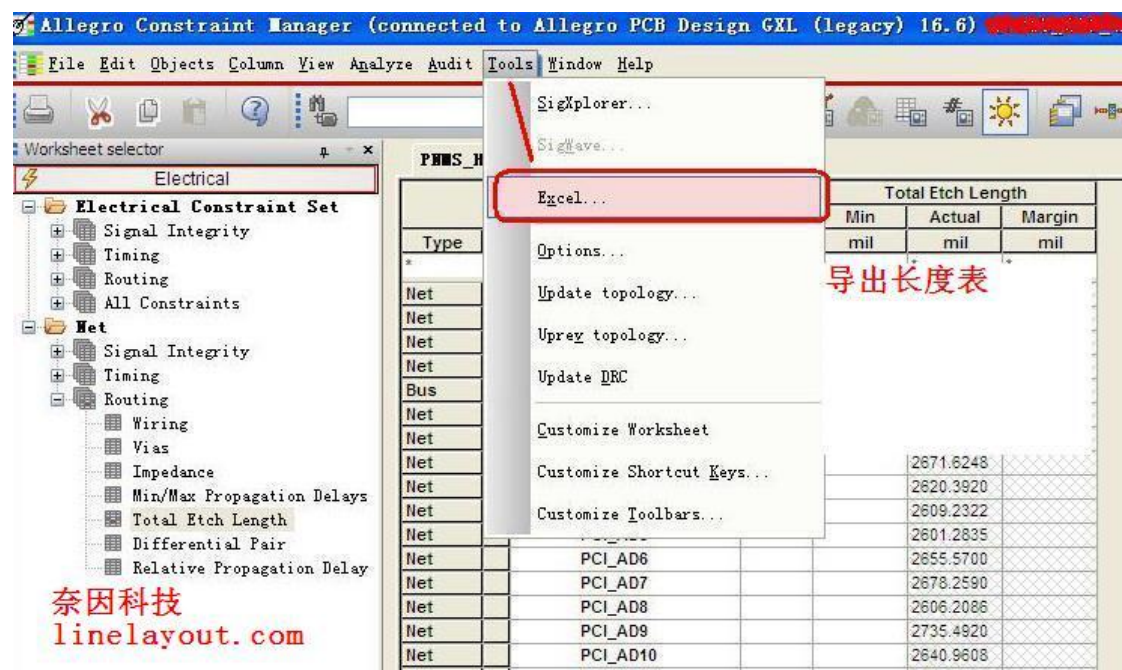
❖ 使用 Allegro 的 Route→Delay Tune 功能进行蛇形走线，这步就是不断调整蛇形走线满足约束要求的过程





为保证能正常蛇形走线，各走线之间要保持一定的间距，最好从边上的线开始调整。

❖ 最后可以从约束中导出走线长度表到 Excel 中





## 参考文献

- [1] 科通公司 Allegro 培训 PPT 讲稿.
- [2] 于争. Cadence SPB 15.7 快速入门视频教程(共 60 集).
- [3] 刘雅芳, 张俊辉. 抗干扰角度分析六层板的布线技巧. 天津广电通信技术有限公司技术中心.
- [4] Microchip. AN1258: Op Amp Precision Design: PCB Layout Techniques. 2009.
- [5] URL: <http://www.linelayout.com/bbs/html/20091116/6537.htm>. allegro 等长设置经验点滴（图解教程）.
- [6]