

2003 级“计算机组织与结构”期终考试试题

姓名：_____学号：_____成绩_____

一、填空题（本大题共 9 小题，每小题有一个或多个空，每空 1 分，共 20 分）

1. 一条指令中必须包含以下两个基本部分：_____操作码_____和_____地址码_____。
2. 假设 $x=0.0101$, $y=0.1001$, $n=5$, 则 $x-y$ 的补码为_____1.1100_____。操作后状态寄存器中以下几个标志位的值应为：ZF(零标志)=0, VF(溢出标志)=_____0_____, NF(符号标志)=_____1_____。
3. 如果 CPU 要读取主存单元的内容，那么 CPU 在取得总线控制权后，需要马上通过总线向主存发送相应的_____主存读_____控制信号和_____地址_____信息。
4. 若某位片式动态随机存储器芯片容量为 256K 位，采用行列地址复用技术，则该芯片需_____9_____个地址引脚线，_____1_____个数据输入引脚线，_____1_____个数据输出引脚线。
5. 用 4K×8 位的存贮芯片组成一个 64K×16 位的存贮器，共需_____32_____块芯片及_____16_____个片选信号。
6. 检查有无中断请求的操作安排在_____指令周期_____之后，而检查有无 DMA 请求的操作安排在_____机器周期_____之后。
7. DMA 方式适用于在_____高速_____外设和_____主存_____之间直接进行数据传送。
8. 补码乘法运算可以分解为_____加法_____和_____右移（移位）_____两种基本操作。
9. 已知十进制数 $X=-66$ ，求相应的二进制数 $X_2=-1000010$ _____。假定采用 8 位寄存器存放 $[X]_{\text{补}}$ ，则该寄存器中的内容为：_____1 0111110_____。

8. 下列几种存储器中, A 是易失性存储器。
- A. Cache B. EPROM C. Flash Memory D. CD-ROM
9. 假定一个磁盘的转速为 7200RPM, 道间移动时间为 0.01ms, 共有 1024 个磁道。那么, 该磁盘的平均存取时间(average access time)是 B 。
- A. 13.45ms B. 9.28ms C. 19.56ms D. 14.4ms
10. 计算机系统发生异常事件或外设完成 I/O 任务时, 一般都通过中断方式请求 CPU 执行相应的中断服务程序来处理。在以下给出的情况中, 哪些是可能的中断请求?
- A B C D G H I J K L (5 分)
- A. 键盘缓冲满 B. 一个字符打印完
- C. 运算结果为 0 D. 页面失效(miss)
- E. TLB 失效(miss) F. Cache 失效(miss)
- G. 访问内存超时 H. 地址越界
- I. 保护违例(内存访问类型不符) J. 除数为 0
- K. DMA 传送结束 L. 非法操作码

三、判断下列叙述是否正确, 并对错误的叙述改错。(14 分)

1. 原码、补码和移码三种编码表示中, 只有原码的“零”的表示不是唯一的。(对)
2. 一般情况下, 用 DRAM 作主存, 用 SRAM 作 Cache。(对)
3. 指令长度一般是 8 的整数倍。(对)
4. 用 MFM 记录方式得到的磁表面存储器的记录密度比 FM 方式的记录密度高一倍左右。
(对)
5. 间接寻址方式下, 操作数总是存放在寄存器中。(错)
间接寻址方式下, 操作数总是存放在主存单元中。
6. 若 Cache 采用直接映射方式, 则无须考虑替换问题。(对)

7. CPU 中控制器的实现方式有采用组合逻辑设计的硬连线路方式和微程序设计方式两种。采用硬连线路设计的控制器比微程序控制器速度快。(对)

8. DMA 方式用于传送成组数据, 所以 DMA 控制器申请总线使用权后, 总是要等一批数据传送完成后才释放总线。(错)

DMA 方式用于传送成组数据, 但是 DMA 控制器可以用“周期挪用”法进行数据传送。DMA 控制器申请得到总线使用权后, 每次占用一次总线事务进行一个数据传送, 传送结束后立即释放总线。也可以等一批数据传送完成后才释放总线。

9. 通常每个外部设备都用一个接口电路与主机连接。因此主机只能用唯一的地址来访问一个外部设备。(错)

通常每个外部设备都用一个接口电路与主机连接。但是一个 I/O 接口中可能有多个 I/O 端口, 每个端口都有一个地址, 因此主机可用多个地址来访问一个外部设备。

10. 一条指令只能有一种寻址方式。(错)

一般每个地址码要指定一种寻址方式, 所以在多地址指令中可能有多个寻址方式。

11. 在 DMA 控制器控制数据在磁盘和主存间进行交换时, CPU 处于停止执行指令状态。(错)

在 DMA 控制器控制数据在磁盘和主存间进行交换时, CPU 处于停止不能访问主存, 但可以执行指令。

12. 在设计指令系统时, 下条指令的地址一般总是明显地在指令中给出。(错)

一般下条指令的地址一般总是由程序计数器 PC 给出。

13. 多路选择器的作用是在多个输入中选择其中之一。三选一的多路选择器应有两位控制信号。(对)

14. 假定某次存储器访问在页表中失效, 那它一定在 Cache 中也失效。(对)

四、计算题 (6 分)

已知 $X=2^3*(-5/16)$, $Y=2^4*(13/16)$, 请按浮点数运算规则, 计算: ① $X-Y=?$ ② $X+Y=?$
其浮点数的阶码和尾数都用变形补码表示, 存放格式如下:

阶符 (2 位)	阶码 (3 位)	尾符 (2 位)	尾码 (4 位)
----------	----------	----------	----------

假定采用 0 舍 1 入法进行舍入, 采用 1 位保护位, 运算结果要求规格化。

请按顺序将每步的中间结果填入下表右栏中:

项目名称		结果
$[X]_{\text{浮}}$		00 011, 11.1011
$[Y]_{\text{浮}}$		00 100, 00.1101
$[E_X-E_Y]_{\text{补}}$		11.111
E_X-E_Y		-1
对阶结果	对 $[X]_{\text{浮}}$ 进行对阶	00 100, 11.1101 1
尾数加减	$[M_X+M_Y]_{\text{补}}$	00.1010 1
	$[M_X-M_Y]_{\text{补}}$	11.0000 1
规格化并舍入	$[X+Y]_{\text{浮}}$	00 100, 00.1011
	$[X-Y]_{\text{浮}}$	00 100, 11.0001
最终结果	$X+Y$	$2^4*(11/16)$
	$X-Y$	$2^4*(-15/16)$

五、分析设计题 (共 24 分)

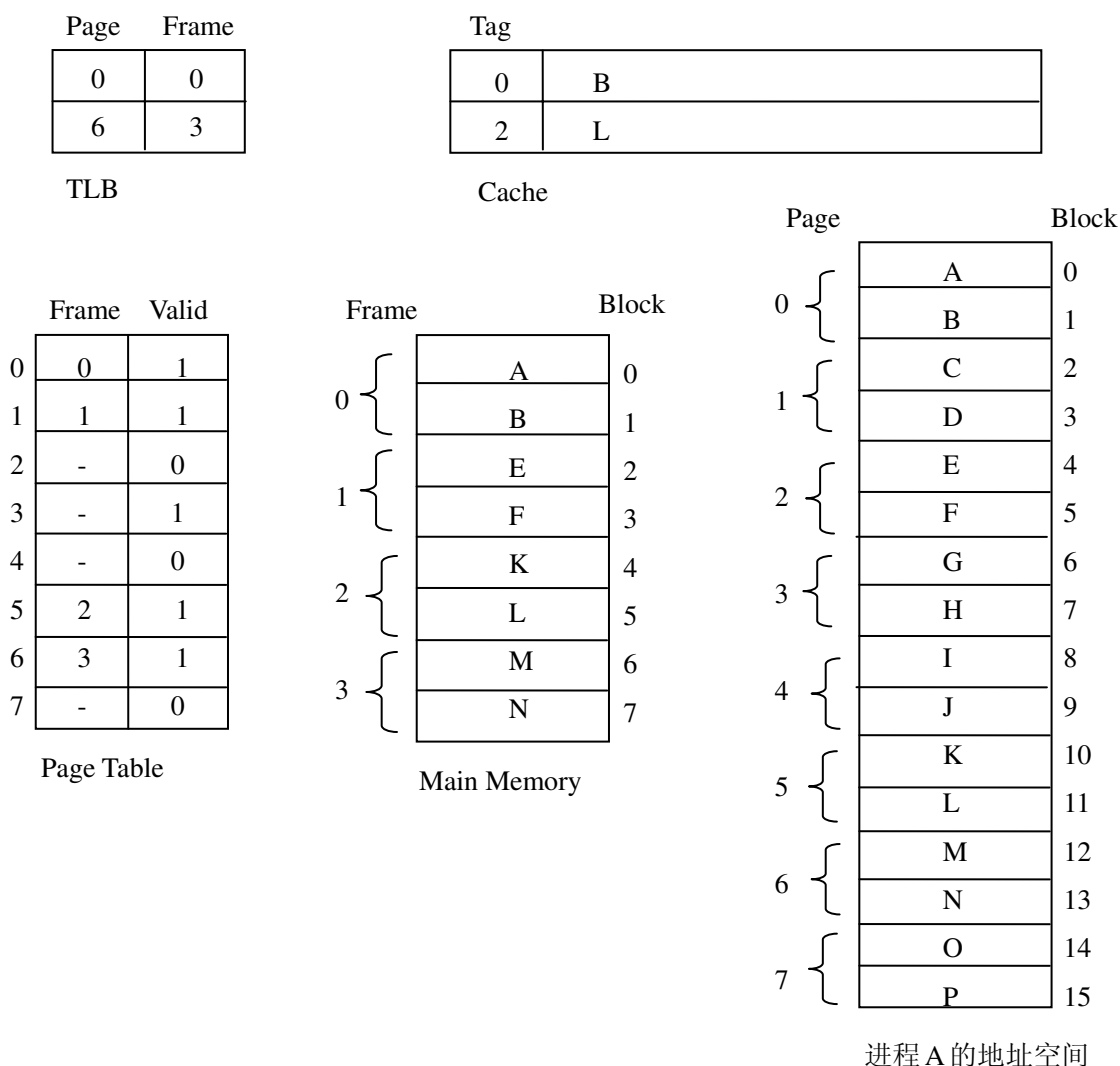
- 1、假定同步总线的时钟周期为 50ns, 每次总线进行主存读传输时首先要花 1 个时钟周期发送地址和读命令, 最终从总线取数要花一个时钟周期, 总线的数据线为 32 位宽, 存储器的取数时间为 200ns。要求求出该存储器进行连续读操作时的总线带宽。(4 分)

解: 一次“主存读”事务的时间为: $50\text{ns}+200\text{ns}+50\text{ns}=300\text{ns}$

所以连续读操作时的总线带宽为: $4\text{B}/300\text{ns} = 13.3\text{MB/s}$

- 2、假定一个虚拟存储器系统采用分页方式进行存储管理, 其 TLB 中含有 2 个页表项, Cache 采用直接映射技术, 主存有 8 块, 块长为 8 个字。虚存空间有 8 页, 页大小为 16 个字。

假定程序 A 对应的虚存空间有 8 页。下图给出了 TLB、页表、Cache、主存和程序 A 的虚存空间中的内容。



要求根据以上假设，回答下列问题。（8 分）

- (1) 找出图中错误之处，并说明理由。
- (2) 虚拟（逻辑）地址的位数有多少位？说明理由。
- (3) 主存（物理）地址的位数有多少位？说明理由。
- (4) 给出主存地址的划分（说明主存地址分几个字段，各字段的位数是多少）。
- (5) 说明虚拟地址 90 （十进制）号单元的访问过程。

解：(1) 错误之处有三个：页表中第三项的 Valid 不应为 1；页表的第一项和第二项应换一下；主存块 1 中的数据 B 不应映射到 Cache 中第 0 槽。

(2) 虚拟地址有 7 位。

(3) 主存地址有 6 位。

(4) 主存地址划分：高 2 位为标志，中间一位 Cache 槽号，最后三位为块内地址。

(5) $90 = 101\ 1010H$ ，应先到 TLB 中找，找不到第 5 页对应页表项，然后到页表中找到其对应页框号为 2，故其物理地址为 $10\ 1\ 010H$ ，根据主存地址划分，知，该地址所在块应该在 Cache 的第 1 槽，然后将高 2 位 10 和 该槽中的标志 01 进行比较，结果相等，故该单元在第 1 槽中，再根据最后三位取出即可。

3、某计算机的软盘面每道共 4 个数据块，每块 2250 个字节，每两个数据块之间有一间隙。该计算机处理器的时钟频率为 500MHz, 主存的存储周期为 500 毫微秒, 每次按字节宽度存取和传送。

(1) 若软盘驱动器转速为 300 转/分，通过每一间隙的时间为 5MS，则磁盘读出的最大速率是多少？假定用中断方式进行数据传送，每次传送的开销（包括中断响应和中断处理的时间）为 500 个时钟周期，则在软盘一直持续进行读写而不错过任何数据的情况下，处理器花在磁盘 I/O 上的时间百分比为多少？

(2) 若磁盘转速提高一倍，则磁盘读出速率可达多少？这时若用 DMA 方式进行盘的读出控制，主存频带空闲百分比是多少（这时假定 CPU 停止访问内存）？若 CPU 同时执行 R-R 型指令，在运算器中操作的平均执行时间为 1.5 微秒，则这时 CPU 执行这类指令的最快和最慢速度各是多少？（12 分）

答：(1) 磁盘转一圈的时间为： $60 \times 10^3 / 300 = 200ms$

转过一个数据区的时间为： $(200 - 4 \times 5) / 4 = 45\ ms$

读出最大速率为 $2250B / (45 \times 10^{-3}) = 50KB/s$

若采用中断方式，每读写一个字节，发生一次中断。要保证磁盘在持续读写过程中没有一个数据错过，则每秒钟处理器必须响应并处理 $50KB / 1B = 50K$ 次中断。

因此，处理器每秒钟必须花费 $50K \times 500 = 25000K$ 个时钟周期在磁盘的 I/O 上。

所以 其时间百分比为 $25000K / 500M = 5\%$

(2) 若盘速提高一倍，则磁盘读出速率应为 $100KB/s$

所以读一个字节所花的时间为 $1/100 = 0.01\ ms = 10000\ 毫微秒\ (ns)$

每个字节花 $10000/500 = 20$ 个存储周期的时间

所以 DMA 方式下的主存频带空闲百分比为 $1 - 1/20 = 95\%$

执行 R-R 型指令时，最快： $0.5 + 1.5 = 2\ 微秒$

最慢： $0.5 + 0.5 + 1.5 = 2.5\ 微秒$ （取指令时正好和 DMA 冲突）

六、简答题（共 20 分）

- （1） 什么叫程序访问的空间局部性？什么叫程序访问的时间局部性？Cache 技术是如何用程序访问的局部化特性来快速访问信息的？（4 分）
- （2） 简述变址寻址方式及其作用。（3 分）
- （3） 什么是同步总线控制方式？什么是异步总线控制方式？（4 分）
- （4） 什么是快表？为什么要引入快表？（3 分）
- （5） 至少举出两个流水线被破坏的原因。（2 分）
- （6） 中断处理过程（即：中断服务程序的执行）由三个阶段组成。请问是哪三个阶段？各阶段要完成哪些主要的工作？（4 分）

2004 级“计算机组织与结构”期终考试试题

姓名：_____学号：_____成绩_____

一、填空题（本大题共 10 小题，每小题有一个或多个空，每空 1 分，共 20 分）

1. 信息被存入存储器的操作称为存储器写操作，从存储器中取出信息的操作称为存储器读操作，这两种操作统称为存储器访问（访存/内存访问）操作。
2. 计算机软件分为系统软件和应用软件两大类。例如，
Windows 操作系统属于前者，文字处理软件 Word 属于后者。
3. 假设 $x=0.0101$ ， $y=-0.1001$ ，则 $x-y$ 的补码为0.1110。操作后状态寄存器中以下几个标志位的值应为：ZF(零标志)=0，VF(溢出标志)=0，NF(符号标志)=0。
4. 对于有符号整数，计算机内部一般用补码定点数表示。假定定点有符号整数用 8 位来表示，则可表示的最大数为127，最小数为-128。
5. 若十进制数采用自然 BCD 编码表示，则一位十进制数要用4位二进制表示。
6. 西文字符一般采用ASCII码表示，这种编码用7位二进制数表示。
7. 相联存储器是不按地址而是按内容访问的存储器。在高速缓冲存储器中，用于采用全相联（相联）映射的 Cache 中。
8. 虚拟存储器中需要进行逻辑地址向物理地址的转换，在进行地址转换时，必须通过查找页表中存放的对应虚页的页框号，以得到真正的主存物理地址。
9. 在指令执行过程中，所有指令的执行都必须进行的操作是取指令操作，该操作从存储器中取出指令，并送到控制器进行译码。

10. 中断处理程序的入口地址被称为 中断向量。

二、选择题（本大题共 18 小题，计 20 分。注：可以在横线上填入 1 个或多个选项）

1. 下列有关语言处理程序的描述中，错误的是 D。
 - A. 汇编程序是将指令的符号化表示转换为二进制代码的程序
 - B. 编译程序是将高级语言程序转换为可执行代码的程序
 - C. 解释程序是将高级语言程序进行解释执行，直接获得执行结果的程序
 - D. 机器语言程序是将汇编语言程序转换为目标代码的程序
2. 计算机的层次结构从上到下（或从外到内）依次是 B。
 - A. 系统软件、应用软件、硬件系统
 - B. 应用软件、系统软件、硬件系统
 - C. 系统软件、硬件系统、应用软件
 - D. 硬件系统、应用软件、系统软件
3. 下列数中最小的数是 B。
 - A. $(1100100)_2$
 - B. $(125)_8$
 - C. $(1001\ 0010)_{BCD}$
 - D. $(62)_{16}$
4. 下列字符码中带有偶校验的信息是 C。
 - A. 11001000
 - B. 10010010
 - C. 10010011
 - D. 01010111
5. 浮点数加减运算中，结果的尾数可能溢出，此时，采用的处理方法是 B。
 - A. 对尾数位数进行扩充
 - B. 结果右规，即将尾数右移，阶码加 1
 - C. 结果左规，即将尾数左移，阶码减 1
 - D. 调用溢出中断处理程序进行溢出处理
6. 以下各类存储器中， B 是易失性存储器。
 - A. ROM
 - B. RAM
 - C. 磁盘
 - D. 光盘
7. Cache 和主存之间的信息交换通过 B 实现。
 - A. 软件
 - B. 硬件
 - C. 软件和硬件共同
 - D. 操作系统

8. 程序计数器 PC 用来存放指令地址，每当执行完一条指令后，通常由程序计数器提供后继指令地址，其位数和D位数相同。

A. 指令寄存器 IR B. 主存数据寄存器 MDR
C. 程序状态寄存器 PSR D. 主存地址寄存器 MAR
9. 为使高速缓存有效发挥其预期的作用，所运行的程序应具有C的特性。

A. 不含有过多 I/O 操作 B. 程序大小不超过实际内存容量
C. 较好的访问局部性 D. 指令间相关不多
10. 动态 RAM 的刷新是以B为单位进行的。

A. 存储单元 B. 行
C. 块 D. 字节
11. 下列因素中，A与高速缓存的命中率无关。

A. Cache 存储速度 B. Cache 存储容量
C. Cache 替换算法 D. 在主存和 Cache 间交换的块大小
12. 下列说法中，错误的是A。

A. 多模块交叉存储器的引入主要是为了解决主存容量不足问题
B. 虚拟存储器的引入主要是解决多道程序在有限的内存空间分配的问题
C. Cache 的引入主要是解决内存访问的速度问题
D. 双口存储器的引入主要是解决对同一个存储部件要求同时进行读写的问题
13. 输入/输出指令的功能是C。

A. 进行主存和 I/O 端口之间的信息交换
B. 进行主存与 CPU 之间的信息交换
C. 进行 CPU 和 I/O 端口之间的信息交换
D. 进行 I/O 设备之间的信息交换
14. 下列叙述中，能反映 RISC 特征的有C。

A. 丰富的寻址方式 B.使用微程序控制器
C. 仅 LOAD/STORE 指令能访存 D. 指令长度可变
15. 增加总线带宽的手段有很多，但以下A的做法不能提高总线带宽。

A. 采用信号线复用
B. 增加数据线宽度
C. 采用猝发传送方式，允许大数据块传送

D. 增高总线时钟频率

16. 控制器的功能是 D 。

A. 产生时序信号

B. 从主存取指令

C. 对指令操作码进行译码

D. 从主存取指令，并对指令操作码进行译码，生成相应的操作控制信号

17. 假定一个磁盘的转速为 7200RPM，道间移动时间为 0.01ms，共有 1024 个磁道。

那么，该磁盘的平均存取时间(average access time)是 B 。

A. 13.45ms

B. 9.28ms

C. 19.56ms

D. 14.4ms

18. 计算机系统发生异常事件或外设完成 I/O 任务时，一般都通过中断方式请求 CPU 执行相应的中断服务程序来处理。在以下给出的情况中，哪个不会引起中断？

C (3 分)

A. 键盘缓冲满

B. 一个字符打印完

C. 运算结果为 0

D. 页面失效(miss)

19. 假设 CRT 的分辨率为 1024×768 像素，像素的颜色数为 256，则刷新存储器的容量至少应为 B 。

A. 512KB

B. 1MB

C. 256KB

D. 2MB

20. 采用“周期挪用”方式进行 DMA 传送时，每传送一个数据要挪用 D 的时间。

A. 指令周期

B. 机器周期

C. 时钟周期

D. 存储周期

三、判断下列叙述是否正确。(10 分)

1. 同步总线的定时需要统一的时钟信号。(T)

2. 主存和高速缓存都是采用随机访问方式。(T)

3. 执行 SS 型指令比执行 RS 型指令所花时间长。(T)

4. 机器的主频越高，机器的速度就越快。(F)

5. 寄存器间接寻址方式下，操作数总是存放在寄存器中。(F)

6. 同一条指令在流水线方式下比串行执行时所花的执行时间更短。(F)

7. CPU 中控制器的实现方式有采用组合逻辑设计的硬连线路方式和微程序设计方式两种。采用硬连线路设计的控制器比微程序控制器速度快。(T)
8. DMA 方式用于高速设备和主存之间传送成组数据, 所以 DMA 控制器申请总线使用权后, 总是要等一批数据传送完成后才释放总线。(F)
9. 中断响应的优先级由硬件排队线路决定, 而中断处理优先级由屏蔽码决定。(T)
10. 采用统一编址法, 可以使用访存指令读写 I/O 端口的数据。(T)

四、计算题 (10 分)

1. 已知在一个 C 语言程序中定义的变量 x 的类型为 float, 其值为 -1.75。假定计算机内部用 IEEE754 单精度浮点数来表示 float 类型, 则变量 x 在一个 32 位的浮点寄存器中的值是什么? (要求用十六进制表示) (4 分)

解: $-1.75 = -1.11_2 = -1.11_2 \times 2^0$

符号 $f=1$, 阶码 $e=127+0=01111111$, 尾数 $m=11000...0$

1 011 1111 1 110 0000 0000 0000 0000

十六进制表示为: **BF E00000**

2. 已知在一个 C 语言程序中定义了两个 int 类型的变量 x, y 和 z, $x=32766$, $y=-20$ 。请按计算机内部定点数运算规则计算: ① $z = x+y=?$, ② $z = x-y=?$ (要求写出计算过程, 并判断结果是否溢出, 结果用十进制表示并验证。) (6 分)

解: 计算机内部总是用补码表示定点整数, int 型的变量为 16 位整数, 所以:

$$x=32766=+111\ 1111\ 1111\ 1110_2 \quad [x]_{\text{补}}=0111\ 1111\ 1111\ 1110$$

$$y=-20=-000\ 0000\ 0001\ 0100_2 \quad [y]_{\text{补}}=1111\ 1111\ 1110\ 1100$$

$$[-y]_{\text{补}}=0000\ 0000\ 0001\ 0100$$

$$\begin{aligned} [x+y]_{\text{补}} &= [x]_{\text{补}} + [y]_{\text{补}} = 0111\ 1111\ 1111\ 1110 + 1111\ 1111\ 1110\ 1100 \\ &= 0111\ 1111\ 1110\ 1010 \end{aligned}$$

所以: $x+y = +32746$ ($32767-1-4-16=32767-21=32746$)

$$\begin{aligned} [x-y]_{\text{补}} &= [x]_{\text{补}} + [-y]_{\text{补}} = 0111\ 1111\ 1111\ 1110 + 0000\ 0000\ 0001\ 0100 \\ &= 1000\ 0000\ 0001\ 0010 \end{aligned}$$

两个正数 (符号为 0) 相加, 结果为负数 (符号为 1), 所以溢出。

验证: $x+y = 32766-20=32746$,

$x-y=32766+20=32786>$ 最大正整数 32767，溢出！

五、分析设计题（共 20 分）

1、假定一台机器具有 24 位地址 $A_{23}-A_0$ ，按其最大寻址能力配置了一个主存储器，主存采用字节编址方式，问：

- (1) 存储器的容量是多少？
 - (2) 如果用 2Mx1 位的存储器芯片构造该存储器，共需多少个芯片？
 - (3) 该存储器需要多少个片选信号？用哪几位地址信号去生成这些片选信号？
- （共 4 分）

解：(1) 存储器的容量为 $2^{24}=16\text{MB}$ 。

(2) 共需 $16\text{MB}/2\text{Mb}=8\times 8=64$ 个芯片。

(3) 该存储器需要 8 个片选信号。用 $A_{23}A_{22}A_{21}$ 三位地址信号去生成这些片选信号。

2、假定在 CPU 和主存之间有一个同步总线相连，其时钟周期为 50ns，单独设有 32 位地址线和 32 位数据线。主存读传输时，首先要花 1 个时钟周期发送地址和读命令，最终从总线取数要花一个时钟周期，存储器的取数时间为 200ns；主存写操作时，先花一个时钟周期送地址、数据和写命令，在随后的两个时钟周期内写入数据。要求分别求出该存储器进行连续读和写操作时的总线带宽。(4 分)

解：(1) 存储器读所花时间： $50\text{ns}+200\text{ns}+50\text{ns}=300\text{ns}$ 所以存储器进行连续读时的总线带宽为： $4\text{B}/300\text{ns}=13.3\text{MB/s}$ 。

(2) 存储器写所花时间： $50\text{ns}+50\text{ns}+50\text{ns}=150\text{ns}$ 所以存储器进行连续写时的总线带宽为： $4\text{B}/150\text{ns}=26.6\text{MB/s}$ 。

3、假设某台机器有 4 级中断，其硬件排队优先次序为 $1>2>3>4$ ，中断处理优先次序为 $3>1>4>2$ ，要求：

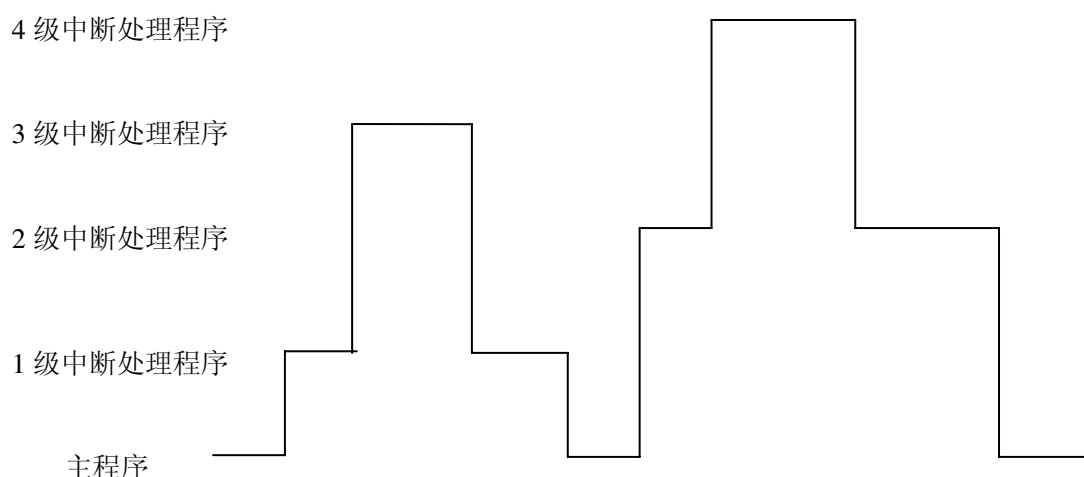
- (1) 给出每级中断的中断屏蔽码（假设“1”表示屏蔽，“0”表示允许）
- (2) 假设在执行主程序时，1、2、3、4 级中断同时有请求，请画出 CPU 执行程序的轨迹。(4 分)

解：(1) 各级中断的中断屏蔽码为：

	1 级中断	2 级中断	3 级中断	4 级中断

1 级中断屏蔽码	1	1	0	1
2 级中断屏蔽码	0	1	0	0
3 级中断屏蔽码	1	1	1	1
4 级中断屏蔽码	0	1	0	1

(2) CPU 执行程序的轨迹为:



- 4、若一台机器 CPU 的时钟频率为 50MHz，硬盘和主存之间以 DAM 方式传输数据。假设硬盘以 32 位的字为单位进行传输，数据传输率为 1MB/s，DMA 的初始化操作需要 1000 个时钟周期，传输完成时中断处理需要 500 个时钟周期，平均传输的数据长度为 4KB(此处 1K=1000)，请问在磁盘连续不断工作的情况下处理器用于磁盘数据传输的时间百分比是多少？（假定不考虑 DMA 申请总线的时间）假定采用中断方式进行控制，每次传输 32 位所用的开销为 100 个时钟周期，则中断方式下，处理器用于磁盘数据传输的时间百分比又是多少？（8 分）

解：DMA 方式：

第一种解法：

硬盘和主存之间以 DAM 方式传输数据时，需经历三个阶段：

1) DMA 控制器初始化并启动阶段，由处理器执行指令完成：

$$1000 \text{ 个时钟} \times 1/50\text{M} = 20\mu\text{s}$$

2) 数据传送，由 DMA 控制器控制完成：一批数据共 4KB，每次 32 位，共需 1000 次。

$$\text{每次所花时间为：}(4\text{B}/1\text{MB})\text{秒} = 4\mu\text{s}$$

所以总共花: $1000 \times 4 = 4000 \mu s$

3) 结束时中断处理, 由处理器执行指令完成: 500 个时钟 $\times 1/50M = 10 \mu s$

所以, 在整个数据传送过程中, 处理器介入 I/O 的时间百分比为: $(20+10)/4000 = 0.75\%$

另一种解法:

每个 DMA 传送将花 $4KB/(1MB/Sec) = 4 \times 10^{-3}$ 秒;

一秒钟有 $1/(4 \times 10^{-3}) = 250$ 次 DMA 传送;

如果硬盘一直在传送数据的话, 处理器必须每秒钟花 $(1000+500) \times 250 = 375 \times 10^3$

个时钟周期来为硬盘 I/O 操作服务;

在硬盘 I/O 操作上处理器花费的时间占: $375 \times 10^3 / 50 \times 10^6 = 7.5 \times 10^{-3} = 0.75\%$ 。

中断方式

第一种解法:

中断方式下, 每次中断完成一次数据的传送, 其开销为: $100/50 \times 10^6 = 2 \mu s$, 磁盘传送一个字 (32 位) 的时间为: 每次所花时间为: $(4B/1MB)$ 秒 $= 4 \mu s$ 。所以处理器用于磁盘数据传输的时间百分比为: $2/4 = 50\%$

另一种解法:

硬盘要求每次中断以 32 位 (=4 字节) 进行传送, 为了保证没有任何数据传输被错过, 传送的速率应达到每秒 $1MB/4B = 250K$ 次中断的速度; 每秒钟用于中断的周期数为 $250K \times 100 = 25 \times 10^6$; 在一次传输中所消耗的处理器时间的百分比为: $25 \times 10^6 / (50 \times 10^6) = 50\%$;

六、简答题 (共 20 分)

1. 冯·诺依曼结构规定计算机内部采用二进制表示信息, 但为什么还要用到十六进制? 在什么情况下用十六进制? (2 分)

答: 通过把二进制转换为十六进制表示, 便于书写和阅读。

2. 指令和数据以什么方式存放在主存? 计算机如何区分它们? (2 分)

答: 以二进制信息存放, 通过指令执行的不同阶段来区分, 取指令阶段取出的是指令, 取数阶段取出的是数据。

3. 简述变址寻址方式及其作用。(2 分)

答: 变址寻址方式指令中给出形式地址, 与变址寄存器中的变址值相加, 得到有效地址。寻址方式主要用于程序循环体中对数组元素的访问

4. 什么叫总线裁决？请至少列出一种集中式裁决方式。（2 分）

答：总线裁决是指两个或以上设备同时要求使用总线时，要有一种方法判断让哪个设备使用总线，这个判断过程称为总线裁决。例如，菊花链和并行判优都是集中式裁决方式。

5. 什么是快表？为什么要引入快表？（2 分）

答：快表是指存放在 **Cache** 中的一些页表项构成的表。将经常使用到的页表项放到 **Cache** 中，可以减少访问内存的次数，加快逻辑地址向物理地址转换的速度。

6. 至少举出两个流水线被破坏的原因。（2 分）

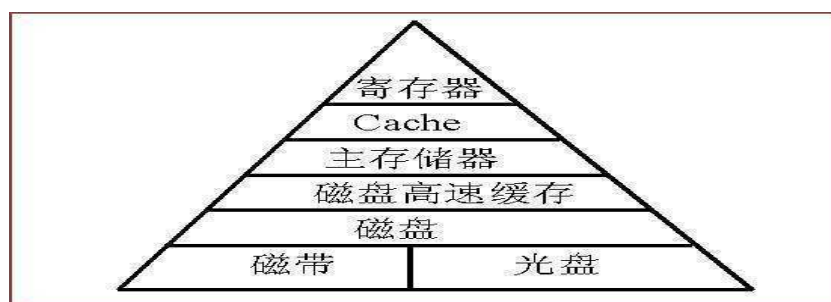
答：在发生中断、数据（地址）相关、条件转移和资源冲突情况下，流水线可能被破坏。

7. 微程序控制的基本思想是什么？（2 分）

答：用软件设计的思想来实现控制器。设计实现控制器时，事先把指令系统中的每条指令所对应的微程序存放在一个只读存储器中，当执行到某条指令时，只要从这个 **ROM** 中读出对应的微程序，对微程序中的每条微指令解释执行，送出所包含的控制信号。

8. 简述计算机系统中的分层存储体系结构。说明这种分层存储体系结构中有哪些类型的存储器，每类存储器的特点，如何构成，为什么要采用这种分层结构。（6 分）

答：计算机中有多种存储器，包括：**CPU** 中的寄存器、处于 **CPU** 和主存之间的 **Cache**、主存、磁盘、光盘和磁带。寄存器由触发器构成，速度快，但价格贵；**Cache** 由 **SRAM** 芯片构成，速度快，但集成度低，价格较贵；主存由 **DRAM** 芯片构成，集成度高，价格较便宜，但速度比 **Cache** 低；磁盘的容量大，价格便宜，速度比主存低，适合于作辅助存储器；磁带和光盘携带方便，价格最低，容量很大，一般用作数据备份。分层存储体系结构如下图所示。这样构造存储器系统，使得面向 **CPU** 的是一个速度很快、容量很大和价格较便宜的存储器。



考试科目名称 计算机组织与结构 (A 卷)

2006——2007 学年第 2 学期 教师 袁春风/窦万春 考试方式：闭卷
系（专业） 计算机科学与技术 年级 2005 班级 _____
学号 _____ 姓名 _____ 成绩 _____

题号	一	二	三	四	五	六
分数						

得分

一、填空题（本大题共 11 小题，每空 1 分，共 20 分）

- 冯诺依曼结构计算机由 存储器、运算器、控制器 和输入/输出部件组成。它采用 程序存储 工作方式，即：计算机把事先编好的程序装入内存，然后按照指令的顺序自动地取出执行，不需要人的干预。
- 几十年来，计算机发展遵循一个重要定律，该定律的主要含义是：每 18 个月，集成度将翻一番，速度将提高一倍，而其价格将降低一半。它就是 摩尔 定律。
- 假设 $x = -258$ ，16 位寄存器 R1 中存放的是 x 的补码，则 R1 中的内容用十六进制表示为 FEFEH，算术左移一位后的内容为 FDFC H，算术右移一位后的内容为 FF7F H，符号扩展为 32 位后的内容为 FFFF FEFE H。
- 为节省引脚数，DRAM 芯片大都采用地址线复用技术。假定一个 DRAM 芯片的地址引脚线为 8 根，则该芯片的存储阵列中有 65536 (或 64K 或 2^{16}) 个位单元。
- 可以采用两种不同的写策略来解决 Cache 的一致性问题的，即 写直达法 (Write Through) 和 写回法 (Write Back)。
- 栈(Stack)是内存中一块特殊的存储区，采用 后进先出 的方式进行存取。主要用来保存调用程序的返回地址或被中断程序的断点和现场等信息，从而可以实现嵌套调用。
- 一台计算机的实际主存容量只有 128MB，但在该计算机中运行的很多程序都大于 128MB，这是因为该机采用了 虚拟存储（器） 技术。
- 信息从 CPU 被写入 I/O 端口的操作称为 I/O 写 操作，从存储器中取出信息到 CPU 的操作称为 存储器读 操作。

9. 假定一个计算机系统的虚存大小为 4GB, 按字节编址, 则逻辑地址空间的范围为:
- A. 0~FFFF FFFF H B. 0~FFF FFFF H
C. 0~3FFF FFFF H D. 0~3FF FFFF H
10. 假定一个磁盘的转速为 7200RPM, 则该磁盘的平均旋转等待时间是多少?
- A. 4.2ms B. 8.3ms C. 4.2ns D. 8.3ns
11. 以下哪个特性有助于高速缓存 Cache 有效发挥其预期的作用?
- A. 不含有过多 I/O 操作 B. 程序大小不超过实际内存容量
C. 较好的访问局部性 D. 指令间相关不多
12. DRAM 的刷新是以什么为单位进行的?
- A. 存储单元 B. 行 C. 块 D. 字节
13. 对高级语言源程序中定义的数组元素 (即: 下标变量) 进行访问时, 指令中一般采用什么寻址方式进行?
- A. 相对寻址 B. 直接寻址 C. 基址寻址 D. 变址寻址
14. 假定一条指令规定其一个操作数的寻址方式是寄存器间接寻址, 则 CPU 应该到哪里去取该操作数?
- A. 主存单元 B. 堆栈 C. 寄存器 D. 累加器
15. 以下哪个特点不是 RISC 所具有的?
- A. 只有 Load/Store 指令才能访存, 运算指令不能访存
B. 指令格式规整, 指令条数少
C. 采用微程序设计控制器
D. 通用寄存器数量多
16. 以下给出的执行顺序中, 哪一个是正确的指令执行顺序?
- A. 取指令并 PC 增量→指令译码→取操作数→计算→写结果→中断查询
B. 取指令并 PC 增量→中断查询→指令译码→取操作数→计算→写结果
C. 取指令并 PC 增量→指令译码→取操作数→中断查询→计算→写结果
D. 取指令并 PC 增量→取操作数→计算→写结果→指令译码→中断查询
17. 一个同步总线的时钟频率为 66MHz, 总线宽度为 32 位, 则该总线的最大数据传输率为多少?
- A. 132MB/s B. 264MB/s C. 528MB/s D. 2.112GB/s
18. 总线带宽与许多因素有关。在以下给出的因素中, 哪些与总线带宽无关?
- A. 总线时钟频率 B. 总线宽度

- 得分

得分

参考答案:

$$x=(245)_{10}=(+000\ 0000\ 1111\ 0101)_2 \quad [x]_{\text{补}}=0000\ 0000\ 1111\ 0101$$

$$y=(-78)_{10}=(-000\ 0000\ 0100\ 1110)_2 \quad [y]_{\text{补}}=1111\ 1111\ 1011\ 0010$$

$$[-y]_{\text{补}}=0000\ 0000\ 0100\ 1110$$

$$[x+y]_{\text{补}}=[x]_{\text{补}}+[y]_{\text{补}}=0000\ 0000\ 1111\ 0101 + 1111\ 1111\ 1011\ 0010 = 0000\ 0000\ 1010\ 0111$$

两个异号数相加，肯定不会溢出。

$$\text{所以: } x+y = (+10100111)_2 = 167 = 245 + (-78)$$

$$[x-y]_{\text{补}}=[x]_{\text{补}}+[y]_{\text{补}}=0000\ 0000\ 1111\ 0101 + 0000\ 0000\ 0100\ 1110 = 0000\ 0001\ 0100\ 0011$$

两个同号数相加，结果的符号同加数符号，所以没有溢出。

$$\text{所以: } x+y = (+101000011)_2 = 323 = 245 - (-78)$$

2. 以 IEEE754 短浮点数格式表示下列十进制数。(要求结果用十六进制表示) (4 分)

a) -34.625

b) 40.375

参考答案:

$$-34.625 = -100010.101_2 = -1.00010101_2 \times 2^5 = (-1)^s \times 1.f \times 2^{e-127}$$

$$s=1, f=(0.00010101)_2, e=(127+5)_{10}=(132)_{10}=(1000\ 0100)_2$$

IEEE754 单精度浮点数表示为: 1 1000 0100 0001 0101...0000 000

按 4 位一组进行组合: 1100 0010 0000 1010 1000 0000

转换成十六进制表示为: C20A8000H

$$40.375 = 101000.011_2 = 1.01000011_2 \times 2^5 = (-1)^s \times 1.f \times 2^{e-127}$$

$$s=0, f=(0.01000011)_2, e=(127+5)_{10}=(132)_{10}=(1000\ 0100)_2$$

IEEE754 单精度浮点数表示为: 0 1000 0100 0100 0011...0000 000

按 4 位一组进行组合: 0100 0010 0010 0001 1000 0000

转换成十六进制表示为: 42218000H

得分	
----	--

五、分析设计题 (共 20 分)

1. 假定变量 i 是一个 32 位的 int 型整数, f 和 d 分别为 float 型 (32 位) 和 double 型 (64 位) 实数。x、y、z 是 float 型 (32 位) 或 double 型 (32 位) 实数。分析下列各布尔表达式, 说明结果是否在任何情况下都是“true”? (4 分)

1) $i == (\text{int}) ((\text{double}) i)$

2) $f == (\text{float}) ((\text{int}) f)$

3) $f == (\text{float}) ((\text{double}) f)$

4) $d == (\text{double}) ((\text{float}) d)$

参考答案:

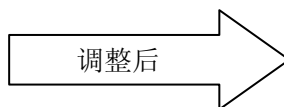
- 1) 是。因为 **double** 型比 **int** 型精度高，所以 **int** 型变量转换为 **double** 时不会有精度损失。
- 2) 不是。因为 **float** 型有小数部分，而 **int** 型没有小数部分，所以把 **float** 型变量转换为 **int** 型时，可能会丢失小数部分。
- 3) 是。因为 **double** 型比 **float** 型精度高，所以 **float** 型变量转换为 **double** 时不会有精度损失。
- 4) 不是。因为 **float** 型比 **double** 型有效位数少，所以 **double** 型变量转换为 **float** 时会有精度损失。

2. 下面是某个程序中的一段代码。

```

Load  1#, A
Load  2#, B
Add    3#, 1#, 2#
Store  C, 3#
Load  4#, E
Load  5#, F
Sub    6#, 4#, 5#
Store  D, 6#
Add    7#, 3#, 6#
Store  H, 7#

```



这段代码实现的是以下三条语句的功能:

```

C=A+B
D=E-F
H=C+D

```

为了提高指令流水线的执行效率，应尽量减少指令间数据相关性。在保证程序功能不变的前提下，如何调整上述指令顺序以减少指令相关？写出顺序调整后的指令代码段。（4 分）

参考答案:

```

Load  1#, A
Load  2#, B
Load  4#, E
Load  5#, F

```

Add 3#, 1#, 2#
Sub 6#, 4#, 5#
Store C, 3#
Add 7#, 3#, 6#
Store D, 6#
Store H, 7#

3. 假定执行一段程序过程中，在 Cache 中访问到的次数为 5000 次，在主存中访问到的次数为 200 次。设 Cache 存取周期为 5ns，主存存取周期为 100ns，则 Cache 命中率 H 和平均访问时间 T_a 各为多少？（4 分）

参考答案：

$$\text{命中率 } H = N_c / (N_c + N_m) = 5000 / (5000 + 200) = 5000 / 5200 = 96\%$$

$$\text{平均访问时间 } T_a = 5 \times 0.96 + 100 \times 0.04 = 8.8 \text{ ns}$$

4. 假定在 CPU 和主存之间有一个同步总线相连，其时钟周期为 50ns，单独设有 32 位地址线和 32 位数据线。主存读传输时，首先要花 1 个时钟周期发送地址和读命令，最终从总线取数要花一个时钟周期，存储器的取数时间为 230ns；主存写操作时，先花一个时钟周期送地址、数据和写命令，在随后的两个时钟周期内写入数据。要求分别求出该存储器进行连续读和写操作时的总线带宽。（4 分）

参考答案：

取数时间是 230ns，一个时钟周期是 50ns，所以取数后送到总线上的时间应该是 250ns，是时钟周期的整数倍。

$$\text{连续读: } 4B / (50 + 50 + 250) \times 10^9 = 11.4MB/s$$

$$\text{连续写: } 4B / (50 + 100) \times 10^9 = 26.7MB/s$$

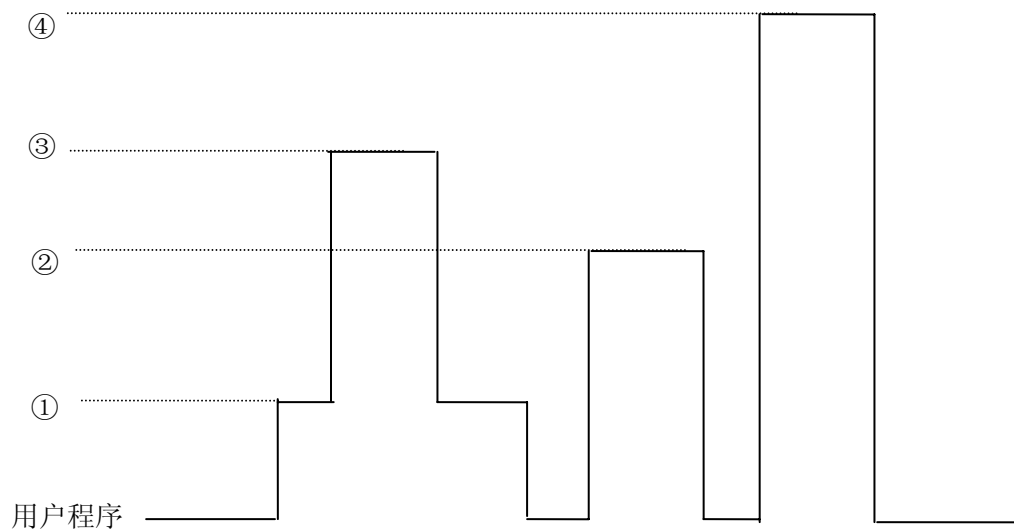
5. 假设某台机器有 4 级中断，其硬件排队优先次序为 1>2>3>4，中断处理优先次序为 3>1>2>4，要求：（4 分）
- （1）给出每级中断的中断屏蔽码（假设“1”表示屏蔽，“0”表示允许）
 - （2）假设在执行主程序时，1、2、3、4 级中断同时有请求，请画出 CPU 执行程序的轨迹。

参考答案：

各级中断的中断屏蔽码为：

	第 1 级	第 2 级	第 3 级	第 4 级
第 1 级	1	0	1	0
第 2 级	1	1	1	0
第 3 级	1	1	1	1
第 4 级	0	0	0	1

CPU 执行程序的轨迹:



得分

六、简答题（共 20 分）

1. 什么叫同步总线？什么叫异步总线？（2 分）

参考答案：同步总线有一个公共的时钟信号，总线事务过程中的所有操作都由时钟信号定时；异步总线没有公共的时钟信号，设备间的通信过程都由握手信号进行定时，采用异步应答方式进行。

2. 为什么高速缓存能提高 CPU 访问主存的速度？（3 分）

参考答案：

由于程序中代码和数据的访问具有局部化特点，在一个很短的时间内，程序访问的信息大多在某个局部空间内。把这个局部空间的信息事先存放到速度很快的高速缓存（**Cache**）中，每次访问时先到 **Cache** 中访问，因为程序访问的局部化特点，所以在 **Cache** 中找到的概率很大，也就是命中率会很高，所以，**CPU** 访问要求访问信息时，绝大多数情况下，不需要访问主存，而只要访问快速的 **Cache** 就行了。

3. 什么是页表？什么是快表？为什么要引入快表？（3 分）

参考答案：

页表是指分页虚拟存储器中反映每个用户程序页面是否装入内存、在内存哪个页框、存取权限如何、是否被修改过等信息的一个映射表。每个虚拟页对应一个表项。

快表是那些经常被访问的页表项组成的放置到高速缓存的一个页表。引入快表，主要是为了减少到主存去访问页表的次数，加快访问页表的过程。

4. 磁盘上和光盘上的“0”和“1”分别是如何表示的？（2 分）

参考答案：

磁盘上的“0”和“1”是磁头上的线圈通以不同方向的电流后在运动的磁介质表面形成的不同磁化状态来表示的；而光盘上的“0”和“1”是由于光盘表面的凹凸性而形成的不同反射特性来表示的。平坦部分和有凹凸变化的部分，其反射特性不同。

5. 什么叫指令周期？什么叫微程序？（2 分）

参考答案：

指令周期是指取并执行一条指令所花的时间。包括：取指令、指令译码、取操作数、运算、送结果。

微程序是指一条机器指令对应的微指令序列。

6. CPU 的功能是什么？指令译码器的功能是什么？什么叫 CPU 的主频？（4 分）

参考答案：

CPU 的功能是执行指令、检测并响应中断。

指令译码器的功能就是对指令操作码进行译码，给出当前指令的执行过程中所有到的操作控制信号。

CPU 的主频是控制每条指令执行时所用的同步时钟的频率。

7. 外设的 I/O 过程可以采用中断控制和 DMA 控制等不同的方式进行。试从多个方面对中断和 DMA 两种控制方式进行比较。（4 分）

参考答案：

中断方式和 **DMA** 方式的不同反映在以下几个方面：

- 1) 数据传送的执行者不同：中断是由 **CPU** 执行 I/O 指令来完成传送的；而 **DMA** 是由 **DMA** 控制器实现数据传送的；
- 2) 请求的对象不同：中断请求 **CPU** 的时间，而 **DMA** 请求的是总线控制权；
- 3) 适用的设备不同：中断适用于一般的快速设备，而 **DAM** 适用于磁盘之类的高速设备；
- 4) 外设和 **CPU** 的并行度不同：中断方式下，主机利用率低，外设和 **CPU** 的并行度低，**DMA** 方式下，主机利用率高，和外设并行度高；

考试科目名称 计算机组织与系统结构 (A-1 卷)

2007—2008 学年第 2 学期 教师 袁春风/窦万春 考试方式: 闭卷
 系(专业) 计算机科学与技术 年级 2006 班级 _____
 学号 _____ 姓名 _____ 成绩 _____

题号	一	二	三	四	五	六
分数						

得分	
----	--

一、填空题 (本大题共 15 小题, 每空 1 分, 共 20 分)

1. 二进制指令代码的符号化表示被称为 汇编 语言源程序。必须通过相应的翻译程序把它转换为机器语言程序才能被计算机执行。
2. 通常用一个寄存器来存放当前执行指令的地址, MIPS 结构中将该寄存器简写为 PC。由于历史的原因, PC 寄存器通常被称为 程序计数器 (或 Program Counter)。
3. 在 MIPS 中, 分支指令的转移目标地址是由分支指令的下条指令地址加上一个位移量决定的。通常把这种方式称为 (PC)相对 寻址方式。
4. 假定寄存器 \$s1 中存放二进制信息为 0000 0000 0000 0000 0000 0000 1101 1000, 则在屏幕上用 16 进制显示为 0x 0000 00D8。若该信息是一个无符号整数, 则表示的值为 216。
5. 过程调用时, 涉及到调用过程和被调用过程之间的数据交换和程序切换, 所以要有相应的存储空间来存放调用参数、返回数据和返回地址等信息。这种用于过程调用的存储空间被称为 堆栈 Stack (或栈帧 Stack Frame)。
6. 衡量 CPU 性能好坏的一个重要指标是 CPU 执行时间。它与程序包含的指令条数和每条指令的平均时钟数以及时钟周期有关。通常用英文缩写 CPI 来表示每条指令的平均时钟数。有时也用基准程序来测试处理器的性能, “基准程序”对应的英文单词是 Benchmark。
7. 进行基本加/减等算术运算和与/或/非等逻辑运算的部件被称为算术逻辑部件。用英文缩写表示为 ALU。
8. 由于 Cache 数据是主存数据的副本, 所以 Cache 和主存之间存在一致性问题, 可以采用两种不同的写策略来解决。这两种写策略是 Write Back(或写回法/一次性写) 和 Write Through(或写通过法)。
9. 在流水线中, 如果多条指令同时需要用到同一个功能部件, 就发生了流水线冒险, 会引起流水线的阻塞。通常把这种流水线冒险称为 结构 (或资源冲突) 冒险。

7. 假定某数采用 IEEE754 单精度浮点数格式表示为 45100000H, 则该数的值是 (B)。
A. $(+1.125)_{10} \times 2^{10}$ B. $(+1.125)_{10} \times 2^{11}$
C. $(+0.125)_{10} \times 2^{11}$ D. $(+0.125)_{10} \times 2^{10}$
8. 若某个基准测试程序在机器 A 上运行时需要 200ms, 而在机器 B 上的运行时间是 0.16s, 则如下给出的结论中哪个是正确的? (B)
A. 所有程序在机器 A 上都比在机器 B 上运行速度慢
B. 机器 B 的速度大约是机器 A 的 1.25 倍
C. 机器 A 的速度大约是机器 B 的 1.25 倍
D. 机器 A 比机器 B 大约慢 1.25 倍
9. 以下有关计算机运算速度衡量指标的描述中, 错误的是 (B)。
A. 计算机的主频与 CPU 速度有关
B. MIPS 数大的机器一定比 MIPS 小的机器快
C. IPC 是指每个时钟周期内平均执行的指令条数
D. 一个用户程序执行过程中可能会插入运行其他程序, 所以通常观测到的用户程序执行时间不是其真正的 CPU 执行时间
10. 假定某程序在计算机 A 上运行需要 10 秒钟, 计算机 A 的时钟频率为 1GHz。现在硬件设计人员想设计计算机 B, 希望该程序在 B 上的运行时间缩短为 8 秒钟, 而使用新技术可以使时钟频率大幅度提高, 但在 B 上运行该程序所需的时钟周期数为 A 上的 1.5 倍。那么, 机器 B 的时钟频率至少应为多少, 才能达到希望的要求? (C)
A. 533MHz B. 1.2GHz C. 1.25GHz D. 1.875GHz
11. 下面有关 CPU 时钟的叙述中, 错误的是 (B)。
A. 边沿触发定时是指状态单元总是在时钟的上升沿或下降沿进行状态的改变
B. 处理器总是每来一个时钟就开始执行一条新的指令
C. 时钟周期以相邻状态单元之间最长组合逻辑延迟为基准设计
D. 主频是指 CPU 时钟周期的倒数
12. 假定采用单周期数据通路处理器有以下几类 MIPS 指令: R 型运算指令、I 型运算指令、分支指令 Beq、J 型跳转指令。若数据通路中多路复用器、控制单元、PC、扩展单元和传输线路都不考虑延迟, 其它各主要功能单元的操作时间如下: 指令存储器和数据存储器: 3ns; ALU 和加法器: 2ns; 寄存器堆: 1ns。则该 CPU 时钟周期为 (A)。
A. 7ns B. 10ns C. 9ns D. 6ns
13. 程序控制类指令可改变程序执行顺序。以下是有关分支冒险和分支预测的叙述:
① 程序控制类指令可能由于控制(分支)冒险而产生阻塞
② 采用简单(静态)预测时, 每次的预测结果总是一样
③ 根据分支指令历史记录进行动态预测可达 90% 的预测成功率

④ 预测错误时必须把已取到流水线中的错取指令从流水线中排出

以上叙述中，正确的有（ D ）。

- A. 仅①和②和④ B. 仅①和②和③ C. 仅①和③和④ D. 全部

14. 下面是一段指令序列：

```
lui    $t1, 20
lw     $t3, 15($t2)
addu   $t1, $t1, $t2
```

以上指令序列中，第三条指令发生数据相关。假定采用“取指、译码/取数、执行、访存、写回”这种五段流水线方式。假定不采用“转发”，那么，为了使这段程序的执行不被阻塞，需要在第三条指令前加入几条 `nop` 指令？（ B ）

- A. 1 B. 2 C. 3 D. 4

15. 对于与上题（14 题）同样的情况，假定采用“转发”，那么，为了使这段程序的执行不被阻塞，需要在第三条指令前加入几条 `nop` 指令？（ A ）

- A. 0 B. 1 C. 2 D. 3

16. 以下各类存储器中，哪种是易失性存储器？（ B ）

- A. Flash B. Cache C. RAID D. CD-ROM

17. 假定主存地址位数为 32 位，按字节编址，主存和 Cache 之间采用直接映射方式，每个主存块的大小为 4 个字，每字 32 位，Cache 的数据区大小为 512KB，则标志应该有几位？（ B ）

- A. 12 B. 13 C. 14 D. 15

18. 假定 Cache 采用 2-way 组相联映射方式，共有 16 个槽（第 0 槽到第 15 槽），每个主存块为 32 字节，主存按字节编址。请问主存第 1022 号单元所在的主存块可以放到以下哪个槽中？（ D ）

- A. 1 B. 6 C. 9 D. 15

19. 假定有一个计算机系统，其 DRAM 存储器的访问时间为：发送地址 1 个时钟，每次访问的初始化需要 16 个时钟，每发送 1 个数据字需要 1 个时钟。若主存块为 4 个字，DRAM 的存取宽度为 1 个字。问该系统中 Cache 的一次失靶损失至少为多少时钟？（ D ）

- A. 18 B. 21 C. 34 D. 69

20. 以下（ A ）情况出现时，CPU 会自动查询有无中断请求，进而可能进入中断响应周期。

- A. 一条指令执行结束 B. 一次 I/O 操作结束
C. 机器内部发生故障 D. 一次 DMA 操作结束

得分	
----	--

三、判断下列叙述是否正确。（20 分）

- 随着流水段个数的增加，流水段之间缓冲开销的比例增大。（√）
- 每个流水段之间的流水段寄存器的位数一定相同。（X）
- 利用旁路技术可以解决所有数据冒险。（X）
- 超标量技术是指采用更多流水段个数的流水线技术。（X）

5. 动态流水线中一定有多个不同的指令执行单元。(√)
6. 在计算机中引入 Cache 后, CPU 所能访问的地址空间变大了。(X)
7. 在引入了 Cache 的系统中, store 指令的处理比 load 指令的处理更复杂。(√)
8. CPU 在执行一条 load/store 指令过程中至少要访问主存一次。(X)
9. ROM 和 RAM 共同组成主存, 它们的访问方式一样, 都是随机存取存储器。(√)
10. 不可能出现“Cache 命中但缺页”和“TLB 命中但缺页”的情况。(√)
11. “Cache 缺失”和“页面缺失”都是由软件来处理的。(X)
12. RAID3 采用小条区方式, 因而适用于视频点播之类的吞吐量高的多媒体应用系统。(√)
13. 同步总线采用应答(握手)信号控制信息的传送。(X)
14. 一个 I/O 控制器中只能有一个 I/O 地址。(X)
15. 程序查询 I/O 方式和程序中断 I/O 方式下, 外设数据直接和 CPU 中寄存器交换。(√)
16. 程序中断 I/O 方式下, 外设只要申请中断就可以马上得到响应。(X)
17. 磁盘的柱面号就是磁道号。(√)
18. I/O 控制器主机侧传输的数据宽度与设备侧传输的数据宽度总是一样。(X)
19. 在 I/O 独立编址方式下, CPU 可以通过执行 I/O 指令来访问 DMA 控制器。(√)
20. DMA 方式用于键盘和鼠标器的数据输入。(X)

得分

四、分析设计题(共 30 分)

1. 以下是用 C 语言写的一个传统的 While 语句: `while (save[i] == k) i += 1;`

假设 i 和 k 对应于寄存器 \$s3 和 \$s5, 数组 save 的基址存放在 \$s6 中, 对应的 MIPS 汇编代码为:

```

Loop: sll    $t1, $s3, 2    # Temp reg $t1 = 4 * i
      add    $t1, $t1, $s6  # $t1 = address of save[i]
      lw     $t0, 0($t1)    # Temp reg $t0 = save[i]
      bne    $t0, $s5, Exit # go to Exit if save[i] ≠ k
      addi   $s3, $s3, 1    # i = i + 1
      j      Loop          # go to Loop
Exit:

```

假定 loop 的开始位置在内存 80000 处, 则上述循环的 MIPS 机器码为:

80000	0	0	19	9	4	0
80004	0	9	22	9	0	32
80008	35	9	8	0		
80012	5	8	21	2		
80016	8	19	19	1		
80020	2	20000				
80024						

根据上述给出的叙述, 回答下列问题。

- (1) 上述给出的 MIPS 机器码中有一处错误, 你能找出来吗? (1 分)

答: 第一条指令中的倒数第二个字段的值应该是 2, 而不是 4, 表示左移的位数。

- (2) MIPS 内存空间的编址单位是多少? (1 分)

答: 字节。从上图可看出, 每条指令 32 位, 占 4 个地址, 所以一个地址中有 8 位。

(3) 解释为什么指令“sll \$t1, \$s3, 2”能实现 $4 \times i$ 的功能。(1 分)

答：因为这是左移指令，左移 2 位，相当于乘 $2^2=4$ 。

(4) 该循环中哪些是 R-型指令？哪些是 I-型指令？(1 分)

答：从上图可看出，第 1-2 条为 R-型，第 3-5 条为 I-型。

(5) \$t0 和 \$s6 的编号各为多少？(1 分)

答：从第 3 和 4 条指令，可看出 \$t0 的编号为 8，第 2 条指令看出 \$s6 的编号为 22。

(6) Exit 的值是多少？要求说明其含义和计算过程。(2 分)

答：Exit 的值是 80024，其含义是循环结束时跳出循环后执行的首条指令的地址，由当前条件转移指令（分支指令）的地址 80012，加上 4 得到下条指令的地址，然后再加上相对位移量 2×4 得到。
 $80012+4+2 \times 4=80024$ 。（如果答 Exit 为 2 也算对，此时其含义就是转移到的目标指令相对于当前条件转移指令的指令条数，所以计算时，需要将指令条数转换为地址位移量，所以要乘以 4。）

(7) 指令“j 20000”的操作码是什么（用二进位表示）？(1 分)

答：其操作码为“000010”。

(8) MIPS 中分支指令和跳转指令的跳转范围分别是什么？(2 分)

答：因为分支指令（条件转移指令）的相对位移量的范围为： -2^{15} 到 $+(2^{15}-1)$ ，但这是相对于分支指令的下条指令而言的，所以，相对于当前分支指令而言，转移范围为： $-(2^{15}-1)$ 到 $+2^{15}$ 条指令。
即：往前跳，最多跳到第 32767 条指令（相当于 $32767 \times 4=131068$ 个单元），往后跳，最多跳到第 32768 条指令（相当于 $32768 \times 4=131072$ 个单元）。

因为无条件跳转指令的目标地址范围为：0 到 $2^{26}-1$ （相对于下条指令），所以，相对于本条指令而言，其转移范围为：1 到 2^{26} 条指令。即：相对于当前跳指令而言，最近就跳到下条指令，最远跳到后面的第 2^{26} 条指令。

(9) 数组 save 的每个元素占几个字节？(1 分)

答：因为每次循环取数，其下标地址都要乘以 4，所以是 4 个字节。

2. 假定单周期、多周期和流水线处理器分别如图 1、图 2 和图 3 所示，各主要功能单元的操作时间为：存储单元 200ps；ALU 和加法器：100ps；寄存器堆（读或写）：50ps。

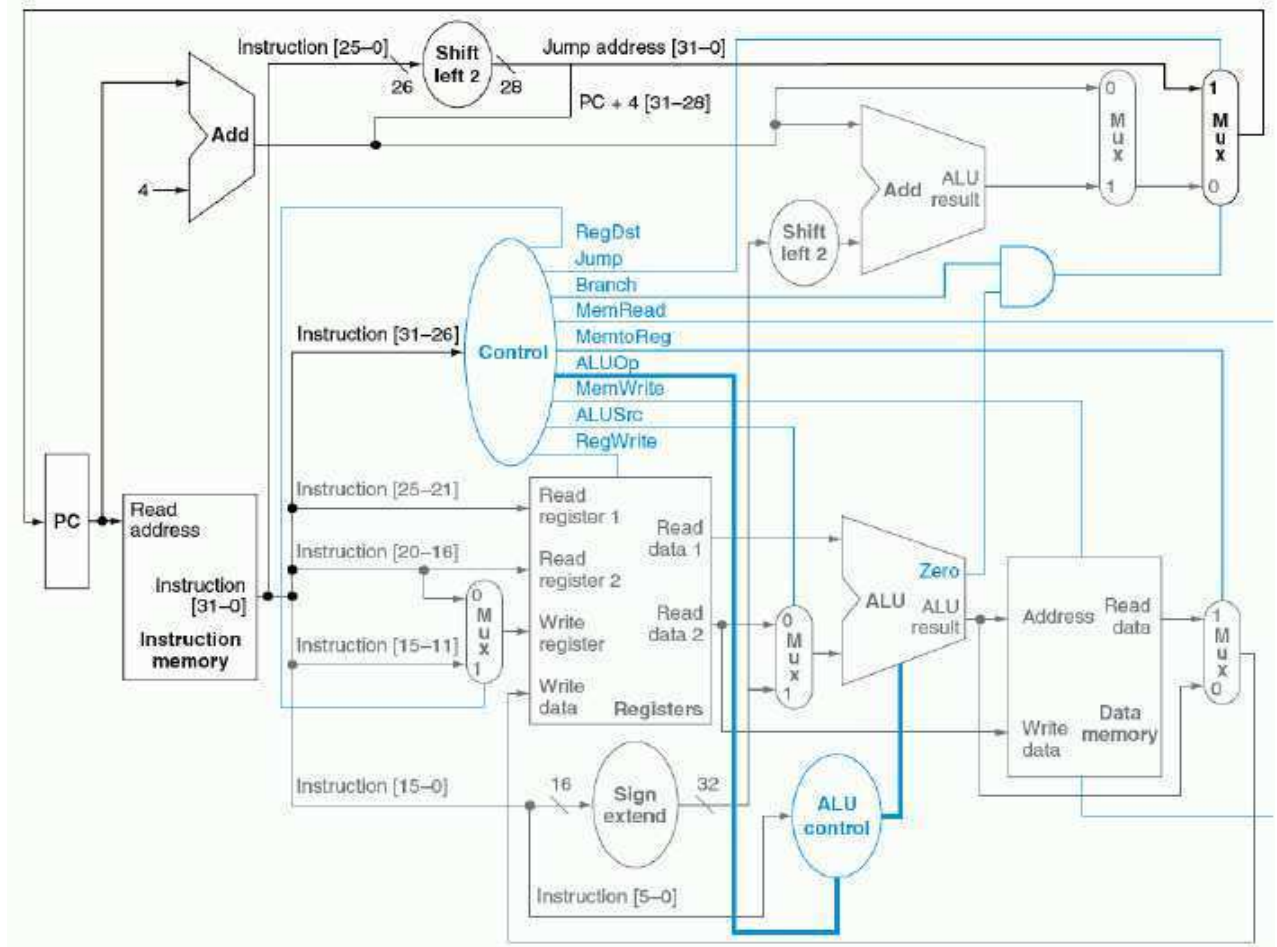
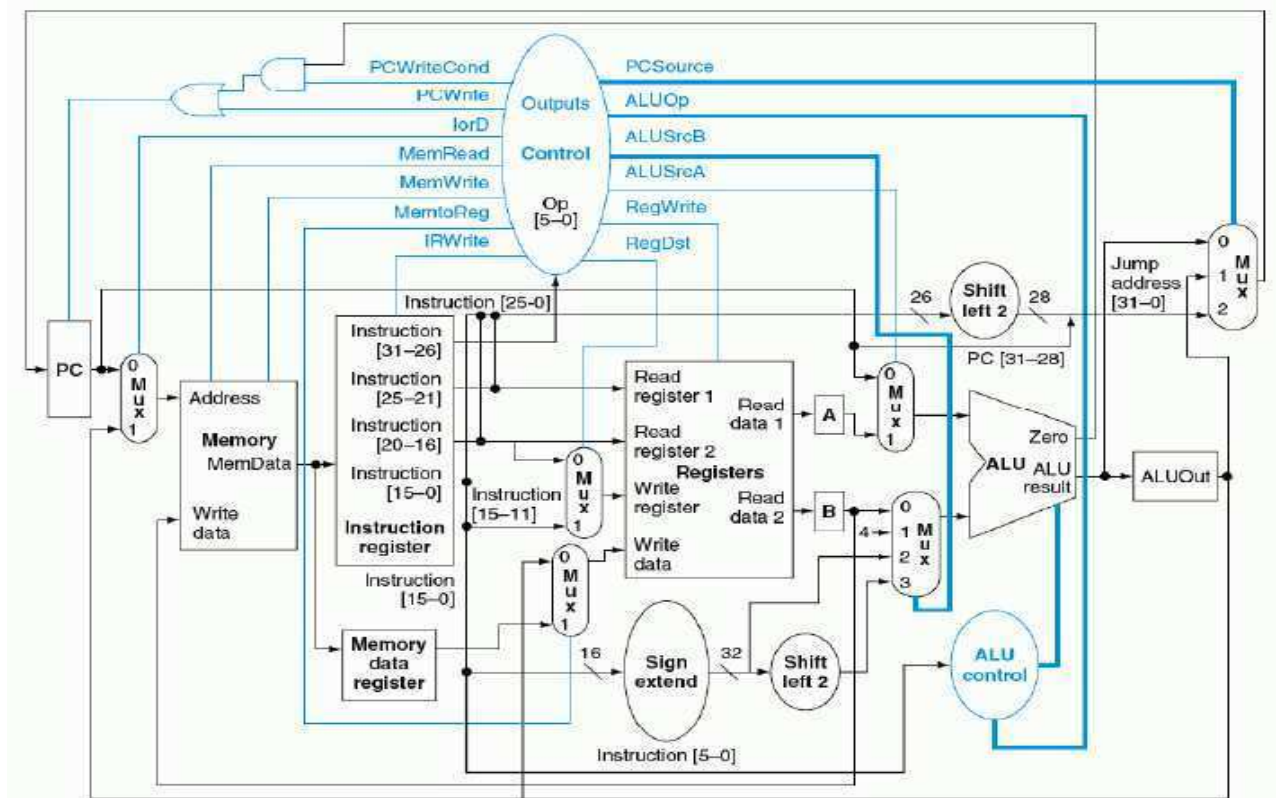


图 1 单周期数据通路和控制器



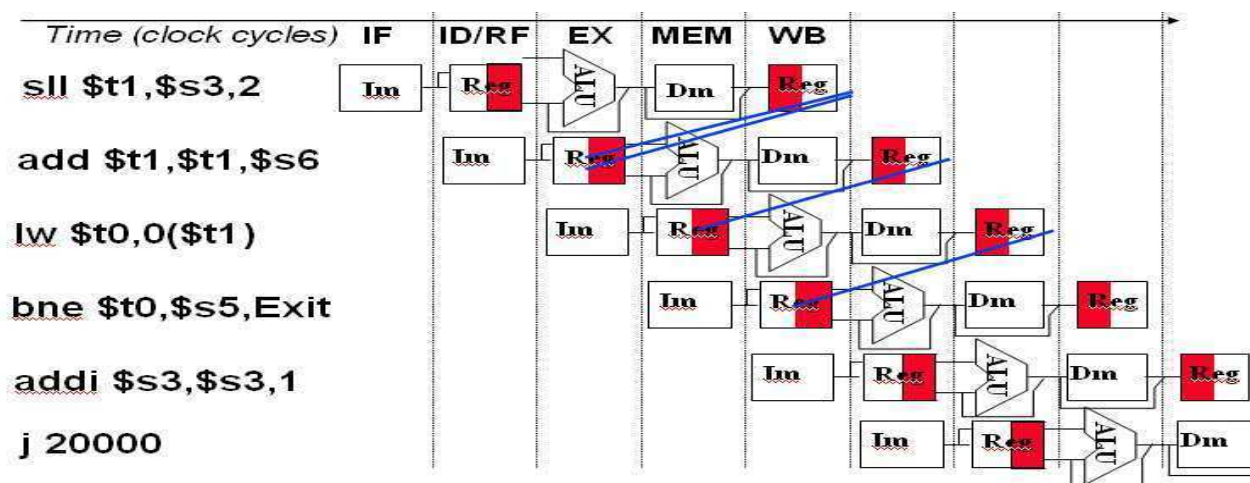
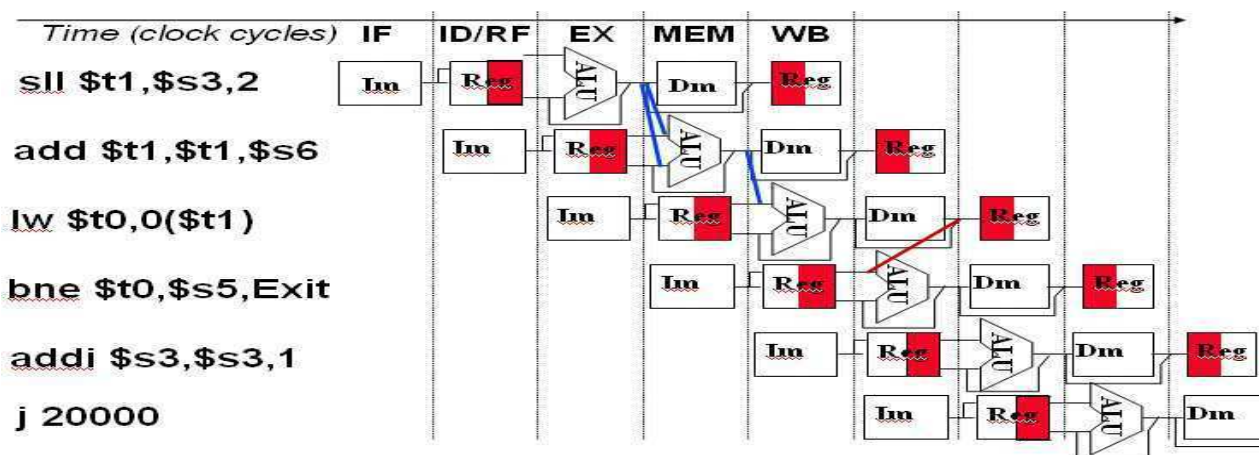


图 4 简化流水线图

(4) 假定采用“数据转发”和“静态预测”(每次预测为不转移, 条件检测在 ID/RF 阶段) 技术, 则在流水线处理器上执行 8 次循环所花的时间为多少? (要求说明原因) (4 分)

参考答案: 上图中的数据冒险, 除了 **load-use** 数据冒险 (红线表示) 外, 其他都可以通过转发实现; 对于 **bne** 控制冒险, 只有最后 1 次预测错误, 所以前 7 次没有阻塞; 对于 **J** 指令, 每次都有一个阻塞。因此, 前 7 次循环有 2 次阻塞, 总共要有 $7 \times (6+2) = 56$ 个时钟周期, 最后 1 次循环为 6 个时钟。总共时间为: $(56+6) \times 200\text{ps} = 12400\text{ps}$



3. 某计算机系统中, 假设处理器按 500MHz 的速度执行指令, 硬盘以 64 位为单位进行传送, 速率为 4MB/Sec, 要求没有任何数据传输被错过。(1) 若用程序中断 I/O 方式, 每次传送的开销 (包括用于中断响应和处理的时间) 是 500 个时钟周期。那么处理器用在硬盘 I/O 操作上所花的时间百分比为多少? (2) 若用 DMA 方式, 处理器花 500 个时钟进行 DMA 传送的初始化设置, 并且在 DMA 完成后的中断处理需要 500 个时钟。如果从硬盘发出的平均传输量为 4KB (即每次 DMA 传送 4KB 的数据块), 那么处理器用在硬盘 I/O 操作上的时间百分比又为多少? (8 分)

参考答案: (1) 中断传送: 硬盘要求每次中断以 64 位进行传送, 为了保证没有任何数据传输被错过, 传送的速率应达到每秒 $4\text{MB}/8\text{B} = 500\text{K}$ 次中断的速度;

每秒钟用于中断的周期数为 $500K \times 500 = 250 \times 10^6$;

在一次传输中所消耗的处理器时间的百分比为: $250 \times 10^6 / (500 \times 10^6) = 50\%$;

(2) DMA 传送: 每个 DMA 传送将花 $4KB / (4MB/Sec) = 1 \times 10^{-3}$ 秒;

一秒钟有 $1 / (1 \times 10^{-3}) = 1000$ 次 DMA 传送;

如果硬盘一直在传送数据的话, 处理器必须每秒钟花 $(500 + 500) \times 1000 = 10^6$ 个时钟周期来为硬盘 I/O 操作服务; 在硬盘 I/O 操作上处理器花费的时间占:

$$10^6 / 500 \times 10^6 = 1.5 \times 10^{-3} = 0.2\%$$

得分	
----	--

五、简答题 (共 10 分)

1. C 语言中分别与 IEEE754 单精度和双精度表示对应的数据类型是什么? (2 分)

答: 分别为 **float** 和 **double** 型。

2. 简述虚拟地址到物理地址的转换过程。(3 分)

答: 虚拟地址中分虚页号和页内地址, 首先根据虚页号找到对应的页表项, 若其中的有效位为 **1**, 则说明对应页面在主存页框中, 此时, 取出页框号, 然后和虚拟地址中的页内地址拼接起来构成物理地址; 若有效位为 **0**, 则说明“缺页”, 此时, 调出“缺页”异常处理程序进行处理。

3. 为什么高速缓存 Cache 能提高 CPU 访问主存的速度? (3 分)

答: **Cache** 是高速小容量的存储器, 介于 **CPU** 和主存之间。在程序执行过程中, 总是把当前访问的内存单元所在的一个局部主存块调到 **Cache** 中。由于程序访问的局部性特点, 在不久的将来会经常访问这个局部主存块, 因此, 就不需要再到主存去访问, 而只要访问高速的 **Cache** 即可, 因而, 能提高访问速度。

4. 简述控制器的功能。(2 分)

答: 控制器通过对指令进行译码, 得到每条指令执行所需要的控制信号来控制指令的执行。

考试科目名称 计算机组织与系统结构 (A 卷)

2008—2009 学年第 2 学期 教师 袁春风/窦万春 考试方式: 闭卷
系(专业) 计算机科学与技术 年级 2007 班级
学号 姓名 成绩

题号	一	二	三	四	五	六
分数						

得分	
----	--

一、填空题 (本大题共 10 小题, 每空 1 分, 共 20 分)

- 在计算机系统层次结构中, 指令集体系结构 (或 ISA, 或指令系统) 处于硬件和软件界面, 硬件所有功能由它集中体现, 软件通过它在硬件上执行。
- 任何高级语言源程序或汇编语言源程序都必须翻译成机器代码才能在硬件上执行。完成这种翻译转换任务的程序有汇编程序、解释程序 (或解释器) 和 编译程序 (或编译器) 三类。
- 响应时间和 吞吐率 (或带宽, 或数据传输率) 是衡量一个计算机系统好坏的两个基本性能。不同应用场合, 用户关心的性能不同。例如, 对于银行、证券等事务处理系统来说, 事务处理用户主要关心的是 响应时间。
- 一个变量在计算机内部用 0 或 1 编码表示的数被称为 机器数, 变量真正的值被称为 真值。
- 假定某变量 x 存放在寄存器 R1 中为 1111 1111 1111 1111 1111 1011 1100 0000B, 则变量 x 在屏幕上用 16 进制显示为 0x FFFFBC0。若 x 的类型为 int, 则 x 的值为 -1088; 对 R1 进行算术左移 4 位后的值在屏幕上显示为 0x FFFFBC00; 对 R1 算术右移 4 位后为 0x FFFFFFBC; 对 R1 逻辑右移 4 位后为 0x 0FFFFFFBC。
- 与硬连线路控制器相比, 微程序控制器的缺点是 速度慢。
- 假定某计算机采用小端方式, 按字节编址。若某变量 x 的主存地址为 00001000H, 其数据类型为 float, 已知 $x = -1.5$, 则主存地址 00001000H 和 00001003H 中存放的内容分别是 00 H 和 BF H。
- 可以用一个特殊的 Cache 来记录最近使用页的页表项, 因为页表项主要用于地址转换, 所以把这种特殊的 Cache 称为转换后援缓冲器, 简称 TLB (或快表)。
- 当处理器发现有未被屏蔽的中断请求发生时, 通常通过执行一个“中断隐指令”进行中断响应。在中断响应过程中, 完成三个任务, 它们是 关中断 (或清除中断允许标志)、保存断点 (及机器状态)、将中断服务程序首地址送 PC。
- 现代计算机的主存大多采用字节编址方式。所以, 假定一个分页虚拟存储器系统的虚拟地址位数为 48 位, 则虚拟 (逻辑) 地址空间大小应为 256 TB。若页面大小为 512KB, 则一个程序最多可以有 512M (或 2^{29}) 个页面。

得分

二、选择题（每小题 1 分，共 10 分）

- 以下哪种程序属于系统软件？（ B ）
A. 浏览器程序 B. C 语言编译程序 C. 邮件收发程序 D. 金山词霸
- 假设某机器 M 的时钟频率为 2GHz，用户程序 P 在 M 上的指令条数为 4×10^9 ，其 CPI 为 1.2，若在机器 M 上从程序 P 开始启动到执行结束所需的时间是 4 秒，则 P 所用 CPU 时间占整个 CPU 时间的百分比大约是（ C ）。
A. 10% B. 42% C. 60% D. 100%
- 16 位补码表示的带符号整数的表示范围是（ C ）。
A. -32767 ~ +32767 B. -32767 ~ +32768
C. -32768 ~ +32767 D. -32768 ~ +32768
- 假定某数采用 IEEE754 单精度浮点数格式表示为 C5100000H，则该数的值是（ B ）。
A. $(-1.125)_{10} \times 2^{10}$ B. $(-1.125)_{10} \times 2^{11}$
C. $(-0.125)_{10} \times 2^{11}$ D. $(-0.125)_{10} \times 2^{10}$
- 已知 SN74181 和 SN74182 芯片分别是 4 位 ALU 部件和 4 位 BCLA 部件，用它们构成 64 位快速 ALU 时，分别需要几片 SN74181 和几片 SN74182 芯片？（ D ）
A. 8, 2 B. 8, 3 C. 16, 4 D. 16, 5
- 在不考虑异常和中断的情况下，以下给出的 MIPS 指令中，执行所花时间最长的是（ B ）。
A. add B. mult C. ori D. beq
- 假设某计算机中已配有 000000H~007FFFH 的 ROM 区，地址线为 24 位，现在再用 $16K \times 4$ 位的 RAM 芯片构成剩下的 RAM 区 0080000H~FFFFFFH，则需要这样的 RAM 芯片多少个？（ C ）
A. 511 B. 1022 C. 2044 D. 4088
- 假设地址为 3600H 的内存单元中的内容为 00FCH，地址为 00FCH 的内存单元的内容为 3200H，而 3200H 单元的内容为 FC00H，某指令操作数寻址方式为变址寻址，执行该指令时变址寄存器的内容为 0400H，指令中给出的形式地址为 3200H，则该指令操作数为（ A ）
A. 00FCH B. 3200H C. 3600H D. FC00H
- 假定一个多周期处理器有以下几类 MIPS 指令：R 型运算指令、I 型运算指令、load/store 指令、分支指令 Beq、J 型跳转指令。若多路选择器、控制单元、PC、扩展单元和传输线路都不考虑延迟，其它各主要功能单元的操作时间如下：指令存储器和数据存储器：300ps；ALU 和加法器：200ps；寄存器堆：100ps，则该 CPU 的时钟周期大约为（ C ）。
A. 100ps B. 200ps C. 300ps D. 1ns
- 以下是有关数据冒险和转发技术的叙述：
① 并不是所有数据冒险都能通过转发解决
② 可以通过调整指令顺序和加入 nop 指令消除所有数据冒险
③ 五段流水线中 Load-Use 数据冒险会引起一个时钟周期的阻塞

④ 前面的分支指令和后面的 ALU 运算指令肯定不会发生数据冒险

以上叙述中, 正确的有 (D)。

- A. 仅①和②和④ B. 仅①和③ C. 仅①和③和④ D. 全部

得分	
----	--

三、判断下列叙述是否正确。(对的打√, 错的打 X, 每题 1 分, 共 10 分)

1. 与 SRAM 芯片相比, DRAM 芯片的集成度更高、速度更快。(X)
2. 采用直写法 (Write Throgh) 时需要在 Cache 每行中增加一位修改位 (Dirty bit)。(X)
3. Cache 命中时 TLB 一定命中, 但 TLB 命中时 Cache 不一定命中。(X)
4. 带有 TLB 和 Write Back 写策略 Cache 的 CPU 执行 Store 指令时, 至少要访问主存一次。(X)
5. 采用寄存器间接寻址方式的操作数一定在存储器中。(√)
6. 微程序控制器技术适合于复杂指令集计算机。(√)
7. 超标量流水线处理器的 CPI 小于 1。(√)
8. 超流水线技术是指对流水线进一步细分以得到更多流水段的流水线技术。(√)
9. 采用信号线复用方式能提高总线带宽。(X)
10. 磁盘的磁头号就是磁道号。(X)

得分	
----	--

四、简单解释以下术语的含义。(每个 2 分, 共 10 分)

1. 标志寄存器 (Flags Register)
用来存放标志信息 (或条件码) 的寄存器, 这些标志信息包括: CF、ZF、ZF、OF 等。
2. 微程序 (Microprogram)
一个微指令序列, 用来实现一条机器指令功能, 微程序设计是实现控制器的一种方式。
3. 异常 (Exception)
由处理器内部异常事件引起的意外事件。如除数为 0, 溢出、断点、单步跟踪、寻址错、访问超时、非法操作码、堆栈溢出、缺页、地址越界、数据格式错等。
4. 旁路 (Bypassing)
是一种处理数据冒险的措施, 也称“转发”技术。通过将前面指令执行的结果从某个流水线段寄存器直接引到后面指令的执行部件来消除数据冒险。
5. 突发传送 (Burst Transmission)
是一种在一次总线事务中传输多个数据的方式, 只要传送一个首地址, 后面连续传送多个数据信息。

得分	五、分析设计题（共 40 分）
----	-----------------

1. （12分）通过对方格中每个点设置相应的CMYK值就可以将方格图上相应的颜色。以下三个程序段都可实现对一个8x8的方格中图上黄色的功能。

<pre>struct pt_color { int c; int m; int y; int k; } struct pt_color square[8][8]; int i, j; for (i = 0; i < 8; i++) { for (j = 0; j < 8; j++) { square[i][j].c = 0; square[i][j].m = 0; square[i][j].y = 1; square[i][j].k = 0; } }</pre>	<pre>struct pt_color { int c; int m; int y; int k; } struct pt_color quare[8][8]; int i, j; for (i = 0; i < 8; i++) { for (j = 0; j < 8; j++) { square [j] [i].c = 0; square [j] [i].m = 0; square [j] [i].y = 1; square [j] [i].k = 0; } }</pre>	<pre>struct pt_color { int c; int m; int y; int k; } struct pt_color square[8][8]; int i, j; for (i = 0; i < 8; i++) for (j = 0; j < 8; j++) square[i][j].y = 1; for (i = 0; i < 8; i++) for (j = 0; j < 8; j++) { square[i][j].c = 0; square[i][j].m = 0; square[i][j].k = 0; } }</pre>
--	---	--

程序段A

程序段B

程序段C

假设Cache的数据区大小为512B，采用直接映射，块大小为32B，存储器按字节编址，sizeof(int)=4。编译时变量i和j分配在寄存器中，数组square按行优先存放在0000 0C80H（假设主存地址为32位）开始的连续区域中。要求：

- （1）主存地址如何划分？要求说明每个字段的含义、位数和在主存地址中的位置。
- （2）对三个程序段A、B、C中数组访问的时间局部性和空间局部性进行分析比较。
- （3）画出主存中的数组元素与数据Cache中行的对应关系图。
- （4）三个程序段A、B、C执行过程中，写操作缺失率各是多少？

参考答案：

- （1）由题意知，主存地址的位数为 32 位，Cache 的行数为：512B/32B=16；
所以，32 位地址中最低 5 位为块内地址；中间 4 位为行号；高 23 位为标志字段。
- （2）对于时间局部性来说：
程序段 A、B 和 C 中，都是每个数组元素只被访问一次，所以都没有时间局部性；
对于空间局部性来说：
程序段 A 访问顺序和存放顺序一致，所以，空间局部性好；

程序段 **B** 访问顺序和存放顺序不一致，所以，空间局部性不好；

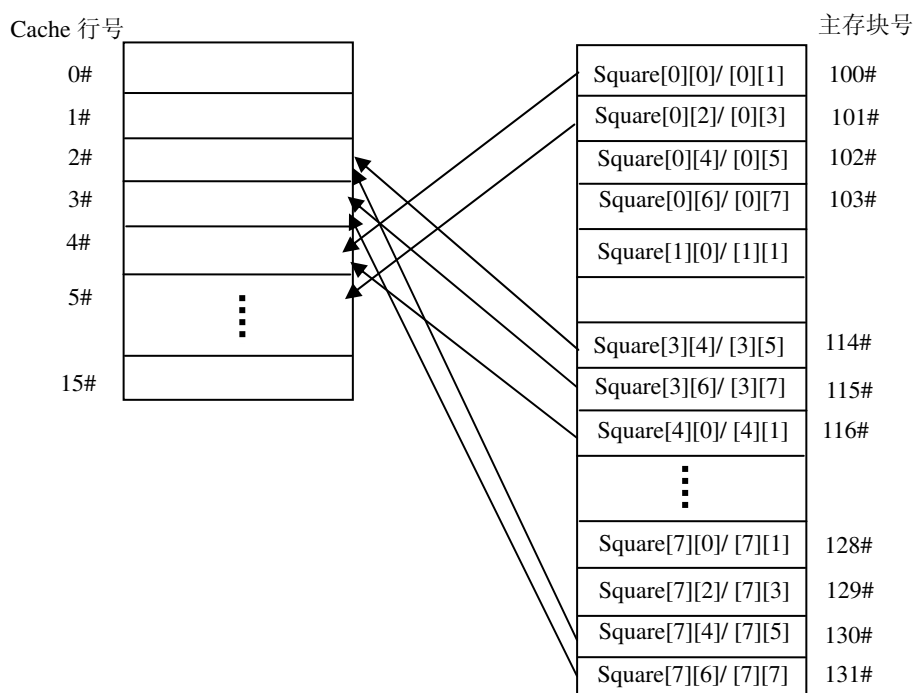
程序段 **C** 虽然访问顺序和存放顺序一致，但同一个主存块有两次访问，所以空间局部性不好；

(3) 仅考虑写操作的情况：

数据 **Cache** 的行数为： $512\text{B}/32\text{B}=16$ ；

数组首地址为 **0000 0C80H**，因为 **0000 0C80H** 正好是主存第 **1100100B (100)** 块的起始地址。所以数组从主存第 **100** 块开始存放，一个数组元素占 $4 \times 4\text{B}=16\text{B}$ ，所以每 **2** 个数组元素占用一个主存块。**8x8** 的数组共占用 **32** 个主存块。

主存中的数组元素与 **Cache** 行的映射关系图如下：



(4) 从上图可以看出，**Cache** 的行数正好是数组大小的一半。

对于程序段 **A**：

每两个数组元素（共涉及 **8** 次写操作）装入到一个 **Cache** 行中，总是第一次访问时未命中，后面 **7** 次都命中，所以，总的写操作次数为 $64 \times 4 = 256$ 次，写不命中次数为 $256 \times 1/8 = 32$ 次，因而总缺失率为 **12.5%**。

对于程序段 **B**：

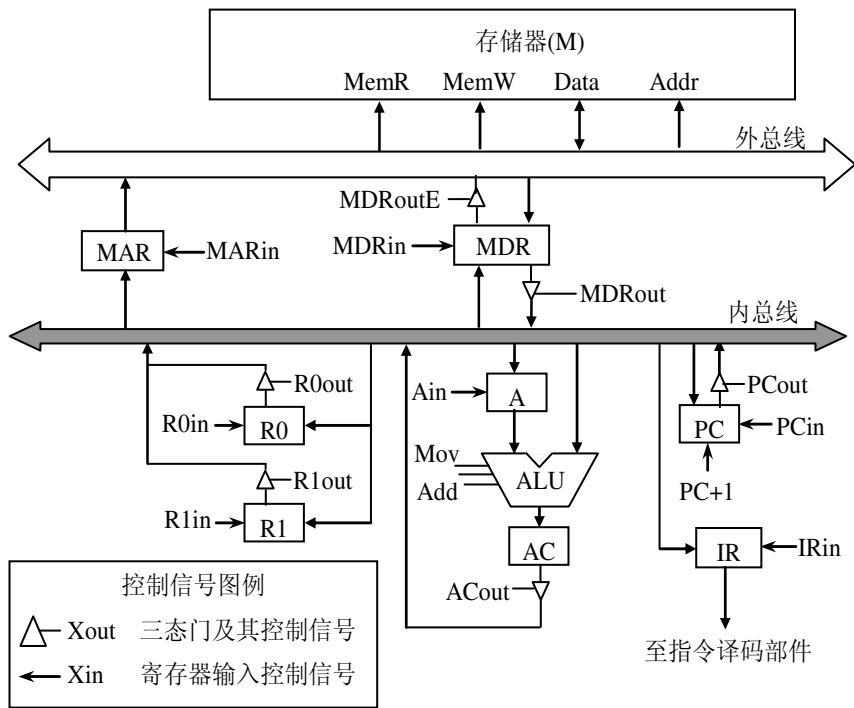
每两个数组元素（共涉及 **8** 次写操作）装入到一个 **Cache** 行中，但总是只有一个数组元素（涉及 **4** 次写操作）在被淘汰之前被访问，并且总是第一次不命中，后面 **3** 次命中。即写不命中次数为 $256 \times 1/4 = 64$ 次，因而总缺失率为 **25%**。

对于程序段 **C**：

第一个循环共 **64** 次访问，每次装入两个数组元素，第一次不命中，第二次命中；第二个循环，共访问 64×3 次，每两个数组元素（共涉及 **6** 次写操作）装入到一个 **Cache** 行中，并且总是第

一次不命中，后面 5 次命中。所以。总的写不命中次数为 $32 + (3 \times 64) \times 1/6 = 64$ 次，因而总缺失率为 25%。

2. (10分) 某计算机字长16位，采用16位定长指令字，按字编址，部分数据通路结构如下图所示，图中所有控制信号为1时表示有效、为0时表示无效，例如，控制信号MDRin为1表示允许数据从内总线打入MDR，MAR的输出一直处于使能状态，外总线的数据直接被送到MDR，而无需控制信号，ALU的操作控制端有“Add”、“Sub”、“And”...、“Mov”等多种操作控制信号。指令“**And R0, (R1)**”的功能为：**Reg(R0) and Mem(Reg(R1)) → Reg(R0)**。即：将R0中的数据与R1的内容所指主存单元的数据相与，结果送入寄存器R0中。



要求：完成下表，写出该指令周期内每个节拍（时钟周期）的功能和有效控制信号（栏目不够可自行添加）。

（注：为简化功能描述，用(R)表示寄存器 R 中的内容；M(R)表示寄存器 R 的内容所指的主存单元的内容；例如， $MDR \leftarrow M(MAR)$ 表示将 MAR 所指主存单元内容送到 MDR 寄存器中）

参考答案：

时钟	功能	有效控制信号
C1	$MAR \leftarrow (PC)$	PCout, MARin
C2	$MDR \leftarrow M(MAR)$ $PC \leftarrow (PC) + 1$	MemR, PC+1
C3	$IR \leftarrow (MDR)$	MDRout, IRin

C4	指令译码	无
C5	$A \leftarrow (R0)$	R0out, Ain
C6	$MAR \leftarrow (R1)$	R1out, MARin
C7	$MDR \leftarrow M(MAR)$	MemR
C8	$AC \leftarrow (A) \text{and} (MDR)$	MDRout, and
C9	$R0 \leftarrow (AC)$	ACout, R0in

(也可先将 **R1** 所指主存单元内容放在 **A** 中, 然后 **R0** 送内总线,)

3. (6 分) 假定某计算机中主存采用 8 体交叉存储方式, 每个体一次能读出 128 位, 每个 Cache 行中主存块大小为 128B。CPU 和主存之间采用同步总线, 总线宽度为 128 位, 一次 Cache 行读 (即从主存读一个主存块) 的过程如下:

- 花一个总线时钟周期发送首地址到主存;
- 主存控制器接受到地址后, 启动第一个模块准备数据, 并每隔一个总线时钟启动下一个模块准备数据。每个存储模块花 10 个总线时钟准备好 128 位数据, 总线上传输一个 128 位数据花一个总线时钟;

请问: 该计算机的 Cache 缺失损失至少为多少总线时钟周期?

参考答案:

由题意知, Cache 缺失时, 需从主存一次读 128 字节, 正好等于 8 个体一次读出的数据量 ($8 \times 128 \text{ 位} = 8 \times 16 \text{B} = 128 \text{B}$)。也即: 具有相同体内地址的 8 个 128 位数据正好是一个主存块, 映射到同一个 Cache 行中。所以, Cache 缺失损失至少是一次 Cache 行读的时间。即:

$1 + 1 \times 10 + 8 \times 1 = 19$ 个总线时钟周期。

4. (12 分) 假定某计算机系统中处理器的时钟频率为 2GHz, 所配硬盘驱动器中共有 4 个磁头, 每个盘面上有 5000 个磁道, 每个磁道有 1000 个扇区, 每个扇区的数据容量都是 512B, 磁盘的转速为 6000RPM, 平均寻道时间为 5ms。假定在一个相当长的时间内磁盘一直在进行 I/O 操作, 采用 DMA 方式进行, DMA 传送的平均长度为 8 个扇区, 每次 DMA 传送处理器为初始化和后处理总共花 1000 个时钟周期。请问:

- 该磁盘驱动器的容量大约为多少? (单位用 GB)
- 该磁盘驱动器的平均存取时间为多少? (不考虑数据传输时间, 单位用 ms)
- 处理器用于硬盘 I/O 的时间占整个处理器时间的百分比是多少?
- 如果有人提出采用中断方式进行磁盘 I/O, 磁盘每准备好 64 位数据申请一次中断, 每次磁盘 I/O 中断处理器所花时间约为 500 个时钟。你认为这种做法行的通吗? 通过计算证明你的结论。

参考答案:

(1) 容量为: $4 \times 5000 \times 1000 \times 512 \text{B} = 10240 \times 10^6 \text{B} \approx 10 \text{GB}$

(2) 平均存取时间为: $5 \text{ms} + (60 \times 1000 / 6000 \times 2) = 10 \text{ms}$

(3) **DMA** 方式:

数据传输率为: $1000 \times 512 \text{B} \times 6000 / 60 = 512 \times 10^5 \text{Bps} \approx 51.2 \text{MBps}$

每次 **DMA** 传送将花 $8 \times 512 \text{B} / (512 \times 10^5 \text{Bps}) = 8 \times 10^{-5}$ 秒

一秒钟有 $1 / (8 \times 10^{-5}) = 12500$ 次 **DMA** 传送;

如果硬盘一直在传送数据的话, 处理器必须每秒钟花 $1000 \times 12500 = 1.25 \times 10^7$ 个时钟周期来为硬盘 **I/O** 操作服务; 在硬盘 **I/O** 操作上处理器花费的时间占:

$$1.25 \times 10^7 / 2 \times 10^9 = 0.625\%$$

(4) 中断方式:

磁盘准备好 64 位数据所花时间为: $8 \text{B} / (512 \times 10^5 \text{Bps}) = 2^{-6} \times 10^{-5}$ 秒

所以, 每隔 $2^{-6} \times 10^{-5}$ 秒就要进行一次中断, 一秒钟内有 $1 / (2^{-6} \times 10^{-5}) = 64 \times 10^5$ 次中断;

如果硬盘一直在传送数据的话, 处理器必须每秒钟花 $500 \times 64 \times 10^5 = 3.2 \times 10^9$ 个时钟周期来为硬盘 **I/O** 操作服务; 而处理器的主频为 **2GHz**, 也就是说, 处理器整个都为磁盘 **I/O** 中断服务都来不及处理, 所以, 用中断方式处理磁盘 **I/O** 是行不通的。

得分	
----	--

六、简答题 (共 10 分)

- 假定变量 x 、 y 和 z 分别表示一个三维空间中某个点 P 的三个坐标分量, 试比较这些变量采用 **float** 数据类型和 **double** 数据类型的优缺点。(4 分)

参考答案:

因为 **float** 型数据采用 32 位单精度浮点数表示, 而 **double** 型数据采用 64 位双精度浮点数表示, 所以, 若采用 **float** 型表示坐标分量值, 则坐标数据占用存储空间比 **double** 型少, 运算速度比 **double** 型快, 但有效位数 (即数据精度) 和表示范围要比 **double** 型小。

- Cache** 对程序员来说是透明的吗? 为什么? (3 分)

参考答案:

对程序员来说, **Cache** 是透明的。

因为程序员在编写程序时, 无需考虑程序是否在带 **Cache** 的机器上运行, 指令执行过程中访问 **Cache** 的操作完全由硬件完成, 程序员感觉不到 **Cache** 的存在。

- 无条件转移指令和转子 (调用) 指令的相同点和不同点各是什么? 返回指令是否需要在指令中明显地给出返回地址? (3 分)

参考答案:

无条件转移指令（跳转指令）和转子指令（调用指令）都会实现指令的跳转，但是，转子指令在执行完子程序后还会返回到转子指令的下条指令继续执行，而无条件转移指令执行完跳转后不会返回。所以，转子指令执行过程中要保存返回地址到栈中或保存到某个特殊寄存器；

返回指令根据栈顶或特殊寄存器中的返回地址返回，所以不需在指令中明显给出返回地址。

数据通信部分样题

得分	
----	--

1、(本题满分 10 分)

由于衰减的存在，传输工程需要有三方面的考虑，其中第三个问题是由于衰减随频率变化而不同，因此可在某个频带范围内采取特定的技术来克服，请说出这种技术的术语名称？另两方面要考虑的问题分别是要求接收到的信号必须有足够强度以及信号电

平要达到某个程度的信噪比，根据与信噪比相关的公式 $\frac{E_b}{N_0} = \frac{S/R}{N_0} = \frac{S}{kTR}$ ，如果数据率 R

为 100kbps 的某信道，有效噪声温度为 290K（室温）， $k = -228.6\text{dBW}$ ，欲使归一化信噪比 E_b/N_0 达到 10dB，那么要求接收到的信号强度 S 是多少？如果该信道带宽 B 为 10kHz，设 C 等于 R，该信道信噪比是多少？

解答

均衡 (2 分)

$$S = 10 + 10\log 100000 - 228.6\text{dBW} + 10\log 290$$

$$= 10 + 50 - 228.6\text{dBW} + 24.6$$

$$= -144\text{dBW} \quad (5 \text{ 分})$$

$$\text{SNR} = 2^{C/B} - 1 = 2^{10} - 1 = 1023 \quad (3 \text{ 分})$$

得分	
----	--

2、(本题满分 10 分)

一个无线通信系统发射天线相距接收天线 50 千米，当接收天线高度为地面高度和为 20 米两种情况下，发射天线高度分别为多少米？对比两种情况，用一两句话写出结论。如该对天线工作在 2GHz 频率上，有效面积 A_e 皆为 0.56π ，由发射天线到达接收天线后的信号空间损耗为多少？如发射功率为 250W，接收天线收到的信号功率为多少 dBW？

（提示：未考虑天线增益的自由空间无线电传输损耗 $L_{dB} = -20\log \lambda + 20\log d + 21.98\text{dB}$ ；天线增益 $G = 7A/\lambda^2$ ；发射与接收天线之间的距离公式分三种情况而不同，

其中之一为 $d = 3.57\sqrt{Kh}$ 。）

解答

接收天线在地面高度时，发射天线需要 147 米高；(2 分)

接收天线高 20 米时，发射天线需要 58.68 米高。(2 分)

结论：接收天线稍高一点可大幅度降低发射天线高度。

$$\lambda = c/f = (3 \times 10^8) \div (2 \times 10^9) = 0.15\text{m}$$

$$\text{天线增益 } G = 7\pi \div (0.15)^2 = 21.98 \div 0.0225 = 976.9 \quad G_{dB} = 29.9\text{dB} \quad (1 \text{ 分})$$

$$L'_{dB} = -20\log 0.15 + 20\log (5 \times 10^4) + 21.98\text{dB} = 16.48 + 93.98 + 21.98 = 132.44\text{dB} \quad (1 \text{ 分})$$

$$L_{dB} = 132.44\text{dB} - 29.9\text{dB} - 29.9\text{dB} = 72.64\text{dB} \quad (1 \text{ 分})$$

(也可用公式 $L_{dB} = 20\log \lambda + 20\log d - 10\log(A_e A_r)$ 直接求出

$$L_{dB} = 20\log 0.15 + 20\log (5 \times 10^4) - 10\log(0.56\pi \times 0.56\pi) \quad (2 \text{ 分})$$

$$= -16.48 + 93.98 - 4.9 = 72.6 \text{ dB} \quad (1 \text{ 分})$$

)

250W 换算为 24dB,

接收天线接收到的信号功率为 $24 - 72.64 = -48.64\text{dB}$ (2 分)

得分	
----	--

3、(本题满分 10 分)

一个光纤 ATM 网络采用基于信元的物理层的传输结构, 其帧长为标准信元固定长度, 数据率为 155.52Mbps。它的两个站点相距 10km, 请计算在停等协议下的链路利用率。如果采用滑动窗口技术, 当窗口尺寸 W 分别为 7 和 127 时, 链路利用率又分别为多少? 如果 ATM 网络采用基于 SDH 的物理层, STM-4 和 STM-16 的速率分别是多少?

解答

标准信元固定长度 424 比特, 传输时间为 $424 \div (155.52 \times 10^6) = 2.7 \times 10^{-6}\text{s}$ (2 分)

传播时间为 $10^4 \div (2 \times 10^8) = 0.5 \times 10^{-4}\text{s}$ (1 分)

$a = (0.5 \times 10^{-4}\text{s}) \div (2.7 \times 10^{-6}) = 18.52$ (1 分)

$U = 1 \div (1 + 2 \times 18.52) = 1 \div 38.04 = 0.0263$, 即 2.63%。 (2 分)

采用滑动窗口技术, 当窗口尺寸 W 为 7 时, $U = 7 \div 38.04 = 0.0263 = 0.184$, 即 18.4%。(1 分)

当窗口 W 为 127 时, 由于 $W \geq 1 + 2a$, 因此 $U = 1$, 即 100%。(1 分)

STM-4 速率: 622.08Mbps 或 622Mbps (1 分)

STM-16 速率: 2.48832Gbps 或 2.5Gbps (1 分)

《计算机组织与系统结构》模拟试卷一

题号	一	二	三	四	五	六	七
总分	10	10	10	20	14	16	20
合分人	得分						

一、填空题（本大题共 8 题，每题有一个或两个空，每空 1 分，共 10 分）在每个横线空格上填上最恰当的内容。

1. 计算机硬件由运算器、控制器、存储器和输入输出设备这几部分组成，在“存储程序”方式控制下进行工作。
2. 假设某个 8 位寄存器中的内容为 10010010，若它表示的是一个无符号整数，则该数逻辑右移一位后的值为 01001001；若它表示的是一个有符号数，并且是其补码表示，则该数算术右移一位后的值为 11001001。
3. 主存储器的作用是用来存放程序和数据。在对主存储器进行写操作前，CPU 必须通过总线向主存储器传送地址信息、数据信息和“存储器写”控制信号。
4. 指令的基本格式必须包含两个基本部分：操作码和地址码。
5. 设某机器定点整数格式长为 8 位（包含 1 位符号位），若 X 用补码表示，则 $[X]_{\text{补}}$ 能表示的最大正数用十进制表示是 +255，最小负数是-256。
6. 对数据代码 1110101 设置偶校验位 P 为：1。
7. 用 4K×8 位的存储芯片组成一个 64K×32 位的存储器，共需 64（或 16×4） 块芯片，需有 2 位地址用于片选信号的译码逻辑。
8. 若 $X = -0.X_1X_2\ldots X_n$ ，则 $[X]_{\text{原}} =$ 1.X₁X₂.....X_n。

二、单项选择题（本大题共 10 小题，每小题 1 分，共 10 分）在每小题的四个备选答案中，选出一个正确的答案，并将其号码填在题干的括号内。

1. 已知十进制数 $X = -(17/128)$ ，假定采用 8 位寄存器，则相应的 $[X]_{\text{补}}$ 为(④)。
 ① 1001 0001 ② 0100 0100 ③ 0001 0001 ④ 1110 1111
2. 已知十进制数 $X = 129.875$ ，则相应的十六进制数 $(X)_{16}$ 为(②)。
 ① 41.7 ② 81.E ③ 41.E ④ 81.7
3. 程序计数器 PC 用来存放指令地址，执行完一条指令后，通常由程序计数器提供后继指令地址，其位数和(④)的位数相同。

答：是否转到新请求中断的中断服务程序去执行还要看目前是否处在开中断的状态，另外在多重中断的情况下，还要看发生请求的中断是否未被屏蔽（即：发生请求的中断的处理优先级比正在执行的程序的处理优先级高）。

4. 在 DMA 周期内，CPU 不能执行程序。

答：如果在 DMA 周期内，CPU 不需要访问内存，那么，在 DMA 访问内存时，CPU 执行指令，两者并行工作。

5. 因为半导体存储器加电后才能存储数据，断电后数据就丢失了，因此 EPROM 存储器是一种易失性存储器。

答：虽然 EPROM 存储器是一种半导体存储器，但它并不是靠外加电源维持的双稳态电路的状态或记忆电容存储的电荷多少来表示存储的信息，而是靠记忆单元是相接还是断开的状态来表示信息，断电后记忆单元是相接还是断开的状态不会发生改变，所以它是一种非易失性存储器。

四、名词解释（本大题共 10 小题，每小题 2 分，共 20 分）用一到两句话简要解释各名词术语。

1. ALU

是“算术逻辑部件”的简称，是运算器的核心部件，用于进行各种算术和逻辑运算。

2. 中断屏蔽

多重中断系统中用来确定各级中断处理优先级的一种手段。若正在处理的中断比新发生的中断处理优先级高，可用中断屏蔽来延迟对新中断的响应，直到正在执行的中断被处理完。

3. 猝发数据传输方式

是一种成组数据传送方式，可在一次总线传输中连续传送多个字，并只需给出一个首地址。

4. 对阶

在进行浮点数加减运算时，首先必须使两个操作数的阶码相等，这种操作称为“对阶”。对阶时，将阶小的那个数的尾数右移，右移一次，阶码加 1，直到其阶与大阶码相等。

5. 周期挪用

是一种常用 DMA 方式。当 DMA 控制器访问存储器时，它向 CPU 申请使用总线，CPU 在一个机器周期结束后，立即释放总线控制权，让 DMA 控制器使用总线，此时，DMA 控制器挪用了一个存储周期，完成一次存储器访问，然后又释放总线，由 CPU 使用总线。

6. 程序访问局部性

程序在一段短时间内，所产生的访存地址总是在一个局部范围内。

7. 编址单位

对内存单元进行编号时，每个地址所含的信息量。例如，按字节编址时，每个地址中存储一个字节的信息。

8. 动态 RAM

记忆单元靠电容器存储电荷的多少来表示存储的信息是 **0** 还是 **1**，而电容器上的电荷有漏电现象，因而存储的信息会动态改变，为此，必须在一定的时间内对电容进行充电。

9. CISC

复杂指令集计算机，这种计算机的指令系统指令条数多，格式多样，寻址方式复杂多样，大多采用微程序控制器。

10. 异步通信

通信双方采用“握手”信号进行信息交换，而没有统一的时钟信号控制。

五、计算题（本大题有 2 小题，共 14 分）

1. 已知 $X = (-1/16)_{10}$ ，将该数表示为 IEEE754 单精度浮点数格式的数，并用十六进制表示其最终结果。（4 分）

答： $(-1/16)_{10} = (-0.0001)_2 = -1.0 \times 2^{-4} = (-1)^s \times 1.f \times 2^{e-127}$

$s=1, f=0.0000...0, e=(127-4)_{10}=(123)_{10}=(0111\ 1011)_2$

IEEE754 单精度浮点数表示为：1 0111 1011 0000...0000 000

按 4 位一组进行组合：1011 1101 1000 0000 0000

转换成十六进制表示为：BD800000H

2. 已知 $X = (13/16) \times 2^{-5}$, $Y = (-10/16) \times 2^{-3}$ ，按照浮点数加减法，计算 $X+Y=?$ 和 $X-Y=?$

（假定采用两位保护位，最终的舍入采用“0 舍 1 入”法，浮点数编码格式为：阶码用 4 位补码，尾数用 6 位模 4 补码，请按顺序将每步的中间结果填入下表右栏中）（10 分）

项目名称		结果
$[X]_{\text{浮}}$		1 011, 00.1101
$[Y]_{\text{浮}}$		1 101, 11.0110
$[E_X - E_Y]_{\text{补}}$		1110
$E_X - E_Y$		$(-2)_{10}$
对阶结果	对 $[X]_{\text{浮}}$ 对阶	1101, 00.0011 01
尾数加减	$[M_X + M_Y]_{\text{补}}$	11.1001 01
	$[M_X - M_Y]_{\text{补}}$	00.1101 01
规格化并舍入	$[X+Y]_{\text{浮}}$	1100, 11.0011
	$[X-Y]_{\text{浮}}$	1101, 00.1101
最终结果	$X+Y$	$(-13/16) \times 2^{-4}$
	$X-Y$	$(13/16) \times 2^{-3}$

六、分析题（本大题有 3 小题，共 16 分）

1. 假定同步总线的时钟周期为 50ns，每次总线进行主存读传输时首先要花 1 个时钟周期发送地址和读命令，最终从总线取数要花一个时钟周期，总线的数据线为 32 位宽，存储器的取数时间为 200ns。要求求出该存储器进行连续读操作时的总线带宽。（4 分）

答：一次“主存读”事务的时间为：**50ns+200ns+50ns=300ns**

所以连续读操作时的总线带宽为：**4B / 300ns = 13.3MB/s**

2. 用 1K×1 位的 RAM 芯片，组成一个 16K×8 位的存储器。问：

(1) 需用多少个 RAM 芯片？（2 分）

(2) 连接 CPU 和主存的总线中需多少条地址线，其中多少位用于选片？多少位用于片内选片？（3 分）

(3) 若该 RAM 芯片采用地址复用技术（即：行地址和列地址共用一组地址引脚线），则该芯片需要多少个地址引脚线？（1 分）

答：(1) 需用 **16 × 8=128** 个 RAM 芯片。

(2) 连接 CPU 和主存的总线中需 **14** 条地址线，其中 **4** 位用于选片，**10** 位用于片内选片。

(3) 若该 RAM 芯片采用地址复用技术，则该芯片需要 **5** 个地址引脚线。

3. 假设某计算机指令系统采用定长指令字结构，每条指令的长度为 32 位，主存采用字节编址方式。请问在指令执行过程中应如何计算下条指令的地址？若一条无条件转移指令采用相对寻址方式，其地址码的值为-16，当前正在执行的指令的地址为 1200，则转移目标地址的值是多少？假定地址位数为 16 位，则用十六进制表示为多少？（6 分）

答：因为每条指令占 **32 位=4Bytes**，也即 **4** 个内存单元，所以，在指令顺序执行时，可以直接通过将 **PC** 的值每次加 **4** 得到下条指令的地址。

在相对寻址方式的无条件转移指令中，目标指令的地址为**(PC)+位移量**，当前 **PC** 的内容为 **1200+4=1204**，位移量为**-16**，所以转移目标地址为：**1204+ (-16) = 1188**。

1188=0000 0100 1010 0100₂，该目标地址用十六进制表示为 **04A4H**。

七、简答题（本大题有 6 小题，共 20 分）

1. 计算机中为什么要引入浮点数表示？（2 分）

答：因为定点数的表数范围小，并且不能表示实数，所以要引入浮点数。

2. 程序和数据都存放在内存，它们在形式上没有差别，计算机如何识别它们？（3 分）

答：程序和数据都存放在内存，它们在形式上都是 **0/1** 序列，计算机通过在执行指令过程中的不同阶段来区分，在取指令阶段，取出的是指令，在取操作数阶段，则取出来的是数据。

3. 在主存和 **Cache** 之间采用直接映射时，是否要考虑替换问题？为什么？说明直接映射方式下的替换过程。（3 分）

答：不需要考虑替换问题。因为直接映射情况下，一个主存块总是固定地映射到一个特定的 **Cache** 槽中。当某一个新的主存块调到 **Cache** 时，如果原来对应的 **Cache** 槽被占用，则毫无选择地把原来的数据替换掉，腾出来存放新的主存块。

4. 现代计算机系统中大多采用字节编址方式，在进行一个 32 位的数据存储时，涉及到数据中的各字节在内存中的存放顺序问题。请问什么是小端序方式？试举例说明。（4 分）

答：数据的最低有效字节存放在最小地址上。例如，假定被存放的数据为 **12 34 56 78H**，该数据在内存的地址为 **100H**。则 **12H** 存放在 **103H** 单元，**34H** 存放在 **102H** 单元，**56H** 存放在 **101H** 单元，**78H** 存放在 **100H** 单元。

5. 对于多重中断系统来说，中断处理过程（即：中断服务程序的执行）由哪几个阶段组成？说明每个阶段要完成的主要工作。（6 分）

答：对于多重中断来说，中断处理过程分为以下四个阶段：

- (1) 先行段（准备阶段）用来进行现场保护，并保存旧的屏蔽字，设置新的屏蔽字，然后开中断。
- (2) 主体段（服务阶段）用来进行中断服务，具体地实现数据的传送和设备的启动。
- (3) 结束段（恢复阶段）先是关中断，然后进行现场和旧屏蔽字的恢复，清“中断请求”，最后开中断。
- (4) 中断返回阶段，这是中断服务程序的最后一条指令，用来返回原来被中止的程序继续执行。

6. 至少指出两种指令流水线被破坏的情况？（2 分）

答：在以下三种情况下，指令流水线可能会被破坏：

- (1) “资源冲突”，例如，多条指令同时要访问内存；
- (2) “指令相关”，例如，上一条指令的运算结果是下一条指令的源操作数；
- (3) “转移指令”，在流水线中的转移指令的后续指令可能无效。

《计算机组织与系统结构》模拟试题 2

总分		题号	一	二	三	四	五	六	七
		题分	20	10	10	20	14	16	10
合分人		得分							

(考试时间 120 分钟)

一、填空题(本大题共 10 题, 每题有一个或两个空, 每空 1 分, 共 20 分) 在每个横线空格上填上最恰当的内容。

1. 一个数在机器中的表示形式(即将符号也数码化的数)称为 机器数, 而它的数值(即用“+”、“-”表示符号, 再加上绝对值)叫做 真值。
2. 指令的基本格式必须包含两个基本部分: 地址 码和 操作 码。
3. 无条件转移指令的地址码将确定下条指令的地址, 通过改变 程序计数器(或 PC) 中的值来改变指令的执行顺序。
4. 设 $X = -20$, 字长 $n=8$ (含一位符号位), 则 x 的原码为 1 0010100, x 的补码为 1 1101100, x 的移码为 0 1101100。
5. 若 $[X]_n = 2^n + X \pmod{2^n}$, 则对于定点小数, $n =$ 1; 对于 K 位定点整数(含符号位) $n =$ K。
6. 若主存容量为 2^k (k 为偶数), 则采用一维地址译码需 2^k 条选择线(地址驱动线), 采用二维地址译码需 $2 \times 2^{k/2}$ 条选择线。
7. 如果 CPU 要读主存的内容, 那么 CPU 通过系统总线首先向主存发送 地址 信号和 “存储器读” 控制信号。
8. 高速缓冲存储器的存取速度 高 于主存, 因而基于程序访问的 局部性 特性, Cache 机制能够提高访存效率。
9. 用流水线方式执行指令时, 除硬件资源发生冲突会破坏流水线外, 发生 指令相关 和 转移指令 时也会破坏流水线。
10. 寄存器间接寻址方式, 有效地址存放在 寄存器 中, 而操作数存放 存储单元 中。

二、单项选择题（本大题共 10 小题，每小题 1 分，共 10 分）在每小题的四个备选答案中，选出一个正确的答案，并将其号码填在题干的括号内。

1. 一个完整的计算机系统应包括（ B ）两大部分。
A、程序和数据
B、硬件和软件
C、主机和外设
D、整机和电源
2. 对于小数，其真值零的补码表示为（ B ）。
A、 $[-0]_{\text{补}}=1.00\cdots00$
B、 $[-0]_{\text{补}}=0.00\cdots00$
C、 $[-0]_{\text{补}}=1.110011$
D、 $[-0]_{\text{补}}=0.00\cdots01$
3. 当指令中地址码所给出的是操作数的有效地址时，被称为（ B ）。
A、立即寻址
B、直接寻址
C、基址寻址
D、相对寻址
4. 程序计数器 PC 的功能为（ A ）。
A、存放下条指令的地址
B、存放程序中指令的条数
C、存放指令执行后的标志信息
D、指向堆栈的栈顶
5. DMA 方式的数据交换不是由 CPU 执行一段程序来完成，而是在（ D ）之间建立一条直接数据通路，由硬件(DMA 控制器)来实现的。
A、CPU 与主存之间
B、外设与外设之间
C、外设与 CPU 之间
D、外设与主存之间
6. 堆栈是一种按“先进后出”方式进行访问的存储区，一般用在不同程序切换的场合。但在以下（ B ）场合下不需使用堆栈。
A、切换到中断服务程序时的断点保护和现场保护
B、程序跳转
C、子程序调用
D、多重中断嵌套
7. 至今为止，计算机中的所有信息均以二进制方式表示的理由是（ C ）。
A、节约元件
B、运算速度快
C、物理器件性能所致
D、信息处理方便
8. 下列几种存储器中，（ A ）是易失性存储器。
A、Cache
B、EPROM
C、Flash Memory
D、CD-ROM
9. 某计算机的字长是 16 位，它的存储容量是 64KB，按字编址，其寻址范围是（ B ）。
A、0~64K-1
B、0~32K-1
C、0~32KB
D、0~64KB
10. 下面（ B ）情况下会提出中断请求。

- A、DMA 要求窃取一个存储周期 B、一次 I/O 操作结束
C、启动一次外设运行 D、上述三种情况都发生

三、判断题（本大题共 10 小题，每小题 1 分，共 10 分）针对各小题的题意，判断其正确性。正确的打 $\sqrt{\quad}$ ，错误的打 X。

1. 动态存储器是一种易失性存储器。 ($\sqrt{\quad}$)
2. 处理机响应中断后，首先要保护程序的现场状态，在保护现场过程中，CPU 仍可响应更高级的中断申请，以实现中断的嵌套。 (X)
3. 根据程序计数器 PC 中的地址，直接从主存中读出数据。 (X)
4. 返回指令总是从栈顶取出返回地址，因此它是一条零地址指令。 ($\sqrt{\quad}$)
5. RISC 机器的控制器总是采用微程序设计方式。 (X)
6. 堆栈指针 SP 的内容，表示当前堆栈内所存数据的个数。 (X)
7. 中断响应过程，是由硬件和中断服务程序共同完成的。 (X)
8. 一个数 X 是正数还是负数，是根据[X]_补的符号位是“0”还是“1”确定的。 ($\sqrt{\quad}$)
9. 在 DMA 传送期内，CPU 不能执行程序。 (X)
10. 原码、补码和移码三种编码表示中，只有原码“零”的表示不是唯一的。 ($\sqrt{\quad}$)

四、名词解释（本大题有 10 小题，每小题 2 分，共 20 分）用一到两句话简要解释各名词术语。

1) SRAM

SRAM 是静态随机访问存储器的缩写，它是非破坏性读出存储器，无需再生和刷新，适合于用它来实现高速小容量的存储器，如 **Cache** 等。

2) 系统总线

总线是共享的传输介质，用来实现部件与部件之间的信息交换。系统总线指在 **CPU**、主存和 **I/O** 这些主要部件之间进行信息传输的通路，主要由地址线、数据线和控制线组成。

3) 中断向量

中断向量是指中断服务程序的首地址和初始的程序状态字。

4) 同步通信

同步通信是指在总线上进行通信的双方由统一的时钟线进行定时控制，每个总线事务的传输过程都是在时钟信号的定时控制下进行。

5) 分时复用

两种信号共享同一组信号线，在不同的阶段传输不同的信息。例如，地址/数据信号线分时复用时，在事务开始的地址阶段时，先通过这组线传输地址信息，在数据传送阶段时

用来传输数据信息。

6) RISC

精简指令集计算机，这种计算机的指令系统中只包含常用的指令，采用简单指令格式和简单寻址方式、用硬连线路控制器实现指令系统。

7) MAR

存储器地址寄存器，用来存放送到地址线上去的地址信息。

8) I/O 端口

在 I/O 接口中的各种数据缓冲寄存器、状态寄存器和控制寄存器。

9) LRU 算法

是一种替换算法，总是把最近最少用的主存块替换出去。

10) 机器字长

计算机的数据通路的宽度，具体来说，CPU 中计算部件、传输部件和存储部件的位数都是匹配的，这些部件的宽度就是数据通路的宽度，也就是机器字长。

五、计算题（本大题有 3 小题，共 14 分）

1. 已知 $[x]_{\text{补}} = 11001010$ ，求 $[x/2]_{\text{补}}$ 、 $[2x]_{\text{补}}$ ，并写出将 $[x]_{\text{补}}$ 扩展为 16 位后的形式。（4 分）

解： $[x/2]_{\text{补}} = 1\ 1100101\ 0$ （最后一位 0 丢弃，高位补符号 1）

$[2x]_{\text{补}} = 1\ 1\ 0010100$ （最高一位数值位 1 丢弃，最末位后补 0）

将 $[x]_{\text{补}}$ 扩展为 16 位后为：11111111 11001010 （高位补足 8 位符号位）

2. 以 IEEE754 短浮点数格式表示十进制数：-3.25。要求写出过程，并最终用十六进制缩写形式表示。（4 分）

解： $-3.25 = -11.01_2 = -1.101_2 \times 2^1 = (-1)^s \times 1.f \times 2^{e-127}$

$s=1, f=(0.1010\dots)_2, e=(127+1)_{10}=(128)_{10}=(1000\ 0000)_2$

IEEE754 单精度浮点数表示为：1 1000 0000 1010...0000 000

按 4 位一组进行组合：1100 0000 0101 0000 0000

转换成十六进制表示为：C0500000H

3. 已知 $x=-(12/16)$ ， $y=13/16$ ，用 5 位补码定点加减运算，求 $x+y=?$ ， $x-y=?$ 。要求说明是否溢出，结果要用十进制真值表示。（6 分）

解： $x=-(12/16)=-0.1100_2$ $[x]_{\text{补}}=1.0100$

$y=13/16=0.1101_2$ $[y]_{\text{补}}=0.1101$ $[-y]_{\text{补}}=1.0011$

$[x+y]_{\text{补}}=1.0100+0.1101=0.0001$

两个异号数相加，肯定不会溢出，所以 $x+y = 0.0001_2 = 1/16$

$$[x-y]_{\text{补}} = [x]_{\text{补}} + [-y]_{\text{补}} = 1.0100 + 1.0011 = 0.0111$$

两个加数的符号为 1，但结果和的符号为 0，说明结果溢出。

六、分析题（本大题有 4 小题，共 16 分）

1. 假设要传送的数据信息为 1000111，约定其生成多项式为 $G(x)=x^3+1$ ，求其校验码。（3 分）

解：生成多项式为 $G(x)=x^3+1$ ，用二进制来表示该生成多项式为 1001，所以最终的校验码应该有 3 位。在数据信息后添 3 个 0 后得：1000111000，将该数除以 1001，采用模 2 除法，余数为：110。所以校验码为 110，CRC 码为 1000111 110。

$$\begin{array}{r} 1001 \overline{) 1000111000} \\ \underline{1001} \\ 0011 \\ \underline{0000} \\ 0111 \\ \underline{0000} \\ 1111 \\ \underline{1001} \\ 1100 \\ \underline{1001} \\ 1010 \\ \underline{1001} \\ 0110 \\ \underline{0000} \\ 110 \end{array} \quad \text{余数}$$

2. 假定一个磁盘的转速为 7200RPM，道间移动时间为 0.01ms，共有 1024 个磁道。那么，该磁盘的平均存取时间是多少？（3 分）

解：平均寻道时间为： $(0+1023 \times 0.01) / 2 = 5.12\text{ms}$

平均等待延迟为： $(0+1000 \times 60 / 7200) / 2 = 4.16\text{ms}$

平均存取时间是 9.28 ms.

3. 某磁盘驱动器采用双面磁盘，每面有 80 道，每道有 18 个扇区，每扇区存储 512 个字节，请求出该磁盘驱动器的格式化容量？（2 分）

解：该磁盘驱动器的格式化容量为： $2 \times 80 \times 18 \times 512 \text{Byte} = 1.44\text{MB}$

4. 设某机主存容量为 4MB，Cache 容量为 16KB，每字块有 8 个字，每个字 32 位，主存采用按字编址方式，Cache 为四路组相联映射。请问：

（1）主存地址字段如何划分？（4 分）

- (2) 设 Cache 的初始状态为空, CPU 依次从主存第 0, 1, 2, 3, ……., 99 号单元读出 100 个字, 重复按此序列读 10 次, 问命中率是多少? (4 分)

解: (1) 主存容量为 $4MB = 2^{20}$ 字 $= 2^{17}$ 块 $\times 2^3$ 字/块

主存按字编址, 所以地址位数为 20 位。

Cache 容量为 $16KB = 2^{14} B = 2^9$ 槽 $\times 2^3$ 字/槽 $\times 2^2 B$ /字

Cache 采用 4 路组相联, 所以 Cache 划分为: 2^7 组 $\times 2^2$ 槽/组 $\times 2^3$ 字/槽

主存地址字段划分为:

标志	Cache 组号	字地址
19	10 9	3 2 0

- (2) 主存块大小为 8 个字, 所以每 0-7 号单元映射到第 0 组, 第 8-15 号单元映射到第 1 组, ……., 第 88-95 号单元映射到 11 组, 第 96-99 号单元映射到第 12 组, 第一次循环时, 每次都是第一个单元未命中, 以后每次都命中; 以后各次循环时, 每次都能命中, 所以命中率为: $(100 \times 10 - 13) / 1000 = 987 / 1000 = 98.7\%$

七、简答题 (本大题有 3 小题, 共 10 分)

1. DMA 与 CPU 在总线使用权上的关系如何? 为什么? (2 分)

答: CPU 的优先级没有 DMA 高, 即当 CPU 和 DMA 控制器同时要使用总线访问主存时, CPU 让出总线, 让 DMA 控制器控制总线。因为 DMA 控制器是控制磁盘与主存之间的数据传送, 如果 DMA 请求得不到及时响应, 则磁盘数据又可能丢失。

2. 整个中断过程可以分成哪两个子过程? 各自完成什么任务? (4 分)

答: 中断过程分为中断响应和中断处理两个子过程。CPU 通过执行一条隐指令来进行中断响应, 完成关中断、保护断点和识别中断源的任务。中断响应的结果是得到了相应的中断服务程序的首地址, 下一个指令周期开始, 进入中断服务程序的执行。在中断处理 (即: 中断服务程序) 阶段, 完成保护现场、中断服务、恢复现场和中断返回的任务。

3. 什么叫刷新? 为什么动态随机访问存储器要进行刷新? (4 分)

答: 动态随机访问存储器靠电容上存储电荷的多少来表示信息, 而电容上的电荷一般只能维持 1-2ms, 因此, 即使电源不掉电, 信息也会自动消失。为此, 必须在 2ms 之内对所有单元恢复原状态, 这个过程称为刷新。

Computer organization and architecture

Midterm exam 2010/11

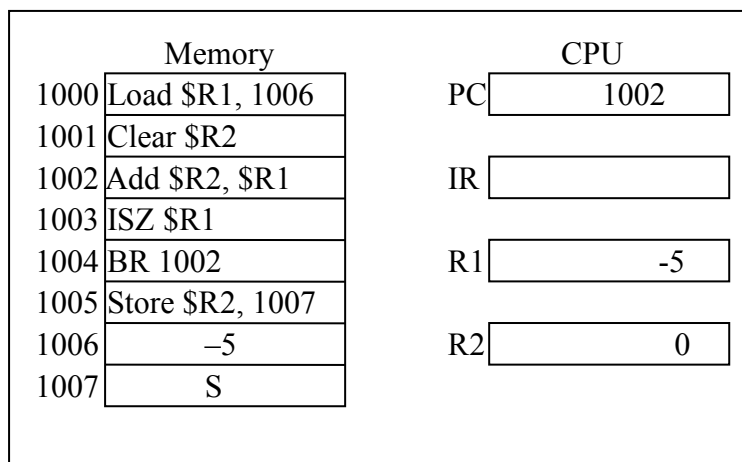
I. Multi-choice

1. Erasure unit for flash memory is (B)
a. Chip level b. byte level c. block level d. word level
2. Cache usually adopts (B)
a. Direct access method (semi sequential) b. random access method
c. Sequential access method d. read only method
3. If memory cycle is 250ns and 16 bits are read each time, then the data transfer rate of the memory is (d)
a. 4×10^6 bytes/s b. 4M bytes/s
c. 8×10^6 bytes/s d. 8M bytes/s
4. 假设某系统总线在一个总线周期中并行传输 4 字节信息, 一个总线周期占用 2 个时钟周期, 总线时钟频率为 10MHz, 则总线带宽是 (b)
a. 10 MB/s b. 20 MB/s c. 40 MB/s d. 80 MB/s
5. 浮点数加、减运算过程包括对阶、尾数运算、规格化、舍入和判溢出等步骤。设浮点数的阶码和尾数均采用补码表示, 且位数分别为 5 位和 7 位 (均含 2 位符号位)。若有两个数 $X=2^7 \times 29/32$, $Y=2^5 \times 5/8$, 则用浮点加法计算 $X+Y$ 的最终结果是 (d)
a. 00111 1100010 b. 00111 0100010
c. 01000 0010001 d. 发生溢出
6. 设某浮点数共 12 位, 其中阶码含 1 位阶符共 4 位, 以 2 为底, 补码表示; 尾数含 1 位数符共 8 位, 补码表示, 规格化。则该浮点数所能表示的最大正数是 ()。
a. 2^7 b. 2^8 c. 2^8-1 d. 2^7-1
7. 不恢复余数除法 (也称加减交替除法) C
a. 不存在恢复余数的操作
b. 当某一步运算不够减时, 做恢复余数操作
c. 仅当最后一步余数为负时, 做恢复余数操作
d. 当某一步余数为负时, 做恢复余数操作
8. 指令周期是指 (c)
a. CPU 从主存取出一条指令的时间
b. CPU 执行一条指令的时间
c. CPU 从主存取出一条指令加上执行一条指令的时间
d. 时钟周期时间

II. Questions

1. The following figure shows the relevant portion of memory and processor registers. Please show the program execution for the instructions in memory locations 1002, 1003, and 1004.
Note: instructions are two addresses one.

“Load \$R1, 1006” --- register $R1 \leftarrow (1006)$
 “Add \$R2, \$R1” --- $R2 \leftarrow (R1) + (R2)$
 “ISZ \$R1” --- increment \$R1, if \$R1 is zero **then** jump to 1005 **else** do 1004
 “BR 1002” --- branch 1002



2. Consider a hypothetical microprocessor generating a 16-bit address and having a 16-bit data bus.
 - a. What is the maximum memory address space that the processor can access directly if it is connected to a “16-bit memory”?
 - b. What is the maximum memory address space that the processor can access directly if it is connected to a “8-bit memory”?
 - c. If an input and an output instruction can specify an 8-bit I/O port number, how many 8-bit I/O ports can the microprocessor support? How many 16-bit I/O ports?
3. 假定用若干个 2Kx4 位芯片组成一个 8Kx8 位存储器，请画出芯片级逻辑图，指明地址线各组成部分的作用。
4. A set associative cache consists of 64 lines divided into four-line sets. Main memory contains 4K blocks of 128 words each.
 - Show the format of main memory addresses.
 - If a word address is 3FFFA, write its <tag, set, word>
5. There are two applications:
 - Bank system which deals with many transactions every day
 - Weather forecast that handles large volume of statistic data

Which RAID levels will be used for these two applications? Draw figures of the RAID levels and explain the reasons (from data distribution, replication, and strip size). 两种应用都需要大量的信息，对于数据传输的要求比较大。所以应该选择 RAID3，RAID3 使用并行存取，并采用较小的条带，可获得非常高的数据传输率，RAID3 对所有数据盘上同一位置进行简单计算的奇偶校验位，当磁盘损坏时，在简化模式下利用异或运算可立即重新生成丢失的数据。

6. Consider a paged logical address space (c

omposed of 32 pages of 2 k bytes each) mapped into a 1-M byte physical memory space.

- a. What is the format of the processor's logical address?
- b. What is the length and width of the page table?
- c. What is the effect on the page table if the physical memory space is reduced by half?

7. 设机器正运行下列进程 1，在执行 1100 单元的指令时，发生 5# I/O 中断，接着在执行 210 单元的指令时，发生 2# 中断。设 2# 中断的优先权高于 5# 中断，请回答：
 - CPU 在执行指令的哪个周期内发现中断？执行周期
 - 写出 CPU 在发现 2#中断后（执行 210 单元的指令）所做的工作，包括栈中内容

<u>进程 1</u>				<u>#5 中断处理程序</u>			
1000	OP	X,	X	200	OP	X,	X
1004	204
1100	210	OP	X,	X
1104	214
1108	218

←5#中断

←2#中断

考试科目名称 计算机组织与系统结构 (A 卷)

2010—2011 学年第 1 学期 教师 袁春风/杨若瑜 考试方式: 闭卷
 系(专业) 计算机科学与技术 年级 2009 班级
 学号 姓名 成绩

题号	一	二	三	四	五
分数					

得分	
----	--

一、选择题(每小题 2 分, 共 36 分)

- 1022 的 32 位补码用十六进制表示为 (D)。
 A. 0000 03FEH B. 0000 FC02H C. FFFF 03FEH D. FFFF FC02H
- 假定变量 f 的数据类型为 float, f=-4.093e3, 则变量 f 的机器数表示为 (B)。
 A. 457F D000H B. C57F D000H C. C5FF D000H D. C67F E800H
- 某 8 位计算机中, 假定带符号整数变量 x 和 y 的机器数用补码表示, $[x]_{\text{补}} = \text{F5H}$, $[y]_{\text{补}} = \text{7EH}$, 则 x-y 的值及其相应的溢出标志 OF 分别是 (D)。
 A. 115、0 B. 119、0 C. 115、1 D. 119、1
- 考虑以下 C 语言代码:
 short si = -8196;
 int i = si;
 执行上述程序段后, i 的机器数表示为 (D)。
 A. 0000 9FFCH B. 0000 DFFCH C. FFFF 9FFCH D. FFFF DFFCH
- 以下几种存储结构中, 采用相联存取方式访问信息的是 (C)。
 A. 堆栈 B. 直接映射 cache C. 分支历史记录表 D. 主存页表
- 假定用若干个 16K×8 位的存储器芯片组成一个 64K×8 位的存储器, 按字节编址, 芯片内各单元交叉编址, 则地址 BFFFH 所在的芯片的最小地址为 (D)。
 A. 0000H B. 0001H C. 0002H D. 0003H
- 假定主存地址位数为 32 位, 按字节编址, 主存和 cache 之间采用全相联映射方式, 主存块大小为一个字, 每字 32 位, 采用回写 (Write Back) 方式和随机替换策略, 则能存放 32K 字数据的 cache 的总容量至少应有多少位? (D)
 A. 1536K B. 1568K C. 2016K D. 2048K
- 某计算机按字节编址, 采用小端方式存储信息。其中, 某指令的一个操作数为 16 位, 该操作数采用基址寻址方式, 指令中形式地址 (用补码表示) 为 FF00H, 当前基址寄存器的内容为 C000 0000H, 则该操作数的 LSB 存放的地址是 (A)。
 A. BFFF FF00H B. BFFF FF01H C. C000 FF00H D. C000 FF01H

9. 通常将在部件之间进行数据传送的指令称为传送指令。以下有关各类传送指令功能的叙述中，错误的是（ D ）。
- A. 出/入栈指令（push/pop）完成 CPU 和栈顶之间的数据传送
 - B. 访存指令（load/store）完成 CPU 和存储单元之间的数据传送
 - C. I/O 指令（in/out）完成 CPU 和 I/O 端口之间的数据传送
 - D. 寄存器传送指令（move）完成 CPU 和寄存器之间的数据传送
10. 执行完当前指令后，PC 中存放的是后继指令的地址，因此 PC 的位数和（ C ）的位数相同。
- A. 指令寄存器
 - B. 程序状态字寄存器
 - C. 主存地址寄存器
 - D. 指令译码器
11. 下列有关指令和微指令之间关系的描述中，正确的是（ B ）。
- A. 一条指令的功能通过执行一条微指令来实现
 - B. 一条指令的功能通过执行一个微程序来实现
 - C. 一条微指令的功能通过执行一条指令来实现
 - D. 一条微指令的功能通过执行一个微程序来实现
12. 以下给出的事件中， 无需异常处理程序进行处理的是（ D ）。
- A. 除数为 0
 - B. 地址越界
 - C. 缺页故障
 - D. cache 缺失
13. 以下给定的情况中，可能不会引起指令流水线阻塞的是（ A ）。
- A. 跳转指令执行
 - B. TLB 缺失
 - C. 结果溢出
 - D. cache 缺失
14. 假定一个同步总线的工作频率为 33MHz，总线中有 32 位数据线，每个总线时钟传输一次数据，则该总线的最大数据传输率为（ B ）。
- A. 66MB/s
 - B. 132MB/s
 - C. 528MB/s
 - D. 1056MB/s
15. 在计数器定时查询方式下，若每次计数都从 0 开始，则（ A ）。
- A. 设备号小的设备优先级高
 - B. 设备号大的设备优先级高
 - C. 每个设备的优先级均等
 - D. 每个设备的优先级随机变化
16. 假定计算机系统中连接主存和磁盘的 I/O 总线的带宽是 68.8MB/s，磁盘的最大数据传输率是 5MB/s。如果允许磁盘输入/输出占用 100%的总线和主存带宽，那么总线上可同时接入的磁盘个数最多是（ A ）。
- A. 13
 - B. 14
 - C. 15
 - D. 16
17. 以下给出的部件中，不包含在外设控制接口电路中的是（ A ）。
- A. 标志寄存器
 - B. 数据缓存器
 - C. 命令（控制）寄存器
 - D. 状态寄存器
18. 以下有关 CPU 响应外部中断请求的叙述中，错误的是（ A ）。
- A. 每条指令结束后，CPU 都会转到“中断响应”周期进行中断响应处理
 - B. 在“中断响应”周期，CPU 先将中断允许触发器清 0，以使 CPU 关中断
 - C. 在“中断响应”周期，CPU 把后继指令地址作为返回地址保存在固定地方
 - D. 在“中断响应”周期，CPU 把取得的中断服务程序的入口地址送 PC

得分

二、简单解释以下英文术语的含义。(每个 2 分, 共 10 分)

1. CPI

(略)

2. ALU

(略)

3. RISC

(略)

4. RAID

(略)

5. VLIW

(略)

得分

三、分析设计题 (共 38 分, 答案写在答题纸上)

1. (8 分) 假设某计算机按字节编址, L1 data cache 的数据区大小为 128B, 采用直接映射方式, 主存和 cache 交换的块的大小为 16B, cache 初始为空。以下是对矩阵进行转置的程序段:

```
typedef int array[4][4];
void transpose(array dst, array src)
{
    int i, j;
    for (i = 0; i < 4; i++)
        for (j = 0; j < 4; j++)
            dst[j][i] = src[i][j];
}
```

若 sizeof(int)=4, 数组 dst 从地址 0000 C000H 开始存放, 数组 src 从地址 0000 C040H 开始存放。仿照 col=0,row=0 栏目中的形式填写表 1, 说明数组元素 src[row][col]和 dst[row][col]各自映射到 cache 哪一行, 其访问是命中 (hit) 还是缺失 (miss)。

表 1 题 1 中的 src 数组和 dst 数组

	src 数组				dst 数组			
	col=0	col=1	col=2	col=3	col=0	col=1	col=2	col=3
row=0	0/miss							
row=1								
row=2								
row=3								

【分析解答】

从程序来看，数组访问过程如下：

src[0][0]、dst[0][0]、src[0][1]、dst[1][0]、src[0][2]、dst[2][0]、src[0][3]、dst[3][0]

src[1][0]、dst[0][1]、src[1][1]、dst[1][1]、src[1][2]、dst[2][1]、src[1][3]、dst[3][1]

src[2][0]、dst[0][2]、src[2][1]、dst[1][2]、src[2][2]、dst[2][2]、src[2][3]、dst[3][2]

src[3][0]、dst[0][3]、src[3][1]、dst[1][3]、src[3][2]、dst[2][3]、src[3][3]、dst[3][3]

因为块大小为 16B，每个数组元素有 4 个字节，所以 4 个数组元素占一个主存块，因此每次总是调入 4 个数组元素到 cache 的一行。

当数据区容量为 128B 时，L1 data cache 中共有 8 行。数组元素 dst[0][i]、dst[1][i]、dst[2][i]、dst[3][i]、src[0][i]、src[1][i]、src[2][i]、src[3][i] (i=0~3) 分别映射到 cache 第 0、1、2、3、4、5、6、7 行。因此，不会发生数组元素的替换。每次总是第一个数组元素不命中，后面三个数组元素都命中。如下表所示。

表 1 题 1 中的 src 数组和 dst 数组的命中情况

	src 数组				dst 数组			
	col=0	col=1	col=2	col=3	col=0	col=1	col=2	col=3
row=0	4/miss	4/hit	4/hit	4/hit	0/miss	0/hit	0/hit	0/hit
row=1	5/miss	5/hit	5/hit	5/hit	1/miss	1/hit	1/hit	1/hit
row=2	6/miss	6/hit	6/hit	6/hit	2/miss	2/hit	2/hit	2/hit
row=3	7/miss	7/hit	7/hit	7/hit	3/miss	3/hit	3/hit	3/hit

2. (20 分) 某高级语言源程序实现“找到 save 数组中第一个不等于 k 的元素”功能，其核心循环语句如下：“while (save[i] == k) { i += 1; }”。若对其编译时，编译器将 i 和 k 分别分配在寄存器 \$s3 和 \$s5 中，数组 save 的基址存放在 \$s6 中，则生成的 MIPS 汇编代码段如下。

```

loop:  sll    $t1, $s3, 2      #R[$t1]←R[$s3]<<2, 即 R[$t1]=i×4
        add   $t1, $t1, $s6    #R[$t1]←R[$t1]+R[$s6], 即 R[$t1]=Address of save[i]
        lw    $t0, 0($t1)     #R[$t0]←M[R[$t1]+0], 即 R[$t0]=save[i]
        bne   $t0, $s5, exit   #if R[$t0]≠R[$s5] then goto exit

```

```

addi $s3, $s3, 1      # R[$s3] ← R[$s3]+1, 即 i=i+1
j     loop             #goto loop

```

exit:

假设从 loop 处开始的指令存放在内存 8 0000 处，则上述循环对应的 MIPS 机器码如图 1 所示。

	6 位	5 位	5 位	5 位	5 位	6 位
80000	0	0	19	9	2	0
80004	0	9	22	9	0	32
80008	35	9	8	0		
80012	5	8	21	2		
80016	8	19	21	1		
80020	2	20000				
80024						

图 1 题 2 中的 MIPS 机器码

根据上述叙述，回答下列问题，要求说明理由或给出计算过程。

- (1) 数组 save 每个元素占几个字节？
- (2) MIPS 中有多少个通用寄存器？
- (3) addi 指令的操作码是多少？
- (4) 标号 exit 的值是多少？如何根据 bne 指令计算得到？
- (5) 标号 loop 的值是多少？如何根据 jump 指令计算出得到？MIPS 中跳转指令的跳转范围是多少？
- (6) 假定如图 2 所示的单周期数据通路和如图 3 所示的多周期数据通路中各主要功能单元的操作时间为：存储器—200ps；ALU 和加法器—100ps；寄存器堆读或写—50ps。在不考虑多路选择器、控制单元、PC、扩展器和线路等延迟的情况下，单周期和多周期处理器的时钟周期最小各为多少？若上述程序段共循环执行 10 次，则在单周期数据通路和多周期数据通路中执行各需要多少时间？

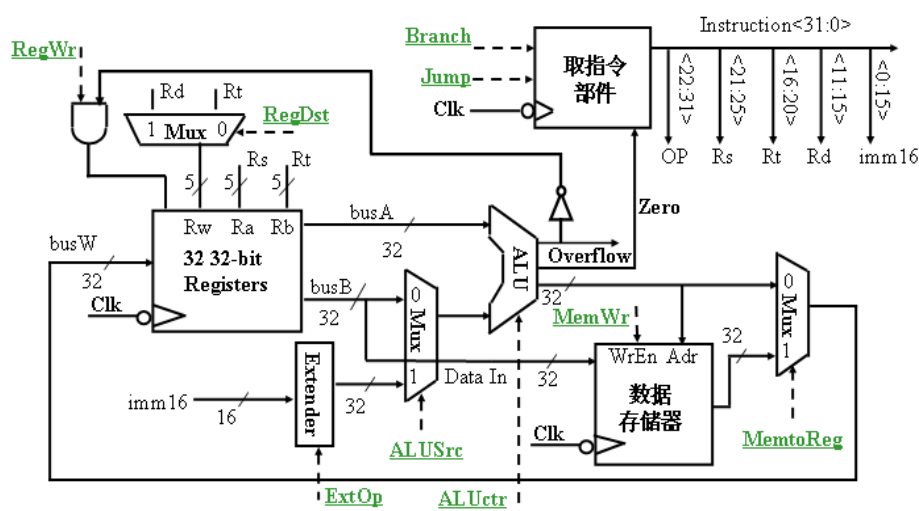


图 2 单周期数据通路

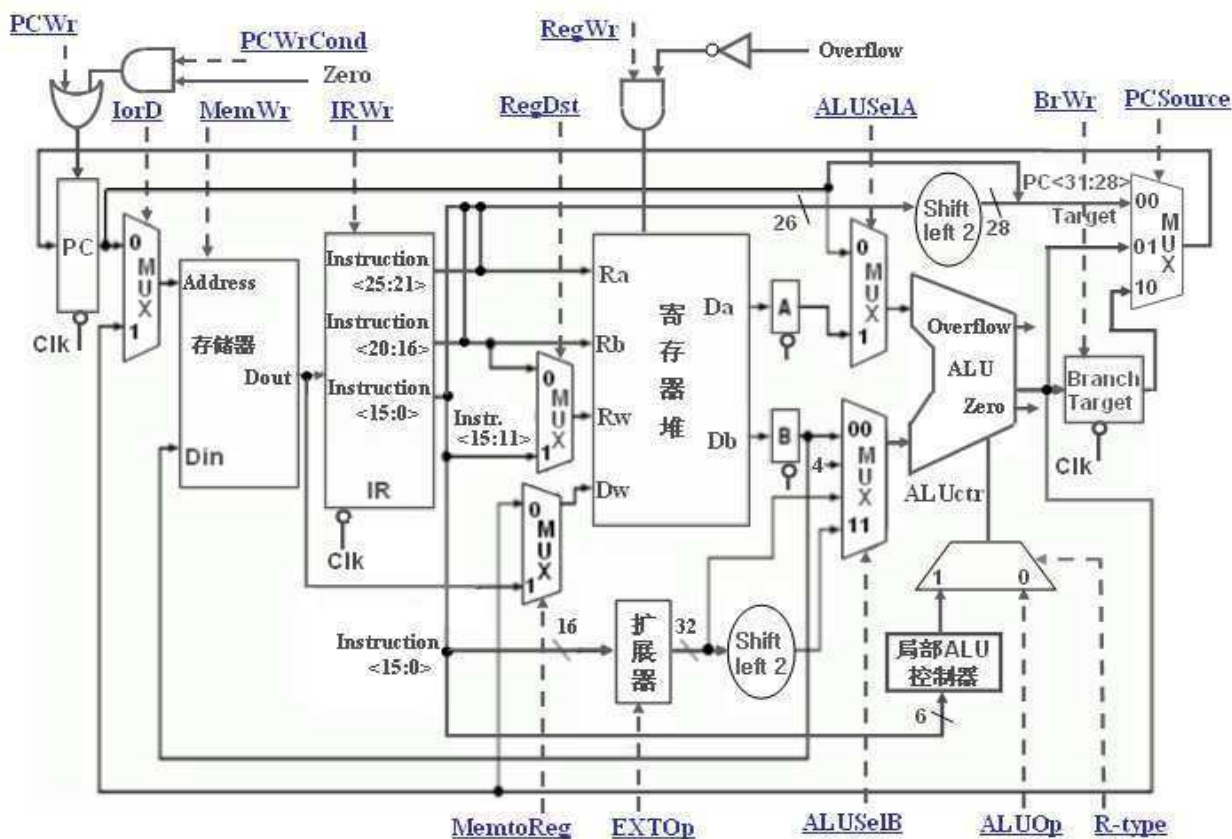
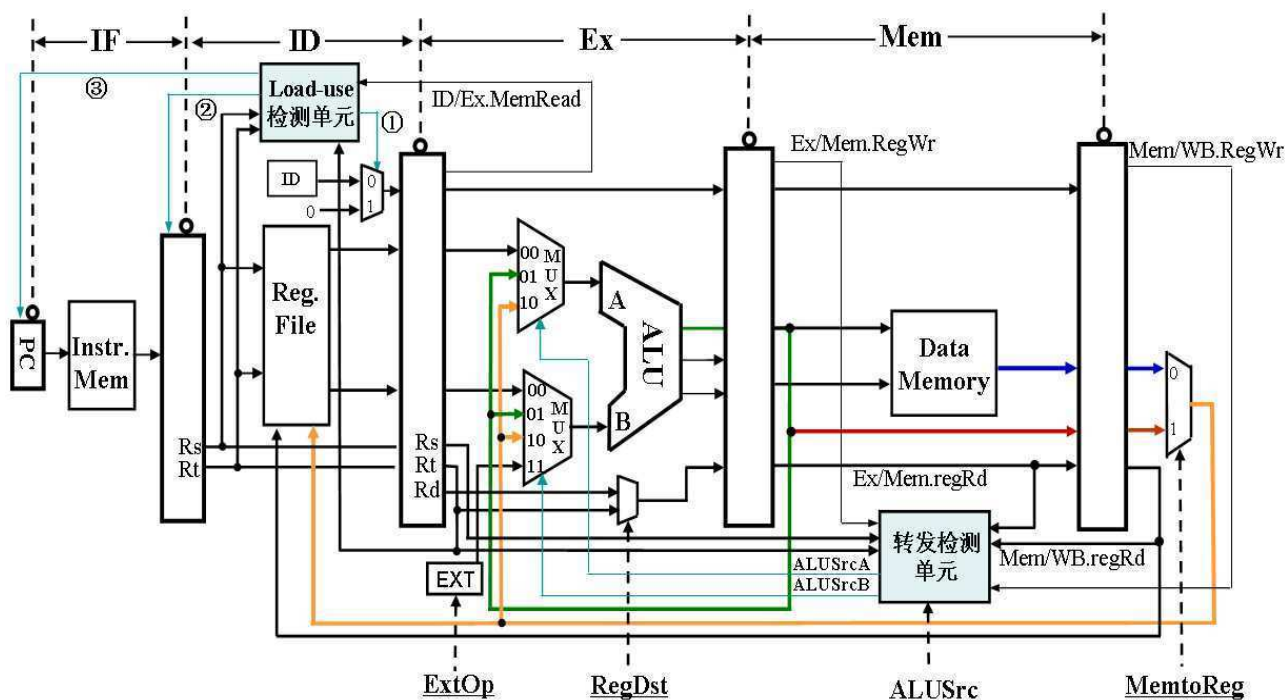


图 3 多周期数据通路

(7) 若采用转发技术, 并控制寄存器堆在前半周期写数据在后半周期读数据, 则哪些指令之间的数据相关能够被消除, 哪些指令之间的数据相关不能被消除? 假定在如图 4 所示的采用“转发+阻塞”技术的流水线处理器中执行上述程序, 同时对分支冒险采用“一位动态预测”(初始预测为转移) 方式, 条件检测和分支目标地址的修改都在“执行 (Ex)”阶段进行, jump 指令在“译码 (ID)”阶段进行跳转目标地址修改, 则执行 10 次循环所用的时间为多少? 这种情况下, 流水线处理器的执行速度大约各是单周期处理器和多周期处理器的多少倍?



【分析解答】

(1) Save 数组的每个元素占 4 个字节。因为每次循环取数组元素时，其下标地址都要乘以 4。

(2) MIPS 中有 32 个通用寄存器，因为寄存器的编号是 5 位。

(3) “addi” 指令的操作码是 001000B，因为其 OP 字段为 8，相当于 6 位二进制编码 001000。

(4) 标号 exit 的值是 80024，其含义是循环结束时跳出循环后执行的首条指令的地址。它由当前分支指令（条件转移指令）的地址 80012 加上 4 得到下条指令的地址，然后再加上相对位移量 2×4 得到，即 $80012 + 4 + 2 \times 4 = 80024$ 。

(5) 标号 loop 的值为 80000，是循环入口处首条指令的地址，由跳转指令 j 的 32 位地址 80020 的高 4 位 (0000B)，与指令中给出的低 26 位 (20000) 拼接成 30 位地址，然后再在低位添两个 0（相当于 $\times 4$ ）得到，即 $20000 \times 4 = 80000$ 。因为跳转指令的地址与其跳转到的目标指令地址的高 4 位一样，所以，如果将 4GB 的主存空间分割成 16 个 256MB 的子空间，那么跳转到的目标指令总是和跳转指令在同一个子空间，不可能跳出它本身所在的 256MB 的子空间，所以跳转目标地址范围的大小是 256M，也即，假定跳转指令地址的高 4 位为 X，则跳转目标地址范围是 X000 0000H ~ XFFF FFFCH。

(6) 单周期处理器的时钟周期最小为 $200 + 50 + 100 + 200 + 50 = 600\text{ps}$ ；多周期处理器的时钟周期最小为 200ps。对于单周期数据通路中的 10 次循环执行，第 1~4 条指令执行了 10 次，第 5~6 条指令执行了 9 次，因此，共用了 $(4 \times 10 + 2 \times 9) \times 600 = 34800\text{ps} = 34.8\text{ns}$ 。对于多周期数据通路中的 10 次循环执行，sll、add 和 addi 指令都需要 4 个时钟周期，bne 和 j 指令需要 3 个时钟周期，lw 指令需要 5 个时钟周期，因此，一共用了 $(4 + 4 + 5 + 3) \times 10 \times 200 + (4 + 3) \times 9 \times 200 = 44600\text{ps} = 44.6\text{ns}$ 。

(7) 第 1 和 2、2 和 3、5 和 1 条指令之间的数据相关可以被消除，但不能消除第 3 和 4 条指令之间的 load-use 冒险。

10 次循环共有 10 个时钟的 load-use 阻塞；此外，对于 bne 控制（分支）冒险，第 1 次和最后 1 次

预测错误，所以有 2 次需要对预取执行的指令进行冲刷。因为条件检测和转移目标地址修改都在“执行（Ex）”阶段进行，因此，分支延迟损失时间片（分支延迟槽）为 2，也即每次冲刷掉 2 条指令。因此，2 次共被冲刷掉 4 条指令，使流水线阻塞了 4 个时钟周期；对于最后一条 jump 指令，因为在“译码（ID）”阶段进行跳转目标地址修改，所以每次有一个时钟阻塞，10 次循环 jump 指令共执行了 9 次，因而有 9 个时钟周期的阻塞。综上可知，10 次循环总共有 $10+4+9=23$ 次阻塞，且第 1~4 条指令各执行了 10 次，第 5~6 条指令各执行了 9 次，因此，10 次循环所用的时钟周期数为 $4 \times 10 + 2 \times 9 + 23 = 81$ ，总时间为 $81 \times 200\text{ps} = 16.2\text{ns}$ 。执行上述程序段时，流水线处理器的速度大约是单周期处理器速度的 $34.8/16.2 = 2.15$ 倍；大约是多周期处理器速度的 $44.6/16.2 = 2.75$ 倍。

3. (10 分) 某计算机 CPU 主频为 1GHz，所连接的某外设的最大数据传输率为 40kBps，该外设接口中有一个 32 位的数据缓存器，相应的中断服务程序的执行时间为 500 个时钟周期。请回答下列问题：

(1) 是否可用中断方式进行该外设的输入输出？若能的话，在该设备持续工作期间，CPU 用于该设备进行输入/输出的时间占整个 CPU 时间的百分比大约为多少？

(2) 若该外设的最大数据传输率提高到 4MBps，则可否用中断方式进行输入输出？若此时采用周期挪用 DMA 方式进行输入/输出，每挪用一周传送一个 32 位数据，一次 DMA 传送完成 1000 字节的数据传送，DMA 初始化和后处理的时间为 2000 个时钟周期，不考虑访存冲突，则 CPU 用于该设备进行输入/输出的时间占整个 CPU 时间的百分比大约为多少？

参考答案：

(1) 因为该外设接口中有一个 32 位数据缓存器，所以，若用中断方式进行输入/输出的话，可以每 32 位数据进行一次中断请求，因此，中断请求的时间间隔为 $10^6 \times 4\text{B} / 40\text{kB} = 100\mu\text{s}$ 。

对应的中断服务程序的执行时间为 $(1/1\text{GHz}) \times 500 \times 10^6 = 0.5\mu\text{s}$ ，因为中断响应过程就是执行一条隐指令的过程，所用时间相对于中断处理时间（即执行中断服务程序的时间）而言，几乎可以忽略不计，因而整个中断响应并处理的时间大约 $1\mu\text{s}$ 多一点，远远小于中断请求的间隔时间。因此，可以用中断方式进行该外设的输入输出。

若用中断方式进行该设备的输入/输出，则该设备持续工作期间，CPU 用于该设备进行输入/输出的时间占整个 CPU 时间的百分比大约为 $0.5/100 = 0.5\%$ （也可以通过考察 1 秒钟内 500M 个时钟周期中有多少时钟周期用于中断来计算百分比，其计算公式为 $(10^6/100 \times 500)/500\text{M} = 1\%$ ）。

(2) 若外设的最大传输率为 4MBps，则中断请求的时间间隔为 $10^6 \times 4\text{B} / 4\text{MB} = 1\mu\text{s}$ 。而整个中断响应并处理的时间大约 $0.5\mu\text{s}$ 多一点，中断请求的间隔时间和中断响应处理时间太接近，虽然可以用中断方式进行该外设的输入输出，但不太合适。

若用周期挪用 DMA 方式，则一秒钟内产生的 DMA 次数为 $4\text{MB} / 1000\text{B} = 4000$ ；每次 DMA 传送前都需要 2000 个时钟周期进行 DMA 初始化和 DMA 结束处理，所以，CPU 用于 DMA 处理的总开销为 $4000 \times 2000 = 8000000 = 8\text{M}$ 个时钟周期；而 CPU 的时钟频率为 1GHz，即 CPU 每秒钟内产生 1000M 个时钟周期，故 CPU 用于该外设 I/O 的时间占整个 CPU 时间的百分比 $8\text{M} / 1000\text{M} = 0.8\%$ （也可通过考察相邻

两次 DMA 请求间隔时间内 CPU 用于该外设 I/O 的时间来计算, 即 $(2000 \times 1/1\text{GHz})/(1000\text{B}/4\text{MB})=0.8\%$ 。

得分	
----	--

五、简答题（共 16 分，答案写在答题纸上）

1. 假定某一个高级语言源程序 P 中有乘、除运算，但机器 M 中不提供乘、除运算指令，则程序 P 能否在机器 M 上运行？为什么？（3 分）
2. 为什么要考虑 cache 的一致性问题？读操作时是否要考虑 cache 的一致性问题？为什么？（3 分）
3. 简述虚拟地址到物理地址的转换过程。（2 分）
4. 微程序控制器的特点是什么？适合于实现哪种类型的指令？（3 分）
5. 各流水段寄存器的宽度是否一样？为什么？（2 分）
6. 什么是 I/O 端口？有哪两种 I/O 端口编址方式？（3 分）

考试科目名称 数据结构 (A1 卷)

得分

1、填空题。(每小题 2 分，本题满分 20 分)

- (1) C++ 语言中，数组是按行优先顺序存储的，假设定义了一个二维数组 $A[20][30]$ ，每个元素占两个字节，其起始地址为 2140，则二维数组 A 的最后一个数据元素的地址为 $2140+2*(30*20-1) = 3338$ (3338, 3339)。
- (2) 若 A, B 是两个单链表，链表长度分别为 n 和 m，其元素值递增有序，将 A 和 B 归并成一个按元素值递增有序的单链表，并要求辅助空间为 $O(1)$ ，则实现该功能的算法的时间复杂度为 $O(m+n)$ 。
- (3) 快速排序的平均时间复杂度是 $n*\lg n$ 。
- (4) 假设有一个包含 9 个元素的最小堆，存放在数组 A 中，则一定比 $A[3]$ 大的元素有 $2(A[7], A[8])$ 个；一定比 $A[3]$ 小的元素有 $2(A[0], A[1])$ 个。(元素从第 0 个位置开始存放)
- (5) 广义表 $((((A)), (B, C), D, ((A), ((E, F))))$ 的长度是 4，深度是 4。
- (6) 有 10 个元素的有序表，采用折半查找，需要比较 4 次才可找到的元素个数为 3。
- (7) 当两个栈共享一存储区时，栈利用一维数组 $A[n]$ 表示，两栈顶指针为 $top[0]$ 与 $top[1]$ ，则栈满时的判断条件为 $top[0]+1=top[1]$ 或者 $top[0]=top[1]+1$ 。
- (8) 假设计算斐波那契数的函数 $Fib(long\ n)$ 定义如下：

```

long Fib(long n){
    if(n<=1) return n;
    else return Fib(n-1)+Fib(n-2)
}

```

 计算 $Fib(5)$ 时的递归调用树（即指明函数调用关系的树）的高度是 4。假设叶子结点所在的高度为 0。
- (9) 完全二叉树按照层次次序，自顶向下，同层从左到右顺序从 0 开始编号时，编号为 i 的结点的左子结点的编号为 $2*i+1$ 。
- (10) 假设用子女—兄弟链表方式表示森林，对应的二叉树的根结点是 p，那么森林的第三棵树的根结点在二叉树中对应的结点是： $p->rightchild->rightchild$ 。假

leftchild

data

rightchild

得分

2、选择题。(每小题 2 分，本题满分 20 分)

- (1) 如果能够在只知道指针 p 指向链表中任一结点，不知道头指针的情况下，将结点 *p 从链表中删除，则这个链表结构应该是： (**B,C**) (多选题)
 A. 单链表 B. 循环链表 C. 双向链表 D. 带头结点的单链表
- (2) 以下哪种矩阵压缩存储后会失去随机存取的功能?(**A**)
 A. 稀疏矩阵 B. 对称矩阵 C. 对角矩阵 D. 上三角矩阵
- (3) 下面哪一方法可以判断出一个有向图是否有环(回路): (**B**) (选 A, B 也对)
 A. 广度优先遍历 B. 拓扑排序 C. 求最短路径 D. 求关键路径
- (4) n 个结点的线索二叉树(没有头结点)上含有的线索数为 (**B**)

A. $2n$ B. $n-1$ C. $n+1$ D. n

(5) 循环队列存储在数组 $A[0..m]$ 中，则入队时队尾指针 $rear$ 的操作为 (D)

- A. $rear=rear+1$ B. $rear=(rear+1) \bmod (m-1)$
 C. $rear=(rear+1) \bmod m$ D. $rear=(rear+1) \bmod (m+1)$

(6) 使用加权规则得到改进的 Union 操作 **WeightedUnion**，其目的是： (B)

- A. 提高 Union 操作的时间性能
 B. 提高 Find 操作的时间性能
 C. 减少 Union 操作的空间存储
 D. 减少 Find 操作的空间存储

(7) 使用 **Kruscal** 算法求解最小生成树时，为了设计效率较高的算法，数据结构方面可以选择： (A)

- A. 利用最小堆存储边
 B. 利用栈存储结点
 C. 利用二维数组存储结点
 D. 利用并查集存储边

(8) 已知一算术表达式的后缀形式为 $ABC*+DE/-$ ，其前缀形式为： (D)

- A. $-A+B*C/DE$ B. $-A+B*CD/E$ C. $-+*ABC/DE$ D. $-+A*BC/DE$

(9) n 个关键码排序，如果选用直接插入排序方法，则元素的移动次数在最坏情况下可以达到 (B)。

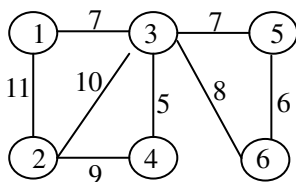
- A. $n*n/2$ B. $n*(n-1)/2$ C. $n/2$ D. $(n-1)/2$

(10) 关键路径是 AOE 网络中 A C 。(多选)

- A. 从源点到汇点的最长路径 B. 从源点到汇点的最短路径
 C. 所有活动都是关键活动的路径 D. 最短回路

得分 3、简答题。(每小题 5 分，本题满分 20 分)

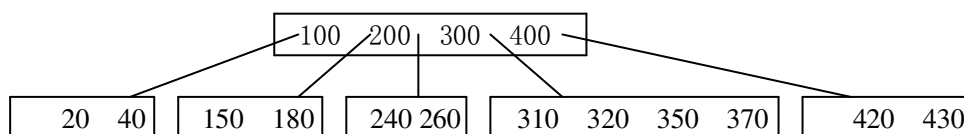
(1) 对如下无向图，按照 **Dijkstra** 算法，写出从顶点 1 到其它各个顶点的最短路径和最短路径长度。

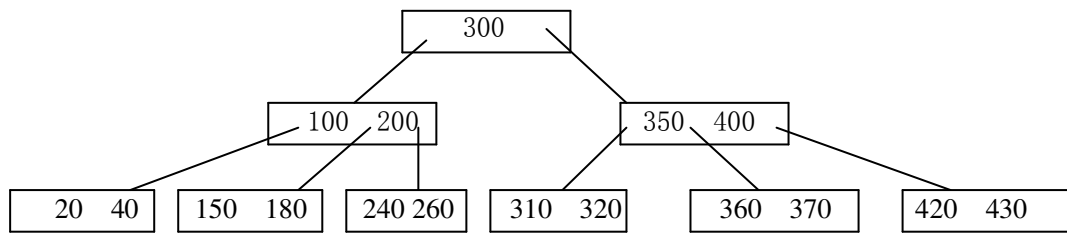


结点编号	1	2	3	4	5	6
路径长度	0	11	7	12	14	15

最短路径 1 1-2 1-3 1-3-4 1-3-5 1-3-6

(2) 请画出在如下图所示的 5 阶 B 树中插入一个关键码 360 后得到的 B 树。





(3) 假设有权值集合{16,40,15,4,25}, 给出相应的 huffman 树。假设某类信息由符号 a,b,c,d,e, 组成, 而上面的权值分别是符号 a,b,c,d,e 的出现频率。请给出各个符号的 Huffman 编码。

Huffman 编码:

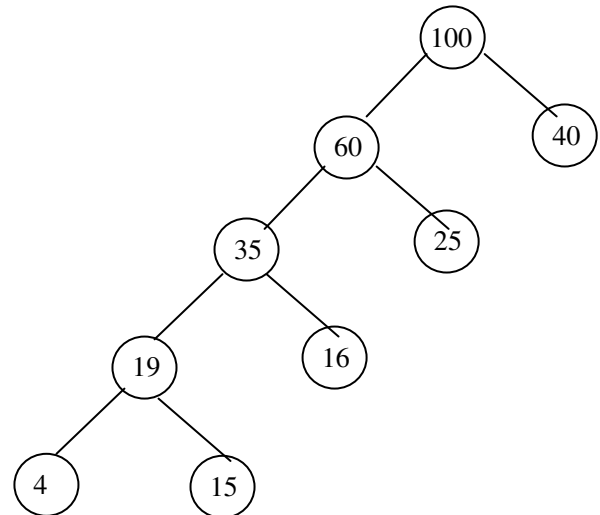
a: 001

b: 1

c: 0001

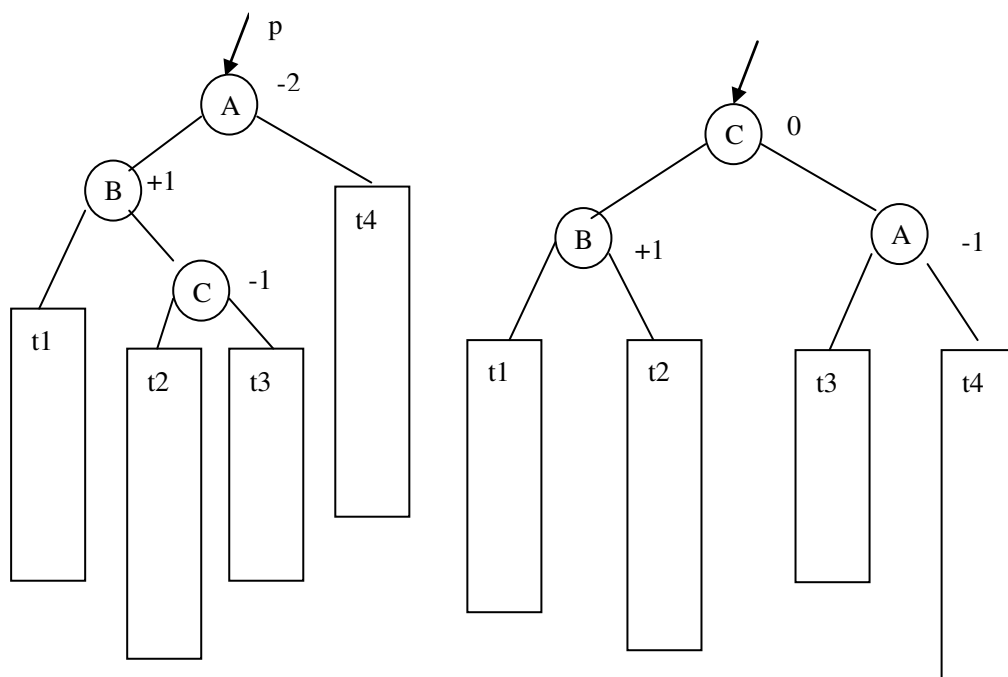
d: 0000

e: 01



注意: 因为左右子树不同,
所以编码可以有多种, 但是只要
其长度分别是 3, 1, 4, 4, 2; 且
相互之间不形成前缀关系就
是正确的。

(4)在 AVL 树的插入操作中, 假设插入一个结点后, 当前节点 p 的平衡因子是-2, 其左子结点的平衡因子是+1, 左子结点的右子结点的平衡因子是-1。如图所示, 请给出旋转调整之后的结构。



得分	
----	--

4、已知输入关键码序列为 (10,90,20,60,78,35,42,31,15)，地址区间为 0~11。

(1) 请设计一个散列函数，把上述关键码散到 0~11 中。画出散列表，冲突用线性探测法解决。(5 分)

散列函数为：

$f(x) = x \% 12$ 允许其它的散列函数

0	1	2	3	4	5	6	7	8	9	10	11
60/1	31/7		15/1			90/1	78/2	20/1	42/4	10/1	35/1

(2) 搜索元素 31 需要比较的次数是多少？(2 分)

7 (7-->8->9->10->11->0->1 (成功))

(3) 计算在等概率情况下查找成功的平均查找长度 ASLsucc。(3 分)

$(1+7+1+1+2+1+4+1+1) / 9 = 19/9$

得分	
----	--

5、 程序设计题。(每小题 15 分，本题满分 30 分)

1. 设计一个算法，根据一棵二叉树的前序序列和中序序列，构造出这棵二叉树。二叉树的结点都用字符表示。前序序列和中序序列都是字符串。二叉树的结点定义如下：

```
struct binTreeNode
{
    char data;
    binTreeNode *leftChild, *rightChild;
}
```

解：

```
TreeNode * tree(char *preorder, *midorder)
{
    return
        TreeRecursive(preorder, 0, strlen(preorder)-1, midorder, 0, strlen(midorder)-1);
}
```

```
TreeNode * TreeREcursive(char *pre, int preSt, int preEnd,
                           char* mid, int midSt, int midEnd)
{
    if (preEnd < preSt)
        return NULL;
    char rt = pre[preSt];
    for(int j = midSt; j<=midEnd; j++)
        if(mid[j] == rt) break;
    if(j>midEnd){cout<<"Wrong input"; return NULL;}
    TreeNode root = new binTreeNode( );
    root->data = rt;
    int lLen = j - midSt;
    root->leftChild = treeRecursive(pre, preSt+1, preSt+lLen - 1,
```

```

                                mid, midSt, midSt+lLen-1);
root->rightChild=treeRecursive(pre, preSt+lLen+1, preEnd,
                                mid, midSt+lLen+1, midEnd);

return root;
}

```

要点在于根据 preOrder 的第一个字符，在 midOrder 中找到左右子树的分界；然后递归调用生成左右子树；做到这一点，就可以给出大部分分数。

可能有很多细节上不一样的地方，比如这里的 preEnd 指向的字符在相应的树中；但是有些人可能是 preEnd 指向下一个位置。或者传递参数时直接使用字符串传递。都是可以的。

如果使用别的办法，参考其效率，酌情给分。只要效率过得去，也可以得满分。但是纯粹枚举则得分不高。

2. 设计非递归算法实现图的深度优先遍历。（图用邻接表表示，已经定义了一个顺序栈 stack[top]，top 为栈顶指针，使用 visit(node)来表示对顶点 node 的访问。）

图的邻接表结构定义如下：

```

struct Edge {
    int dest;
    Edge *link; //下一条边链指针
}
struct Vertex {
    int data;
    Edge *adj; //边链表的头指针
}
class Graph {
private:
    Vertex *Nodetable; //顶点表
    int cnt
}

```

解：

Graph::DFS(int v)//从 v 开始搜索：

```

{
    bool    visited[MAXVert];
    Edge    nextEdge[MAXVert];

    stack[0] = v;
    nextEdge[0] = graph.Nodetable[v].adj;
    top = 0;
    visited(stack[top]);
}

```

```

visited[stack[top]] = true;
while(top >= 0)
{
    while(nextEdge[top] && visited[nextEdge[top]->dest])
        //寻找下一个尚未访问的邻接节点
        nextEdge[top] = nextEdge[top]->link;
    if(nextEdge[top] != NULL)
    {
        int nextVert = nextEdge[top]->dest;
        visite(nextVert); //访问下一个邻接结点；保证了被压入栈中的顶点都被访问；
        visited[nextVert] = true;

        stack[top+1] = nextVert; //压栈，进入下一个结点；
        nextEdge[top+1] = Nodetable[nextVert].adj;

        nextEdge[top] = nextEdge[top]->link;
        top ++;
    }
    else top --;
}
}

```

另一个数据结构试卷

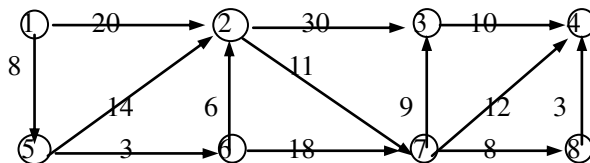
得分

1、填空题。（每小题 2 分，本题满分 20 分）

- (1) 假设用一个一维数组 B 来按行存放一个对称矩阵 A 的下三角部分，那么访问 A 的第 i 行第 j 列元素的语句是：_____。（下标都从 0 开始）
- (2) 在单链表指针 P 所指结点后插入指针为 s 的结点操作是：_____。
- (3) 线性表 $L=(a_0, a_1, a_2, \dots, a_{n-1})$ 用数组表示，假设删除表中任一元素的概率相同，则删除一个元素所需的平均移动次数为 _____。
- (4) 在指针 L 指向一带头结点的双向循环链表，则判断该表中只有一个元素结点的条件是：_____（设结点结构为

ILink	data	rLink
-------	------	-------

）
- (5) 使用邻接矩阵表示图时，遍历一个顶点的所有相邻顶点的时间复杂度是：_____。（假设图的顶点个数为 n，边的个数为 e）
- (6) 已知带权有向图如下，使用 Dijkstra 算法求解从顶点 1 到达各顶点的最短距离时，该算法将按照_____（列出顶点顺序）的顺序给出各个顶点的距离。



- (7) 假设一组关键码为 (20, 41, 22, 17, 19, 56, 35)，则用堆排序的方法建立的初始最

大堆为_____。

(8) KMP 模式匹配算法的时间复杂度是：_____。

(9) 设循环队列存放在数组 $A[0..m-1]$ 中，若用牺牲一个单元的办法区分队列满和队列空(设队尾指针为 $rear$ ，队头指针为 $first$)，则判断队满的条件是：_____。

(10) 对 n 个元素进行排序，如果用直接选择排序，所需的关键码比较次数最少为_____，如果用直接插入排序，则所需的关键码比较次数最少为_____。

得分	
----	--

 2、选择题。(每小题 2 分，本题满分 20 分)

(1) 假设使用转换后的二叉树来表示森林，那么对该二叉树的前序遍历对应于对森林的_____遍历。

A 先根次序遍历 B 后根次序遍历 C 广度优先遍历 D 以上都不是

(2) 假设我们将一个表达式表示为一棵二叉树。比如 $a+b*c$ 对应的树的根为 $+$ ，其左子树是一个叶子结点 a ，右子树的根为 $*$ ，左右子结点分别为 b 和 c 。显然每个内部结点代表了一个运算。假设一个并行 CPU 有很多个 ALU 可以同时执行计算任务，且完成所有计算需要的时间都是一个时间单位。那么完成一个表达式计算的最短时间是_____。

A 树的高度 B 树的宽度 C 树的内部结点个数 D 树的分支数

(3) 假设在快速排序算法中总是选择被排序子序列的最后一个元素作为基准。那么这个算法的最坏情况出现在_____。

A 被排序的初始序列已经排好序时
B 被排序的初始序列是逆序时
C 被排序的初始序列呈现中间大，并逐次向两边减小的情况
D 以上都不是

(4) 散列方法中，线性探查法的“堆积”问题是指_____。

A 不同探查序列的关键码占据了可利用的空桶，使得寻找某一关键码需要经历很长的探查序列。
B 不同探查序列的关键码占据了可利用的空桶，使得插入某个关键码时找不到空桶。
C 不同探查序列的关键码占据了可利用的空桶，导致寻找某个关键码时出现错误。
D 不同探查序列的关键码占据了可利用的空桶，为了保证算法能够寻找到正确的关键码，不得不将装载因子限制在某个阈值之下。

(5) 在中序线索二叉树（使用 $lTag$ ， $rTag$ ）中，一个结点的中序后继是_____。（多选）

A 如果其 $rTag$ 为 0，则后继是其 $rightChild$ 所指结点的最左后代；
B 如果其 $rTag$ 为 0，则后继是其 $rightChild$ 所指结点；
C 如果其 $rTag$ 为 1，则后继是其 $rightChild$ 所指结点的最左后代；
D 如果其 $rTag$ 为 1，则后继是其 $rightChild$ 所指结点。

(6) 假设有一棵二叉树的结点前序排列是 1、2、3、4、5。下面的_____序列不可能是这棵二叉树的中序排列。

A 3、2、1、4、5
B 2、3、1、4、5

- C 2、1、4、5、3
D 2、1、5、3、4
- (7) 有 11 个结点的 AVL 树的最大高度为_____。(假设叶结点的高度为 1，树的高度为根结点的高度)
A 3 B 4 C 5 D 6
- (8) 下面的排序算法中，时间复杂度不是 $O(n\log_2 n)$ 的算法是_____。(多选)
A 折半插入排序 B 堆排序 C 快速排序 D 基数排序
- (9) 使用 Prim 算法求解最小生成树时，使得算法效率较高的图的表示方式是_____。
A 邻接矩阵表示 B 邻接表表示 C 以上表示方法都一样
- (10) 在 B 树的删除操作中，最坏情况下可能需要读写磁盘_____次。(假设内存工作区足够大，但操作之前各个结点都存放在磁盘上，B 树的高度为 h)
A $2h-2$ B $2h-1$ C $3h-1$ D $3h-2$ 次

得分 3、解答题。(每小题 5 分，本题满分 20 分)

- (1) 使用一个 32 位整数以位向量集合的方式来表示 0 到 31 之间的整数的子集。请写出打印集合 s 中所有元素的代码。
- (2) 假设一棵二叉树 T 的中序遍历序列和层次遍历(按层次递增顺序排列，同一层次自左向右)序列分别是 ABCDGEF 和 CAEBDFG。请写出该二叉树的后序遍历序列。
- (3) 已知图的邻接矩阵为：

	V1	V2	V3	V4	V5	V6
V1	0	1	1	0	0	0
V2	0	0	1	1	0	0
V3	0	0	0	0	1	0
V4	0	0	1	0	0	1
V5	0	0	0	0	0	0
V6	0	0	0	0	1	0

请写出全部拓扑排序序列。

- (4) 对图 3—1 所示的 AOE 网络，求出每个活动的最早开始时间 $e()$ 和最迟开始时间 $l()$ ，并确定哪些活动是关键活动。

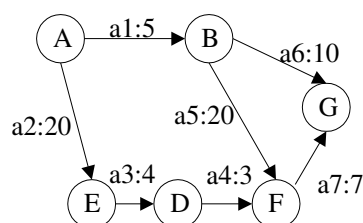


图3—1

得分	
----	--

4、以下算法实现了循环链表的逆转。

```

template<class Type>
void CList<Type>::Inverse () {
    CListNode<Type> *p,*q,*r;
    if (first->link==first) return;
    p=first->link;q=p->link;
    p->link=first;
    while (_____)
    { r=q->link;q->link=p;
      p=q;q=r;
    }
    _____;
}

```

- (1) 请在算法的横线上填入适当的语句，每处只填一个语句或一个表达式；(6 分)
- (2) 请用大“O”表示法表示算法的时间复杂度和空间复杂度，假设链表长度为 n。(4 分)

得分	
----	--

5、以下给出一个排序算法，其中 n 是数组 A[] 中元素总数。

```

template<class Type>
void sort (Type A[ ], int n) {
    int i = 1;
    while ( i<n-i+1)
    { min=max=i;
      for (j=i+1;j<=n-i+1;++j)
      { if (A[j]<A[min]) min=j;
        else if (A[j]>A[max]) max=j;
      }
      if (min!=i) Swap(A[min], A[j]); // Swap()函数的功能是交换两个数
      if (max!=n-i+1)
      { if (max==i) Swap(A[min], A[n-i+1]);
        else Swap(A[max], A[n-i+1]);
      }
      i++;
    }
}

```

- (1) 阅读此算法，说明此算法的基本思想。(2 分)
- (2) 对于下面给出的整数数组，请写出前 4 趟 while 结束时数组中数据的变化。(每行仅写出一个 while 循环的变化)(4 分)

步	A[0]	A[1]	A[2]	A[3]	A[4]	A[5]	A[6]	A[7]	A[8]
	34	23	89	26	3	45	18	102	41
1									
2									
3									
4									

(3) 请写出此排序算法最好情况下数据的移动次数。(2 分)

(4) 请用大“O”表示法表示算法的时间复杂度。(2 分)

得分	
----	--

6、 程序设计题。(每小题 10 分，本题满分 20 分)

(1) 二叉树 T 以二叉链表的形式存储，设计算法返回二叉树 T 的先序序列的最后一个结点的指针（要求不用递归）。

二叉链表的结点结构为：

leftchild	data	rightchild
-----------	------	------------

(2) 已知一个有向图的邻接表表示，给出一个算法高效地计算出这个图的逆邻接表（即顶点 i 的边链表是所有进入该顶点的边）。要求算法的时间复杂度是 $O(n+e)$ ，其中 n 是图的顶点数，e 是图的边数。

答案:.....

1、(1) $B[i*(i+1)/2+j]$

(2) $s \rightarrow link = p \rightarrow link; p \rightarrow link = s;$

(3) $(n-1)/2$

(4) $(L \rightarrow rLink \rightarrow rLink == L \parallel L \rightarrow lLink \rightarrow lLink == L) \&\& L \rightarrow rLink != L;$

（写出 $L \rightarrow rLink \rightarrow rLink == L \&\& L \rightarrow rLink != L;$

或者 $L \rightarrow lLink \rightarrow lLink == L \&\& L \rightarrow rLink != L;$

之一即可）

(5) $O(n)$

(6) 5 6 2 7 8 3 4

(7) 56 41 20 17 19 22 35

(8) $O(\text{LengthP} + \text{LengthT})$

(9) $\text{rear} + 1 = \text{first};$

(10) $n(n-1)/2; n-1$

2.

(1) A

(2) A

(3) B

(4) A

(5) A D (bc 也对? 因为 rTag 为 0/1 时到底记录哪个值?)

(6) D

(7) C

(8) A D

(9) B

(10) D

2.

```
(1) long bits[]={ 0x00000001,0x00000002,0x00000004,0x00000008,
                  0x00000010,0x00000020,0x00000040,0x00000080,
                  0x00000100,0x00000200,0x00000400,0x00000800,
                  0x00001000,0x00002000,0x00004000,0x00008000,
                  0x00010000,0x00020000,0x00040000,0x00080000,
                  0x00100000,0x00200000,0x00400000,0x00800000,
                  0x01000000,0x02000000,0x04000000,0x08000000,
                  0x10000000,0x20000000,0x40000000,0x80000000}
```

```
for (i=0;i<32;i++)
```

```
    if s & bits[i] cout<<i;
```

也可以使用移位的方法测试第 i 位上是否为 1, 如果为 1 则输出。

(2) BAGDFEC

(3) 1 2 4 3 6 5

1 2 4 6 3 5

(4) A B E D F G

Ve 0 5 20 24 27 34

VI 0 7 20 24 27 34

	a1	a2	a3	a4	a5	a6	a7
e()	0	0	20	24	5	5	27
l()	2	0	20	24	7	24	27

关键活动为 a2 a3 a4 a7

4、(1) template<class Type>void List<Type>::Inverse () {

```
    ListNode<Type> *head=new ListNode<Type>( );//创建表头结点, 其 link 域默认为
                                                //NULL;
```

```
    if (first->link==head) return;
```

```
    p=first->link;q=p->link;
```

```
    p->link=first;
```

```
    while (q!=first)
```

```
    { r=q->link;q->link=p;
```

```
      p=q;q=r;
```

```
    }
```

```
    first->link=p;
```

```
}
```

(2) $O(n)$ $O(1)$

5、(1)冒泡排序的改进算法，每趟排序都选出最小的和最大的将其放在前边和后边的位置上

(2)

步	A[1]	A[2]	A[3]	A[4]	A[5]	A[6]	A[7]	A[8]
	23	89	26	3	45	18	102	41
1	3	89	26	23	45	18	41	102
2	3	18	26	23	45	41	89	102
3	3	18	23	26	41	45	89	102
4	3	18	23	26	41	45	89	102

(3) 0

(4) $O(n^2)$

6、(1) while (t!=NULL)

```
{ p=t;
  t=t->rightchild;
  if (t==NULL) t=p->leftchild;
}
```

return t

(2)

for(int i = 0; i<numVertices; i++)

```
{
  Edge * p = NodeTable[i].adj;
  while(p!=NULL)
  {
    Edge *q = new Edge(i,p->weight);
    q->link = NodeTable[p->dest];
    NodeTable[p->dest].reverseAdj = q;
  }
}
```

评分标准：如果使用其它名字来表示结点数量（numVertices），邻接表头指针（adj，）逆邻接表头指针（reverseAdj）等，不扣分。

只要基本思想正确，小的格式错误不扣分。比如 Edge 的构造函数可以使用其它写法。只要能够表明构造得到的边结点的 dest 是当前结点号，就不扣分。

如果学生能够给出其它算法，确定正确后可得满分。如部分正确则酌情给分。