

《计算机组织与系统结构》模拟试卷一

总分		题号	一	二	三	四	五	六	七
		题分	10	10	10	20	14	16	20
合分人		得分							

一、填空题（本大题共 8 题，每题有一个或两个空，每空 1 分，共 10 分）在每个横线空格上填上最恰当的内容。

1. 计算机硬件由运算器、控制器、存储器和输入输出设备这几部分组成，在“存储程序”方式控制下进行工作。
2. 假设某个 8 位寄存器中的内容为 10010010，若它表示的是一个无符号整数，则该数逻辑右移一位后的值为 01001001；若它表示的是一个有符号数，并且是其补码表示，则该数算术右移一位后的值为 11001001。
3. 主存储器的作用是用来存放程序和数据。在对主存储器进行写操作前，CPU 必须通过总线向主存储器传送地址信息、数据信息和“存储器写”控制信号。
4. 指令的基本格式必须包含两个基本部分：操作码和地址码。
5. 设某机器定点整数格式长为 8 位（包含 1 位符号位），若 X 用补码表示，则 $[X]_{\text{补}}$ 能表示的最大正数用十进制表示是 +255，最小负数是-256。
6. 对数据代码 1110101 设置偶校验位 P 为：1。
7. 用 4K×8 位的存储芯片组成一个 64K×32 位的存储器，共需 64（或 16×4） 块芯片，需有 2 位地址用于片选信号的译码逻辑。
8. 若 $X = -0.X_1X_2\ldots X_n$ ，则 $[X]_{\text{原}} =$ 1.X₁X₂.....X_n。

二、单项选择题（本大题共 10 小题，每小题 1 分，共 10 分）在每小题的四个备选答案中，选出一个正确的答案，并将其号码填在题干的括号内。

1. 已知十进制数 $X = -(17/128)$ ，假定采用 8 位寄存器，则相应的 $[X]_{\text{补}}$ 为(④)。
 ① 1001 0001 ② 0100 0100 ③ 0001 0001 ④ 1110 1111
2. 已知十进制数 $X = 129.875$ ，则相应的十六进制数 $(X)_{16}$ 为(②)。
 ① 41.7 ② 81.E ③ 41.E ④ 81.7
3. 程序计数器 PC 用来存放指令地址，执行完一条指令后，通常由程序计数器提供后继指令地址，其位数和(④)的位数相同。

① 指令寄存器 IR ② 主存数据寄存器 MDR
③ 程序状态字寄存器 PSWR ④ 主存地址寄存器 MAR

4. 堆栈是一种(④)访问存储器。

① 顺序 ② 先进先出 ③ 随机 ④ 先进后出

5. 下列叙述中，能反映 RISC 特征的有(③)。

① 丰富的寻址方式 ② 指令长度可变
③ 设置大量通用寄存器 ④ 使用微程序控制器

6. 在计算机系统中，表征系统运行状态的部件是 (①)。

① 程序状态字寄存器 ② 累加计数器
③ 中断向量寄存器 ④ 页表基址寄存器

7. 采用存储器间接寻址方式的指令,其操作数在(①)中。

① 主存单元 ② 栈顶 ③ 寄存器 ④ I/O 端口

8. 某 16 位浮点数格式为：阶码是 6 位移码，基为 4，尾数用 10 位补码（含符号位，没有隐含位）表示，则该浮点数所能表示的最大正数是(③)。

① $(1-2^{-10}) \times 4^{31}$ ② $(1-2^{-10}) \times 4^{32}$ ③ $(1-2^{-9}) \times 4^{31}$ ④ $(1-2^{-9}) \times 4^{32}$

9. 下列数中最小的数是(④)。

① $(1100101)_2$ ② $(125)_8$ ③ $(1000\ 0010)_{BCD}$ ④ $(50)_{16}$

10. 在存储器的分级层次化结构中，速度从快到慢的存储器顺序为(②)。

① 寄存器-主存-高速缓存-辅存 ② 寄存器-Cache-主存-辅存
③ 寄存器-高速缓存-主存-虚存 ④ 寄存器-主存-Cache-辅存

答：是否转到新请求中断的中断服务程序去执行还要看目前是否处在开中断的状态，另外在多重中断的情况下，还要看发生请求的中断是否未被屏蔽（即：发生请求的中断的处理优先级比正在执行的程序的处理优先级高）。

4. 在 DMA 周期内，CPU 不能执行程序。

答：如果在 DMA 周期内，CPU 不需要访问内存，那么，在 DMA 访问内存时，CPU 执行指令，两者并行工作。

5. 因为半导体存储器加电后才能存储数据，断电后数据就丢失了，因此 EPROM 存储器是一种易失性存储器。

答：虽然 EPROM 存储器是一种半导体存储器，但它并不是靠外加电源维持的双稳态电路的状态或记忆电容存储的电荷多少来表示存储的信息，而是靠记忆单元是相接还是断开的状态来表示信息，断电后记忆单元是相接还是断开的状态不会发生改变，所以它是一种非易失性存储器。

四、名词解释（本大题共 10 小题，每小题 2 分，共 20 分）用一到两句话简要解释各名词术语。

1. ALU

是“算术逻辑部件”的简称，是运算器的核心部件，用于进行各种算术和逻辑运算。

2. 中断屏蔽

多重中断系统中用来确定各级中断处理优先级的一种手段。若正在处理的中断比新发生的中断处理优先级高，可用中断屏蔽来延迟对新中断的响应，直到正在执行的中断被处理完。

3. 猝发数据传输方式

是一种成组数据传送方式，可在一次总线传输中连续传送多个字，并只需给出一个首地址。

4. 对阶

在进行浮点数加减运算时，首先必须使两个操作数的阶码相等，这种操作称为“对阶”。对阶时，将阶小的那个数的尾数右移，右移一次，阶码加 1，直到其阶与大阶码相等。

5. 周期挪用

是一种常用 DMA 方式。当 DMA 控制器访问存储器时，它向 CPU 申请使用总线，CPU 在一个机器周期结束后，立即释放总线控制权，让 DMA 控制器使用总线，此时，DMA 控制器挪用了一个存储周期，完成一次存储器访问，然后又释放总线，由 CPU 使用总线。

6. 程序访问局部性

程序在一段短时间内，所产生的访存地址总是在一个局部范围内。

7. 编址单位

对内存单元进行编号时，每个地址所含的信息量。例如，按字节编址时，每个地址中存储一个字节的信息。

8. 动态 RAM

记忆单元靠电容器存储电荷的多少来表示存储的信息是 0 还是 1，而电容器上的电荷有漏电现象，因而存储的信息会动态改变，为此，必须在一定的时间内对电容进行充电。

9. CISC

复杂指令集计算机，这种计算机的指令系统指令条数多，格式多样，寻址方式复杂多样，大多采用微程序控制器。

10. 异步通信

通信双方采用“握手”信号进行信息交换，而没有统一的时钟信号控制。

五、计算题（本大题有 2 小题，共 14 分）

1. 已知 $X = (-1/16)_{10}$ ，将该数表示为 IEEE754 单精度浮点数格式的数，并用十六进制表示其最终结果。（4 分）

答： $(-1/16)_{10} = (-0.0001)_2 = -1.0 \times 2^{-4} = (-1)^s \times 1.f \times 2^{e-127}$

$s=1, f=0.0000\dots 0, e=(127-4)_{10}=(123)_{10}=(0111\ 1011)_2$

IEEE754 单精度浮点数表示为：1 0111 1011 0000...0000 000

按 4 位一组进行组合：1011 1101 1000 0000 0000

转换成十六进制表示为：BD800000H

2. 已知 $X = (13/16) \times 2^{-5}$, $Y = (-10/16) \times 2^{-3}$ ，按照浮点数加减法，计算 $X+Y=?$ 和 $X-Y=?$

（假定采用两位保护位，最终的舍入采用“0 舍 1 入”法，浮点数编码格式为：阶码用 4 位补码，尾数用 6 位模 4 补码，请按顺序将每步的中间结果填入下表右栏中）（10 分）

项目名称		结果
$[X]_{\text{浮}}$		1 011, 00. 1101
$[Y]_{\text{浮}}$		1 101, 11. 0110
$[E_X - E_Y]_{\text{补}}$		1110
$E_X - E_Y$		$(-2)_{10}$
对阶结果	对 $[X]_{\text{浮}}$ 对阶	1101, 00.0011 01
尾数加减	$[M_X + M_Y]_{\text{补}}$	11.1001 01
	$[M_X - M_Y]_{\text{补}}$	00.1101 01
规格化并舍入	$[X+Y]_{\text{浮}}$	1100, 11. 0011
	$[X-Y]_{\text{浮}}$	1101, 00. 1101
最终结果	$X+Y$	$(-13/16) \times 2^{-4}$
	$X-Y$	$(13/16) \times 2^{-3}$

六、分析题（本大题有 3 小题，共 16 分）

1. 假定同步总线的时钟周期为 50ns，每次总线进行主存读传输时首先要花 1 个时钟周期发送地址和读命令，最终从总线取数要花一个时钟周期，总线的数据线为 32 位宽，存储器的取数时间为 200ns。要求求出该存储器进行连续读操作时的总线带宽。（4 分）

答：一次“主存读”事务的时间为： $50\text{ns}+200\text{ns}+50\text{ns}=300\text{ns}$

所以连续读操作时的总线带宽为： $4\text{B} / 300\text{ns} = 13.3\text{MB/s}$

2. 用 1Kx1 位的 RAM 芯片，组成一个 16Kx8 位的存储器。问：

(1) 需用多少个 RAM 芯片？（2 分）

(2) 连接 CPU 和主存的总线中需多少条地址线，其中多少位用于选片？多少位用于片内选片？（3 分）

(3) 若该 RAM 芯片采用地址复用技术（即：行地址和列地址共用一组地址引脚线），则该芯片需要多少个地址引脚线？（1 分）

答：(1) 需用 $16 \times 8=128$ 个 RAM 芯片。

(2) 连接 CPU 和主存的总线中需 14 条地址线，其中 4 位用于选片，10 位用于片内选片。

(3) 若该 RAM 芯片采用地址复用技术，则该芯片需要 5 个地址引脚线。

3. 假设某计算机指令系统采用定长指令字结构，每条指令的长度为 32 位，主存采用字节编址方式。请问在指令执行过程中应如何计算下条指令的地址？若一条无条件转移指令采用相对寻址方式，其地址码的值为-16，当前正在执行的指令的地址为 1200，则转移目标地址的值是多少？假定地址位数为 16 位，则用十六进制表示为多少？（6 分）

答：因为每条指令占 32 位=4Bytes，也即 4 个内存单元，所以，在指令顺序执行时，可以直接通过将 PC 的值每次加 4 得到下条指令的地址。

在相对寻址方式的无条件转移指令中，目标指令的地址为(PC)+位移量，当前 PC 的内容为 $1200+4=1204$ ，位移量为-16，所以转移目标地址为： $1204+(-16) = 1188$ 。

$1188=0000\ 0100\ 1010\ 0100_2$ ，该目标地址用十六进制表示为 04A4H。

七、简答题（本大题有 6 小题，共 20 分）

1. 计算机中为什么要引入浮点数表示？（2 分）

答：因为定点数的表数范围小，并且不能表示实数，所以要引入浮点数。

2. 程序和数据都存放在内存，它们在形式上没有差别，计算机如何识别它们？（3 分）

答：程序和数据都存放在内存，它们在形式上都是 0/1 序列，计算机通过在执行指令过程中的不同阶段来区分，在取指令阶段，取出的是指令，在取操作数阶段，则取出来的是数据。

3. 在主存和 Cache 之间采用直接映射时，是否要考虑替换问题？为什么？说明直接映射方式下的替换过程。（3 分）

答：不需要考虑替换问题。因为直接映射情况下，一个主存块总是固定地映射到一个特定的 Cache 槽中。当某一个新的主存块调到 Cache 时，如果原来对应的 Cache 槽被占用，则毫无选择地把原来的数据替换掉，腾出来存放新的主存块。

4. 现代计算机系统中大多采用字节编址方式，在进行一个 32 位的数据存储时，涉及到数据中的各字节在内存中的存放顺序问题。请问什么是小端序方式？试举例说明。（4 分）

答：数据的最低有效字节存放在最小地址上。例如，假定被存放的数据为 12 34 56 78H，该数据在内存的地址为 100H。则 12H 存放在 103H 单元，34H 存放在 102H 单元，56H 存放在 101H 单元，78H 存放在 100H 单元。

5. 对于多重中断系统来说，中断处理过程（即：中断服务程序的执行）由哪几个阶段组成？说明每个阶段要完成的主要工作。（6 分）

答：对于多重中断来说，中断处理过程分为以下四个阶段：

- (1) 先行段（准备阶段）用来进行现场保护，并保存旧的屏蔽字，设置新的屏蔽字，然后开中断。
- (2) 主体段（服务阶段）用来进行中断服务，具体地实现数据的传送和设备的启动。
- (3) 结束段（恢复阶段）先是关中断，然后进行现场和旧屏蔽字的恢复，清“中断请求”，最后开中断。
- (4) 中断返回阶段，这是中断服务程序的最后一条指令，用来返回原来被中止的程序继续执行。

6. 至少指出两种指令流水线被破坏的情况？（2 分）

答：在以下三种情况下，指令流水线可能会被破坏：

- (1) “资源冲突”，例如，多条指令同时要访问内存；
- (2) “指令相关”，例如，上一条指令的运算结果是下一条指令的源操作数；
- (3) “转移指令”，在流水线中的转移指令的后续指令可能无效。