

2019 启航考研
计算机组成原理测试题

一、选择题（每小题 1 分，共 10 分）

1. -1011B 的移码为()
A. 10101B
B. 01011B
C. 00101B
D. 11011B
2. 二进制数100. 0101B在机器中的IEEE754单精度表示形式为()
A. $1.000101 \times 10^{+2}$
B. $0.1000101 \times 2^{+3}$
C. 00000045H
D. 408A0000H
3. 假定下列字符码中有奇偶校验位, 但没有数据错误, 采用奇校验的字符码是()
A. 11001111
B. 11010110
C. 11100001
D. 11001001
4. 在链式查询方式下, 若有 n 个设备, 则()。
A. 有几条总线请求信号
B. 共用一条总线请求信号
C. 有 n-1 条总线请求信号
D. 无法确定
5. 用于存放运算结果状态信息的寄存器是()
A. 程序计数器
B. 指令计数器
C. 指令译码器
D. 程序状态字寄存器
6. X 补码为 1.0000, 则它代表的真值为()
A. -0
B. -1
C. 0
D. +1
7. 在多级存储体系中, “Cache—主存”结构的作用是解决()的问题
A. 主存容量不足
B. 主存与辅存速度不匹配
C. 辅存与 CPU 速度不匹配
D. 主存与 CPU 速度不匹配
8. 不属于运算器的部件是()
A. PC
B. 数据暂存器

C. 累加寄存器

D. 算术逻辑运算单元

9. 动态存储器和静态存储器的主要区别是()

A. 掉电后信息是否丢失

B. 是否需要刷新

C. 速度是否快

D. 容量是否大

10. 不属于 CPU 功能的是()

A. 指令控制

B. 逻辑运算

C. 存储控制

D. 算术运算

二、计算题(第 1 小题 10 分, 第 2 小题 15 分, 共 25 分)

1. 已知总线频率为 33MHz, 请回答以下问题:

- 1) 某总线在一个总线周期中并行传送 4 字节的数据, 若一个总线周期等于一个时钟周期, 问总线带宽是多少?
- 2) 若一个总线周期中并行传送 64 位数据, 总线时钟提高为 66MHz, 问总线带宽是多少?
- 3) 分析影响带宽的有哪些因素?

2、以下是计算向量点积的程序段:

```
#define N 8
float dotProduct(float x[],float y[])
{
    float sum=0.0;
    for(int i=0;i<N;i++)
        sum+=x[i]*y[i];
    return sum;
}
```

请回答:

- 1) 分析两个数组的时间局部性和空间局部性。
- 2) 设 Cache 数据区容量 32 字节, 采用直接映射方式, 内存每块 16 字节, 编译程序将 sum 和 i 分配给寄存器, 数组 x 存放在 00000040H 开始的 32 个字节连续存储区, 数组 y 在其后连续存放。求该程序的数据访问命中率, 并说明每次访问的 Cache 命中率。
- 3) 若 Cache 采用 2 路组相联, 块大小改为 8 字节, 其他条件不变, 求该程序的 Cache 命中率。
- 4) #define N 8 改为 #define N 12, 保持 2) 的条件不变, 求该程序的 Cache 命中率。

(1) 设总线传输周期为 t ，某存储器支持 8 体交叉存取，某程序执行过程中访问的地址序列为 0-6，9-12，32，51-54，63-66，70-78 则哪些地址会发生体冲突？ 共需多少个总线周期？（10 分）

(2) 假定一个计算机系统有一个 TLB 和一个 L1 data cache。该系统按字节编址，虚拟地址 16 位，物理地址 12 位，页大小为 128B，TLB 为四路组相联，共有 16 个页表项；L1 data cache 采用直接映射方式，块大小为 4B，共 16 行。在系统运行到某一时刻时，TLB、页表和 L1 data cache 中的部分内容（用十六进制表示）如下：（20 分）

组号	标记	页框号	有效位	标记	页框号	有效位	标记	页框号	有效位	标记	页框号	有效位
00	03	-	0	09	1D	1	00	-	0	07	10	1
01	13	2D	1	02	-	0	04	-	0	0A	-	0
02	02	-	0	08	-	0	06	-	0	03	-	0
03	07	-	0	63	12	1	0A	34	1	72	-	0

(a) TLB（四路组相联）：四组、16 个页表项

虚页号	页框号	有效位
00	08	1
01	03	1
02	14	1
03	02	1
04	-	0
05	16	1
06	-	0
07	07	1
08	13	1
09	17	1
0A	09	1
0B	-	0
0C	19	1
0D	-	0
0E	11	1
0F	0D	1

(b) 部分页表：（开始 16 项）

行索引	标记	有效位	字节 3	字节 2	字节 1	字节 0
0	19	1	12	56	C9	AC
1	-	0	-	-	-	-
2	1B	1	03	45	12	CD
3	-	0	-	-	-	-
4	32	1	23	34	C2	2A
5	0D	1	46	67	23	3D
6	-	0	-	-	-	-
7	10	1	12	54	65	DC
8	24	1	23	62	12	3A
9	-	0	-	-	-	-
A	2D	1	43	62	23	C3
B	-	0	-	-	-	-
C	12	1	76	83	21	35
D	16	1	A3	F4	23	11
E	33	1	2D	4A	45	55
F	-	0	-	-	-	-

(c) L1 data cache：直接映射，共 16 行，块大小为 4B

请回答下列问题：

- 1) 虚拟地址中哪几位表示虚拟页号？哪几位表示页内偏移量？虚拟页号中哪几位表示 TLB 标记？哪几位表示 TLB 索引？
- 2) 物理地址中哪几位表示物理页号？哪几位表示页内偏移量？
- 3) 主存（物理）地址如何划分成标记字段、行索引字段和块内地址字段？
- 4) CPU 从地址 067AH 中取出的值为多少？说明 CPU 读取地址 067AH 中内容的过程。

(3) 按字节编址的计算机 M 上，提 43 中 f1 的部分源码（阴影部分）与对应机器级代码（包括指令的虚拟地址）如下：（20 分）

int f1(unsigned n)			
； 行号	虚拟地址	机器指令	汇编指令
1	00401020	55	push ebp
...	

```

        for(unsigned i=0;i<=n-1;i++)
20      0040105E      39 4D F4      cmp dword ptr [ebp-0Ch],ecx
        ...      ...
        {   power*=2;
        ...      ...
23      00401066      D1 E2      shl edx,1
        ...      ...
        return sum;
        ...      ...
35      0040107F      C3      ret

```

其中，机器级代码行包括行号、虚拟地址、机器指令和汇编指令。请回答下列问题。

- 1) 计算机 M 是 RISC 还是 CISC？为什么？
- 2) f1 的机器指令代码共占多少字节？给出计算过程。
- 3) 第 20 条指令 cmp 通过 i 减 n-1 实现对 i 和 n-1 的比较。执行 f1(0)过程中，当 i=0 时，cmp 指令执行后，进/借位标志 CF 的内容是多少？给出计算过程。
- 4) 第 23 条指令 shl 通过左移操作实现了 $power*2$ 运算，在 f2 中能否也用 shl 指令实现 $power*2$ ？为什么？

(3) CPU的数据通路如图 1 所示。运算器中 $R_0 \sim R_3$ 为通用寄存器，DR为数据缓冲寄存器，PSW为状态字寄存器。D-cache为数据存储器，I-cache为指令存储器，PC为程序计数器（具有加 1 功能），IR为指令寄存器。单线箭头信号均为微操作控制信号（电位或脉冲），如 LR_0 表示读出 R_0 寄存器， SR_0 表示写入 R_0 寄存器。

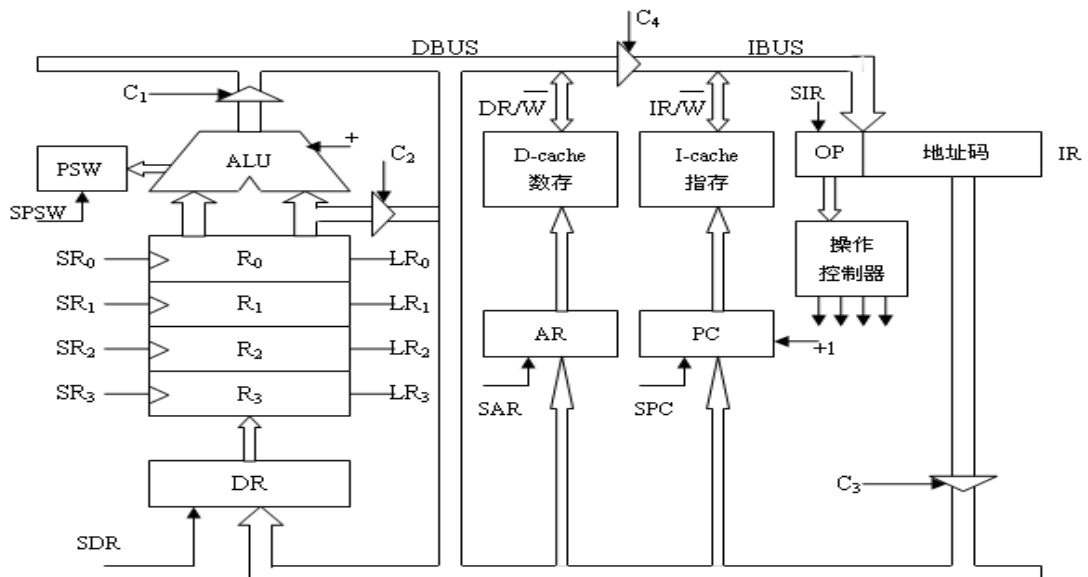


图 1 CPU 的数据通路

机器指令“ADD R2,R0”实现的功能是：将寄存器 R2 和 R0 中的数据进行相加，求和结果打入到寄存器 R0 中。请画出该加法指令的指令周期流程图，并在 CPU 周期框外写出所需的微操作控制信号。（一个 CPU 周期含 T1~T4 四个时钟信号，寄存器打入信号必须注明时钟序号）（15 分）



20计算机考研群：738222741