

TÊN MÔN HỌC: **KỸ THUẬT ĐIỆN TỬ SỐ**

SỐ TÍN CHỈ: **2**

TÊN BÀI GIẢNG: **MẠCH LOGIC TỔ HỢP**

TUẦN : 4 **(TỪ 16/03/2020 – 22/03/2020**

GIẢNG VIÊN: **PHẠM THỊ THU HÀ**

KHOA: **ĐIỆN TỬ**

I. Mục tiêu tuần 5

1. Hiểu, phân tích khái niệm, các phương pháp chung để phân tích một số mạch dòng kênh, mạch phân kênh

2. Thiết kế mạch dòng kênh, phân kênh

II. Yêu cầu tuần 5

1. Trả lời các câu hỏi 1, 2, 3 trong bài giảng

2. Thời gian đăng nhập và trả lời câu hỏi trong tuần1:

TỪ 16/03/2020 – đến hết 22 /03/2020

3. Quy định trong lớp học:

Hàng tuần đăng nhập hệ thống để đọc bài, tóm tắt các ý chính. Phần nào không hiểu trao đổi để cô giải đáp)

- Trả lời các câu hỏi theo bài yêu cầu (cộng điểm chuyên cần hoặc điểm hệ số 1)

NỘI DUNG BÀI GIẢNG

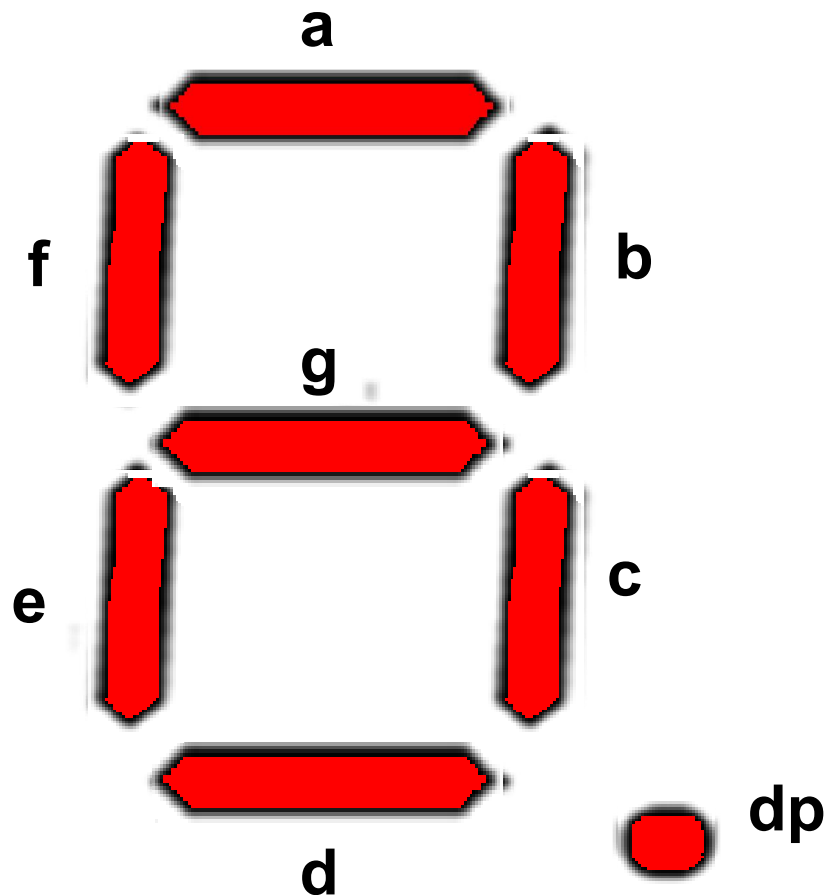


Mạch logic tổ
hợp(Tiếp theo)

????

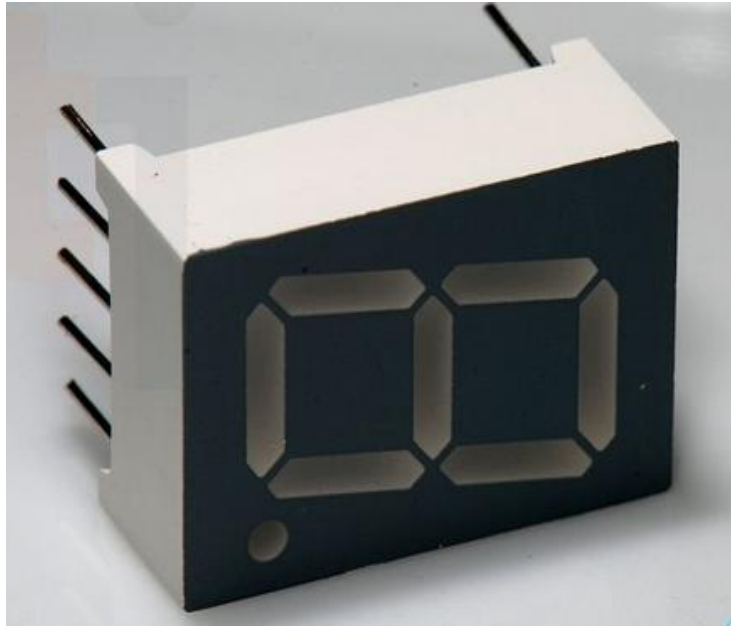
2.4.2.2. Mạch giải mã BCD-led 7 đoạn

a. Giới thiệu Led 7đoạn (Seven Segment light Emitting Diode)



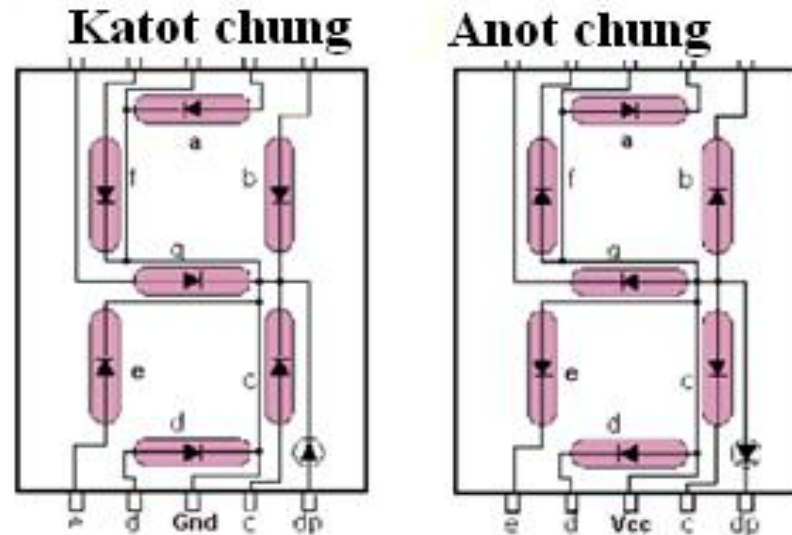
Hình 2.3.2.1: Ký hiệu Led 7 đoạn

a. Giới thiệu Led 7đoạn (Seven Segment light Emitting Diode)

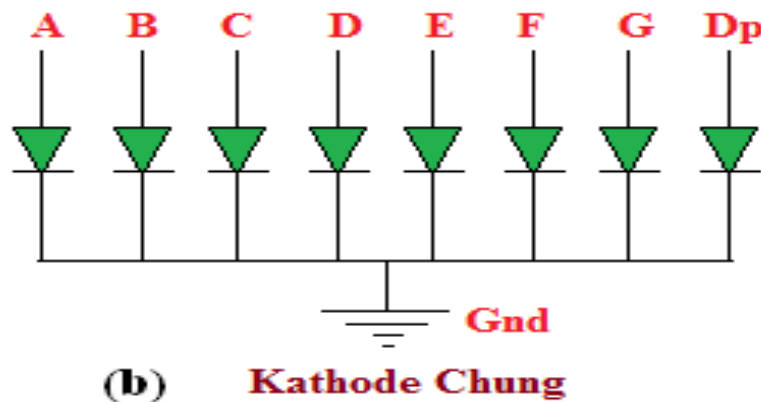


Hình 2.3.2.2: Hình dáng thực của Led 7 đoạn

a. Giới thiệu Led 7đoạn (Seven Segment light Emitting Diode)

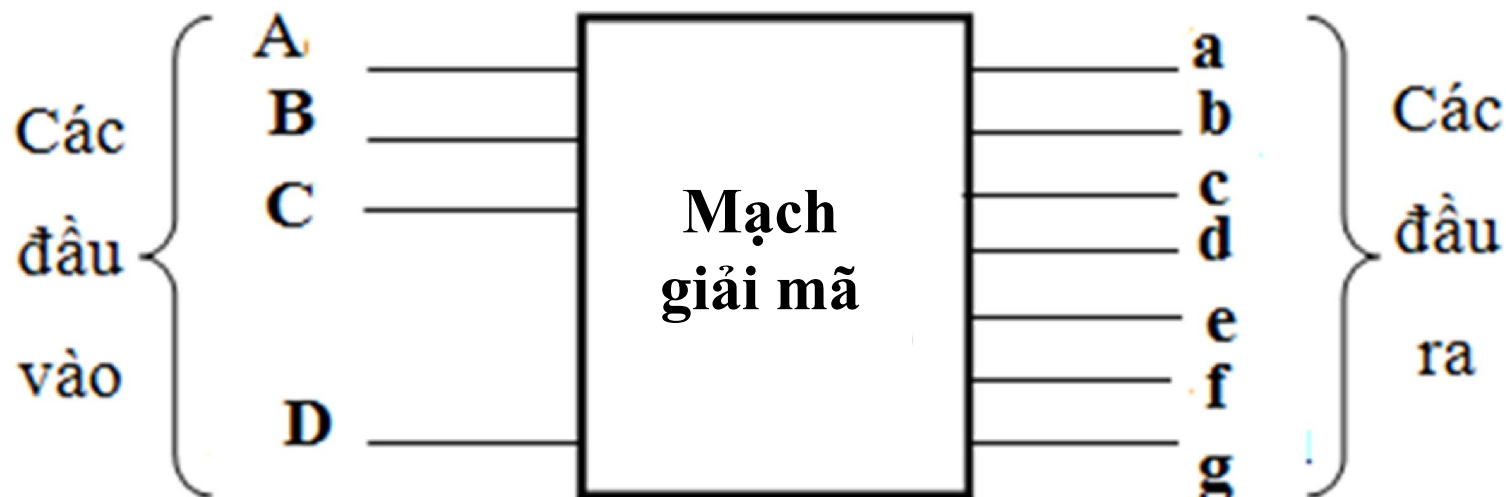


Hình 2.3.2.2: Mô tả cấu tạo bên trong của Led 7 đoạn



Hình 2.3.2.2: Nguyên lý cấu tạo Led 7 đoạn

b. Sơ đồ khối mạch giải mã BCD-7 đoạn



Hình 2.3.2.5: Sơ đồ khối của mạch giải mã Led 7 đoạn

c. Bảng chân lý

	Mã BCD (đầu vào)				Các trạng thái đầu ra						
	D	C	B	A	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1
Các trạng thái từ 10 đến 15 không dùng					x	x	x	x	x	x	x

Các trạng thái từ 10 đến 15 không dùng nên bên cột các trạng thái đầu ra đánh dấu x

dấu x

Ta có thể giá trị gán cho x = 0

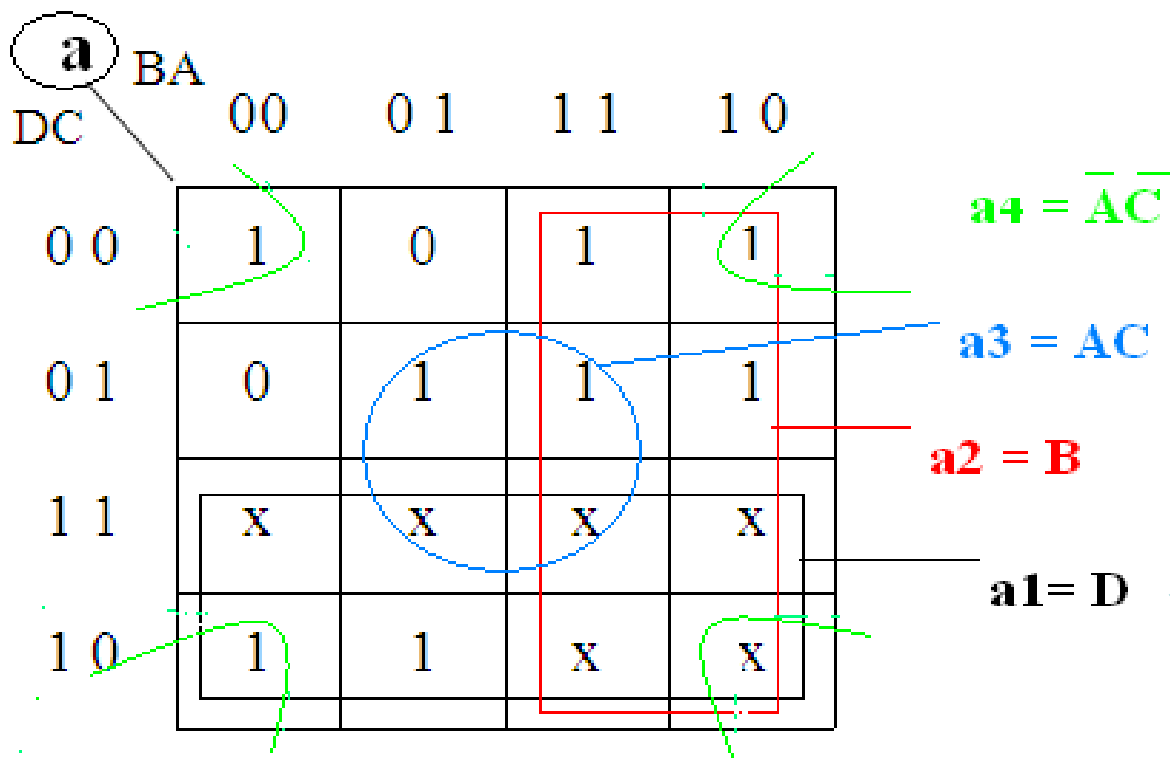
Ta có thể giá trị gán cho x = 1

} Tùy ý

4. Hàm logic

Từ bảng chân lý mỗi đầu ra ta lập được một bảng Karnaugh.

Đây là bảng Karnaugh của hàm a. Áp dụng quy tắc tối thiểu hàm logic bằng bảng K ở phần trước để làm



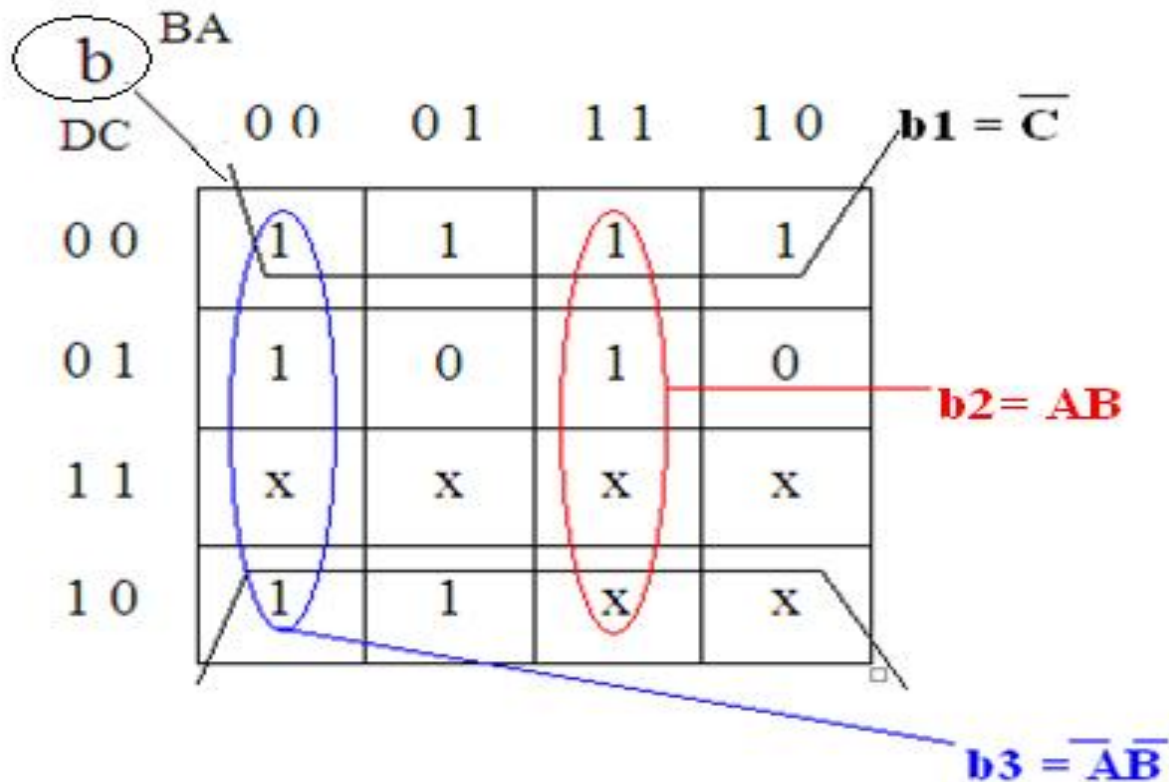
Vòng a_1 có 8 ô nên rút được 3 biến, rút gọn bằng cách những biến có giá trị đối nhau thì loại, kết quả còn biến giống nhau D.

Bảng 2.3.2.2a: Bảng Karnaugh của hàm a

Rút gọn bằng Karnaugh ta có kết quả của hàm a:

$$a = D + B + AC + \overline{A}\overline{C}$$

d. Hàm logic



Bảng 2.3.2.2b: Bảng Karnaugh của hàm b

Căn cứ vào bảng Karnaugh ta có:

$$b = \overline{C} + AB + \overline{A}\overline{B}$$

d. Hàm logic

c BA

DC 00 01 11 10

00	1	1	1	0
01	1	1	1	1
11	x	x	x	x
10	1	1	x	x

$c3 = A$

$c2 = \overline{B}$

$c1 = C$

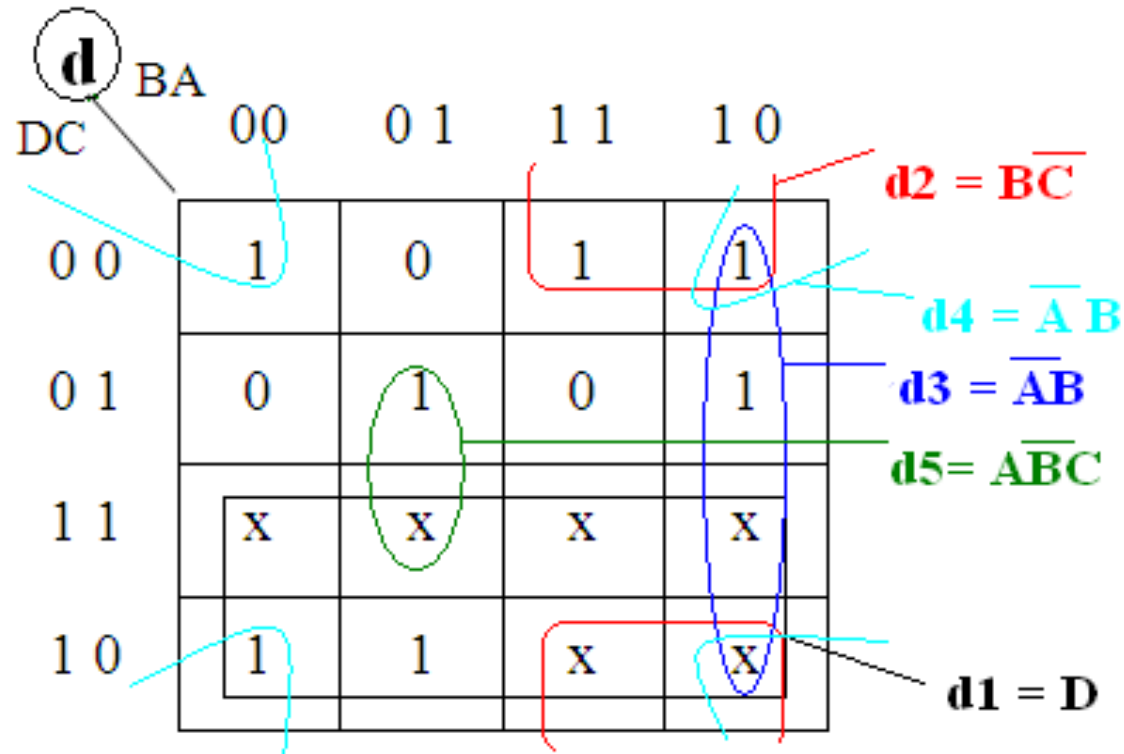
The Karnaugh map is a 4x4 grid. The columns are labeled BA (00, 01, 11, 10) and the rows are labeled DC (00, 01, 11, 10). The map contains 1s at (00,00), (01,00), (11,00), (00,01), (01,01), (11,01), (00,10), and (01,10). It contains 0s at (11,00) and (10,00). All other cells (11,01), (10,01), (11,10), and (10,10) contain 'x'. Three groupings are shown: a red rectangle labeled c1 = C covering the first two columns; a red rectangle labeled c2 = B-bar covering the first two rows; and a blue oval labeled c3 = A covering the first two columns and the first two rows.

Bảng 2.3.2.2c: Bảng Karnaugh của hàm c

Căn cứ vào bảng Karnaugh ta có:

$$c = +C + \overline{B} + A$$

Bảng 2.3.2.2d: Bảng Karnaugh của hàm d



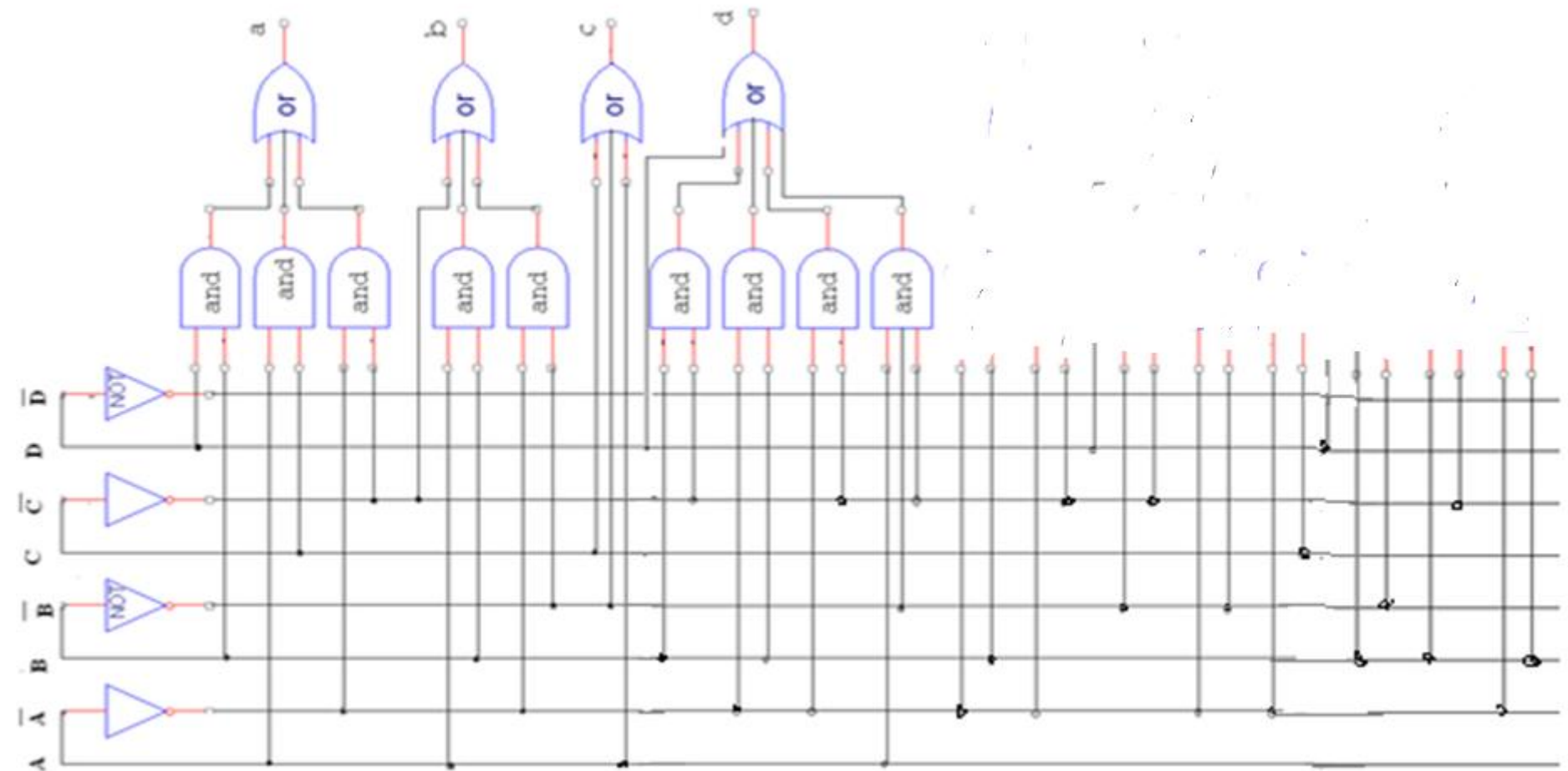
Căn cứ vào bảng Karnaugh ta có:

$$d = D + B\bar{C} + \bar{A}B + \bar{A}\bar{C} + A\bar{B}C$$

Câu hỏi 1

Các em lập bảng Karnauh cho các hàm e,f,g và rút gọn tương tự như trên được kết quả rồi đi vẽ lần lượt mạch điện như sau

e. Mạch nguyên lý



Hình 2.3.2.6: Mạch giải mã BCD-Led 7 đoạn

2.4.3. Mạch dồn kênh

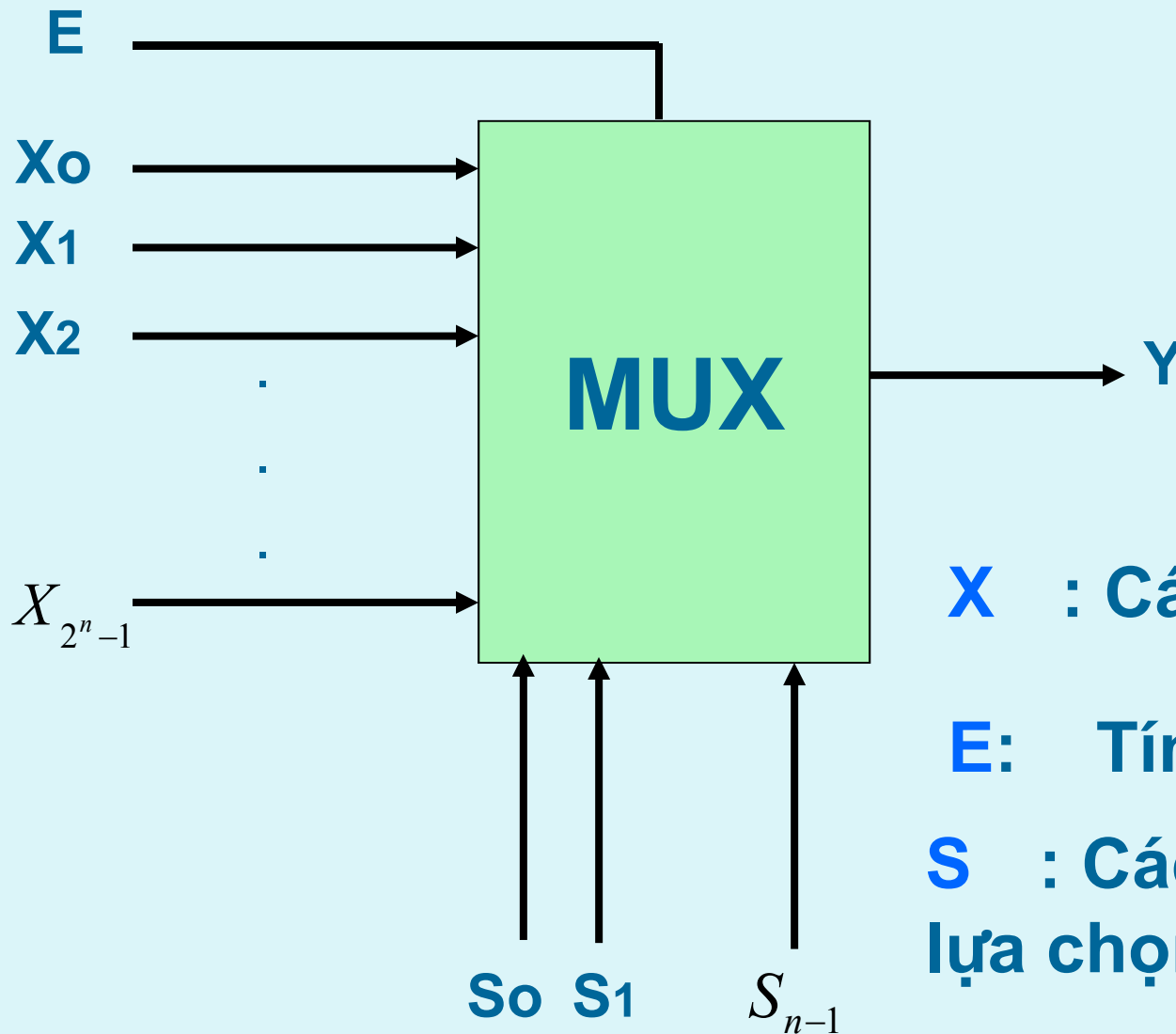
A. Khái niệm

Mạch dồn kênh hay còn gọi là mạch ghép kênh, đa hợp Multiplexer-MUX

Là mạch tổ hợp cho phép chọn 1 trong nhiều đường

Sơ đồ tổng quát

$E = 1$, cho phép mạch làm việc
 $E = 0$, mạch không làm việc



X : Các tín hiệu vào

E: Tín hiệu chọn

S : Các tín hiệu vào
lựa chọn

Y: Đầu ra

b. Nguyên tắc hoạt động

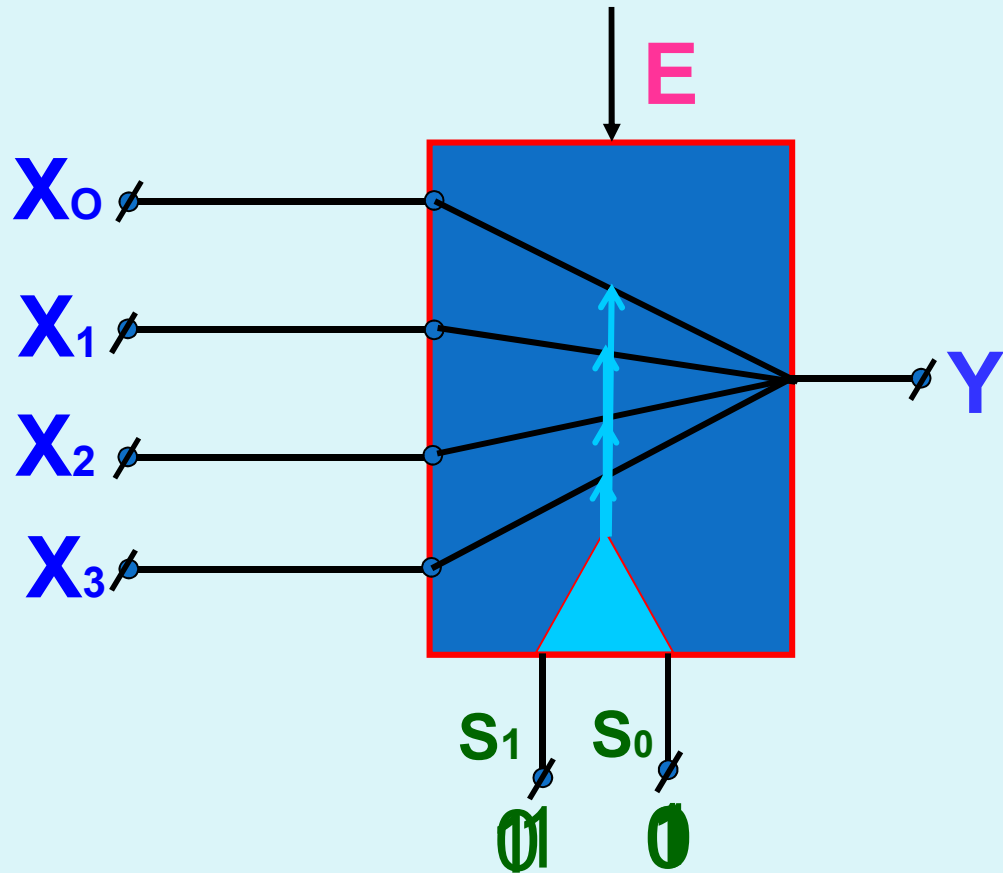
* CHO $E=1$

+ $S_1=0, S_2=0$

+ $S_1=0, S_2=1$

+ $S_1=1, S_2=0$

+ $S_1=1, S_2=1$



c. Bảng chân lý tổng quát

Các đầu vào chọn				Đầu ra
S _{n-1}	S ₂	S ₁	S ₀	Y
0	0	0	0	X ₀
0	0	0	1	X ₁
0	0	1	0	X ₂
0	0	1	1	X ₃
.				
.				
1	1	1	1	X _{2ⁿ-1}

d. Hàm ra tổng quát

$$Y = X_0(\overline{S_{n-1}}\overline{S_{n-1}}...\overline{S_1}\overline{S_0}) + X_1(\overline{S_{n-1}}\overline{S_{n-1}}...\overline{S_1}.S_0) + \dots + X_{2^n-1}(S_{n-1}S_{n-1}...S_1S_0)$$

VD: Thiết kế mạch MUX có 2 đầu vào dữ liệu I_0, I_1 một đầu vào chọn S , đầu ra Z .

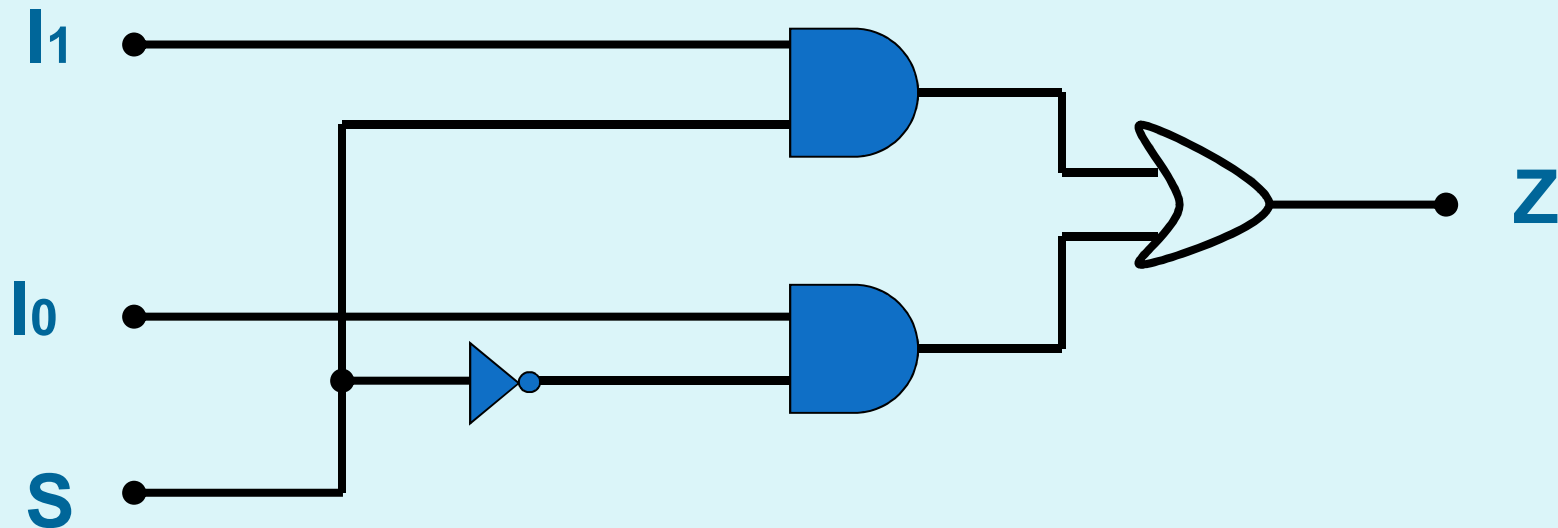
Ta có bảng chân lý nh sau

S	Z
0	I_0
1	I_1

Biểu thức logic đầu ra: $Z = I_0.\overline{S} + I_1.S$

Biểu thức logic đầu ra: $Z = I_0.\overline{S} + I_1.S$

Sơ đồ mạch MUX 2 đầu vào

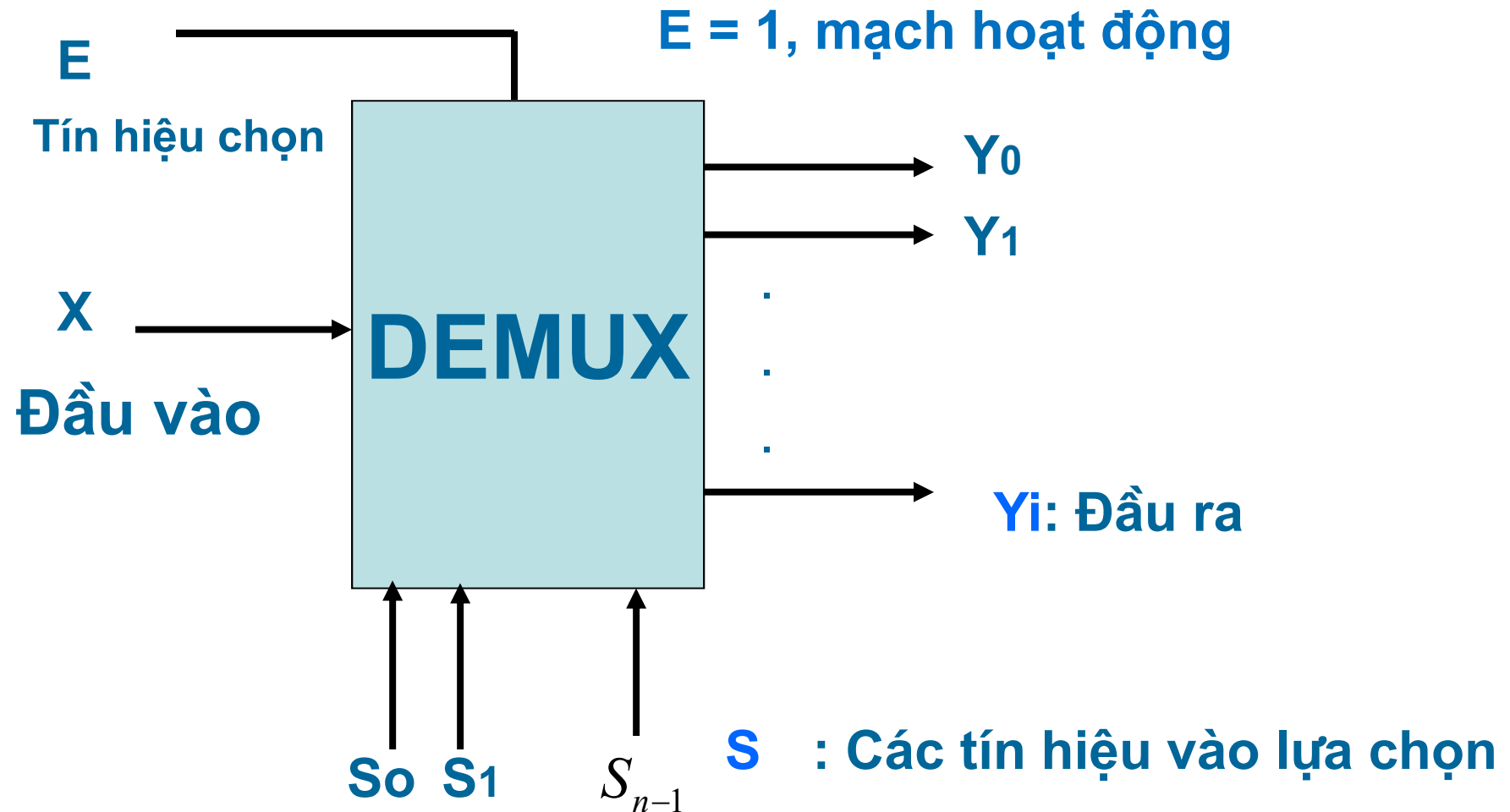


Câu hỏi 2:

Thiết kế mạch MUX có 4 đầu vào dữ liệu I_0, I_1, I_2, I_3 , hai đầu vào chọn S_0, S_1 đầu ra Z .

2.4.4. Mạch phân kênh

a. Khái niệm: Là mạch điện thực hiện từ 1 đường vào tổng hợp phân tách thành nhiều đường ra



Sơ đồ tổng quát mạch phân kênh

b. Bảng chân lý tổng quát

Các đầu vào chọn				Đầu ra			
An-1	A2	A ₁	A0	Y_{2^n-1}	Y2	Y1	Y0
0	0	0	0	0	0	0	X
0	0	0	1	0	0	X	0
0	0	1	0	0	X	0	0
0	0	1	1	.			
.				.			
.				.			
1	1	1	1	X	0	0	0

$$Y_0 = X (\overline{S_{n-1}} \overline{S_{n-1}} \dots \overline{S_1} \overline{S_0})$$
$$Y_1 = X (\overline{S_{n-1}} \overline{S_{n-1}} \dots \overline{S_1} . S_0)$$

.....

$$Y_{2^n-1} = X (S_{n-1} S_{n-1} \dots S_1 S_0)$$

VD: Thiết kế mạch DEMUX có 2 đầu ra d÷ liệu Y_0 , Y_1 và một đầu vào d÷ liệu X , một đầu chọn S

*** Ta có bảng Chân lý của mạch cần thiết kế nh sau:**

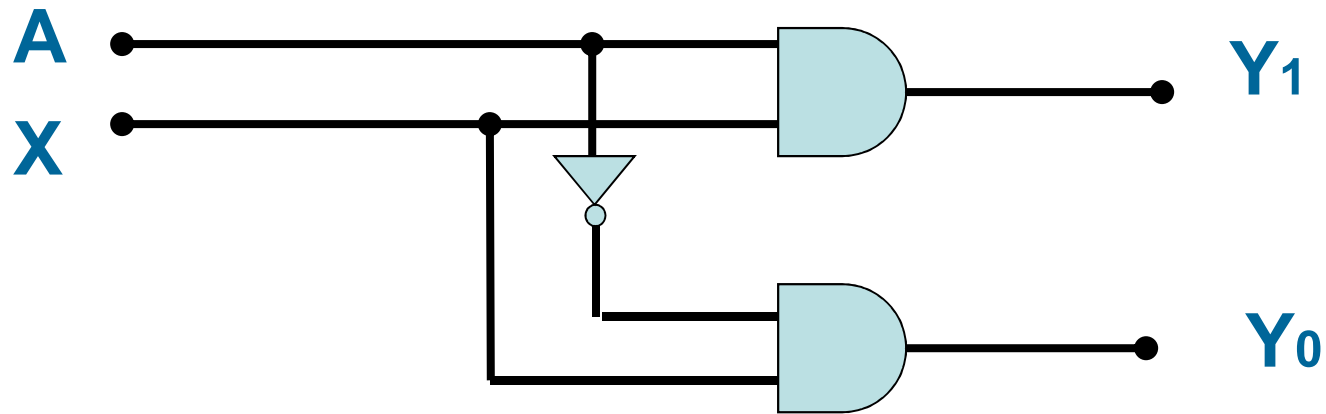
A	X1	X0
0	0	Y
1	Y	0

*** Biểu thức đầu ra Y_0 , Y_1 nh sau**

$$Y_0 = X.A$$

$$Y_1 = X.S$$

* Sơ đồ mạch DEMUX 2 đầu ra nh sau



Câu hỏi 3

- Thiết kế mạch phân có một tín hiệu vào, hai đường tín hiệu lựa chọn, 4 đường ra ?