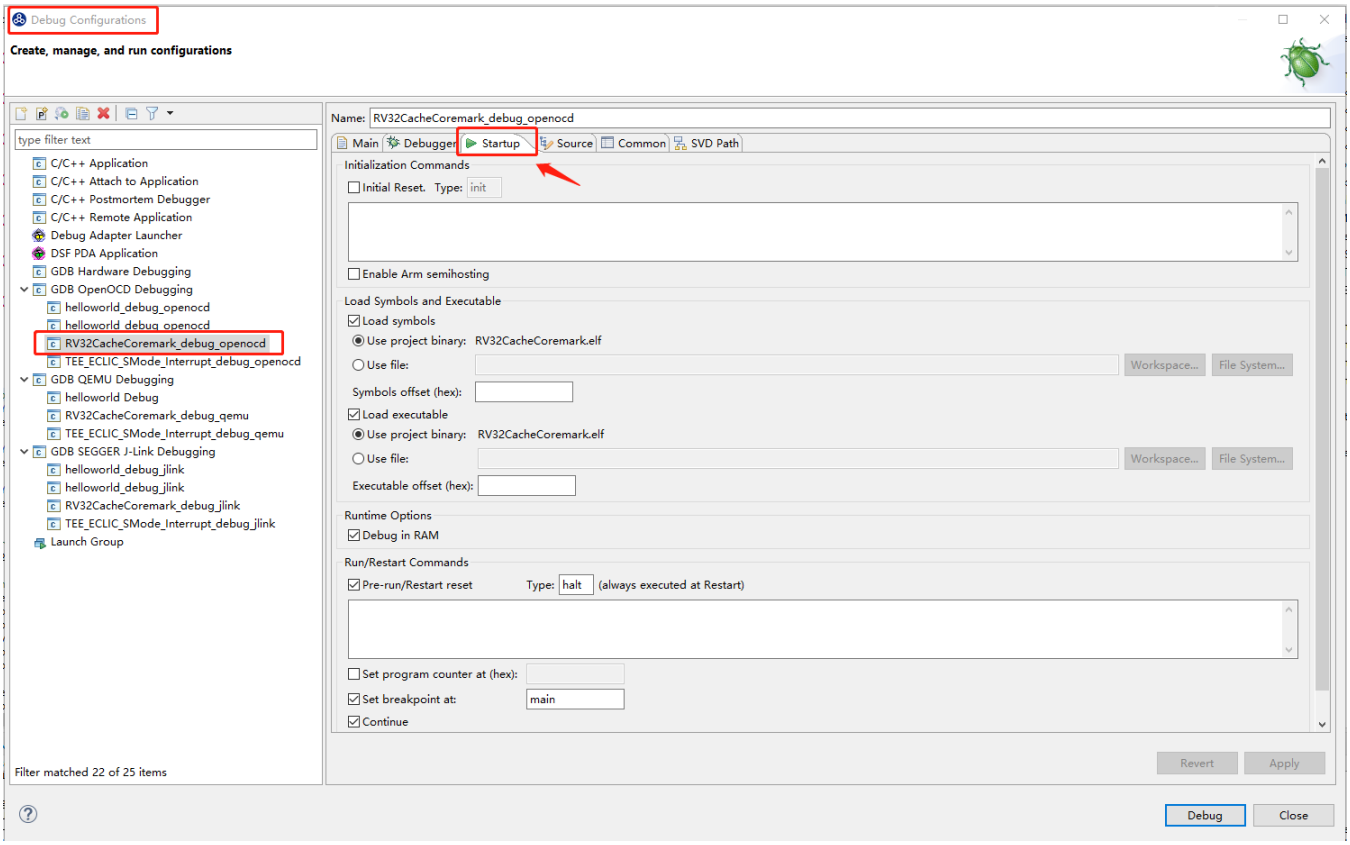
NucleiStudio-Debug Configuration 中Startup 各项设置的含义

在使用NucleiStudio IDE 调试时，每次新建一个工程后，编译完，接下来就是做调试（Debug），一般来说新建工程时，就会有相应的XXXX.launch 文件建立且依照的是我们的NPK 设定的模板，然后相应的Debug 设定就都有了。这篇文章来说明一下Startup 这里的设定的具体含义，以帮助客户更好的理解和使用IDE。



首先这里的设定内容都是给GDB 来使用的，所以GDB 执行后做的事情也是按这个页面的顺序来执行。

1. Initial Reset，这里可以设定一些让GDB 做init 的命令，具体可以参考GDB init command 的一些用法，不过因为已经使用IDE 了，这里一般不需要勾选。
2. Enable semihost，这个feature 就是semihost，目前RISC-V OpenOCD 暂时还不支持semihost 功能（使用J-link 和GDB J-link 调试 可以实现，具体参考IDE 的user guide），所以这里不用勾选。
3. Load symbols，这里就是 GDB 的file 命令，让GDB 读取elf 的debug information，这样GDB 才能方便和正确的debug，这里需要勾选。

4. Load executable， 这里就是GDB 的load 命令，让GDB 下载程序到target 端 （这里提醒一下，GDB 做load ，会下载内容到target 端，且会把target 端CPU 的pc 改成当前elf 的entry 位置），这里如果是用调试RAM（比如LM） 的程序，就默认勾选；如果是调试Flash 的程序，这里要看openocd 是否支持flash 的烧写和当前这次调试是否要重新做flash 烧写，如果支持且需要烧写，这里就勾选， 否则不勾选； 如果是ROM 的代码，这里不要勾选。
5. Debug in Ram， 这个意思是，如果GDB 在load excutable 之后做了reset 等动作，避免cpu 的启动地址和elf 的启动地址不一样或者RAM 的程序因为reset 后不见，就每次在GDB reset 后再load elf 。所以如果是在RAM 里调试，就一定要勾选。
6. Pre-run/Reset , 这里就是GDB 的monitor reset 命令， 它给openocd 发reset 命令，openocd 会按RISC-V Debug Spec 去驱动nReset 信号，这个信号会让core 和peripherals 都reset （这里也要看具体实现，不过RISC-V Dedbug Spec 推荐如此，且如果是Nuclei 做的example SoC 或者FPGA ，都是follow 这个Spec ），执行reset 后，CPU 的PC 就是reset_vector 地址，然后因为外设都reset，所以RAM 的内容也都清掉。 *如果是在RAM 里debug，且勾选了这里，那么一定要勾选“Debug in RAM”*
7. Halt 就是GDB 的monitor halt 命令，如后面的括号的注释，它实现的动作就是 OpenOCD 发reset 命令后发halt 命令，让CPU reset 完马上halt 住。
8. Set Program counter at ， 这里就是GDB 的set $pc 命令，可以再次修改target 端CPU 的PC 地址。
9. Set breakpoint at， 这里就是GDB 的break 命令，default 这里是main，如果是初次调试或者调试启动代码 ，建议修改这里，比如_start, 也比如某一个绝对的地址。
10. Continue ， 这里就是GDB 的continue 命令。

下图是RISC-V Debug Spec 关于nRESET 的说明：

Table 6.7: JTAG Connector Pinout

1	VREF DEBUG	Reference voltage for logic high.
2	TMS	JTAG TMS signal, driven by the debug adapter.
4	TCK	JTAG TCK signal, driven by the debug adapter.
6	TDO	JTAG TDO signal, driven by the target.
7	GND or KEY	This pin may be cut on the male and plugged on the female header to ensure the header is always plugged in correctly. It is, however, recommended to use this pin as an additional ground, to allow for fastest TCK speeds. A shrouded connector should be used to prevent the cable from being plugged in incorrectly.
8	TDI	JTAG TDI signal, driven by the debug adapter.
10	nRESET	Active-low reset signal, driven by the debug adapter. Asserting reset should reset any RISC-V cores as well as any other peripherals on the PCB. It should not reset the debug logic. This pin is optional but strongly encouraged. If necessary, this pin could be used as nTRST instead. nRESET should never be connected to the TAP reset, otherwise the debugger might not be able to debug through a reset to discover the cause of a crash or to maintain execution control after the reset.
12	RTCK	Return test clock, driven by the target. A target may relay the TCK signal here once it has processed it, allowing a debugger to adjust its TCK frequency in response.
14	nTRST_PD	Test reset pull-down (optional), driven by the debug adapter. Same function as nTRST, but with pull-down resistor on target.
16	nTRST	Test reset (optional), driven by the debug adapter. Used to reset the JTAG TAP Controller.
18	TRIGIN	Not used, driven low by the debug adapter.
20	TRIGOUT	Not used, driven by the target.