

## 目录

Vivado2018.3 使用 .....	1
1. 开始 .....	1
2. 新建工程 .....	1
3 用 Verilog 代码设计输入 .....	4
4 仿真 .....	6
4.1 Vivado Simulator 仿真 .....	6
4.2 ModelSim Simulator 仿真 .....	6
5 管脚配置与下载测试 .....	9
5.1 配置器件引脚 .....	9
5.2 下载调试 .....	9
6. Modelsim 波形仿真背景颜色更改 .....	13

# Vivado2018.3 使用

东北大学 信息学院李晶皎教授

以三输入表决逻辑电路为例，介绍 Vivado2018.3 使用方法。三输入表决逻辑电路如图 1 所示，真值表见表 1。

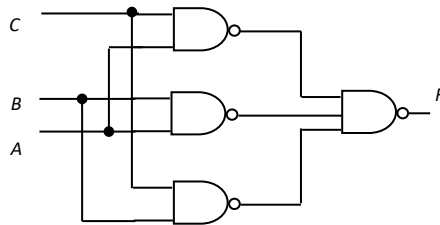


图 1 三人表决电路的组合电路逻辑图

表 1 三人表决电路的真值表

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

## 1. 开始

在 Vivado 2018.3 中设计的每个逻辑电路或子电路，叫做一个工程。软件每次运行一个工程，并将所有信息保存在单一文件夹中。一个新的逻辑电路设计，第一步就是新建一个文件夹来保存文件；**注意文件夹名字不能是中文，也不能有空格。**

打开 Vivado 2018.3 后，主界面如图 1-1 所示。图 1-1 主界面包括若干窗口，可使用鼠标选择，使用相关功能；Vivado 提供的大多数命令都可用菜单形式访问。在图 1-1 中，在 **File** 标签下点击左键，可打开如图 1-2 所示的菜单。用左键单击 **Exit** 可退出 Vivado 软件。

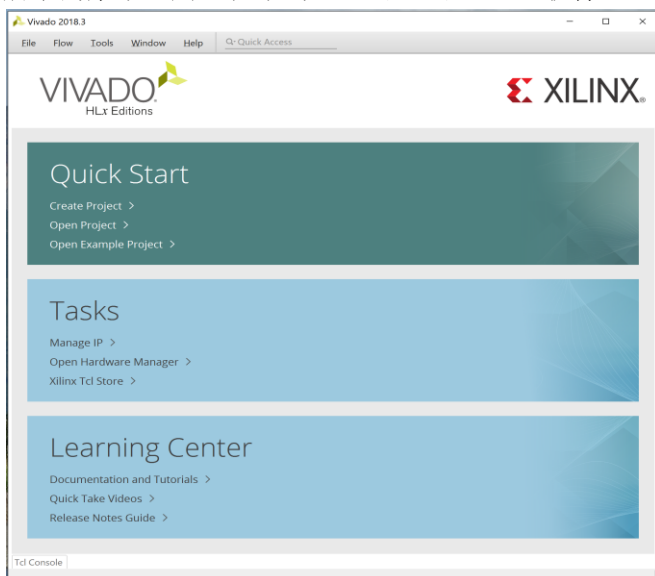


图 1-1 Vivado 2018.3 主界面

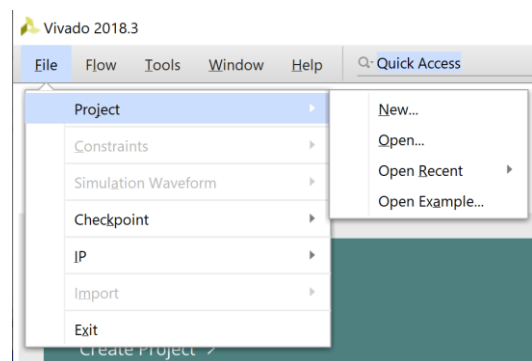


图 1-2 File 菜单

## 2. 新建工程

选择 **File->Project->New**；也可以在 Quick Start 下，点击 Create Project；出现图 2-1 所示窗口，点击 Next，

出现图 2-2。可以使用自己新设定的文件夹，也可以选择已有文件夹。输入工程名字，注意必须与顶层设计实体的名字相同，如图 2-2 所示。以表决电路为例，以 L4\_1\_1nand 为文件夹，voter 作为工程名和顶层实体名。默认选中 Create project subdirectory，将创建与实体同名的文件夹，单击 **Next**。在弹出的 Project Type 窗口(图 2-3)，选择 RTL Project，单击 **Next**。

在图 2-4 添加源文件界面，如果已经有源文件，例如：voter.v，可以点击“Add Files”添加。在“Target language:”下拉选择框中，选择 Verilog；在“Simulator language:”下拉选择框中，选择 Verilog；点击“Next”。在弹出的图 2-5 添加约束界面，如果没有约束文件，点击 Next。

根据用的开发板上器件，例如，Digilent 公司的 Xilinx NEXYS 4 DDR 板，使用的是 ARTIX-7 系列的 xc7a100tcsg324-1 芯片。“Family”选择 Artix-7，“Package”选择 csg324，添加器件选择如图 2-6 所示，点击 Next。

在图 2-7 工程概览界面，将之前几个步骤中的设置全部列了出来，用于检查。确认无误后点击“Finish”，就进入了 Vivado 工程主界面，如图 2-8 所示。

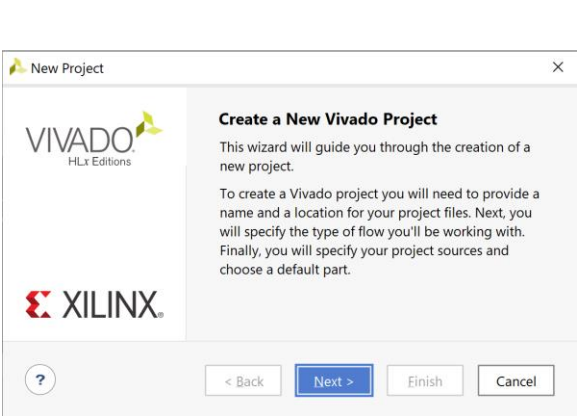
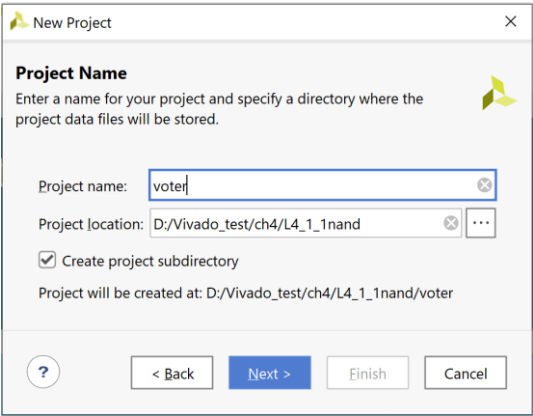


图 2-1 创建新工程初始界面图



2-2 创建新工程顶层设计实体的名字

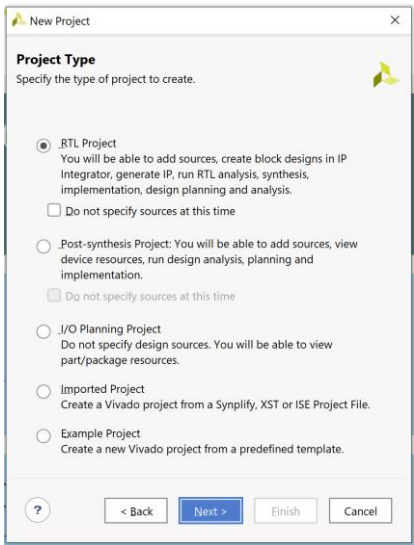


图 2-3 指定工程类型

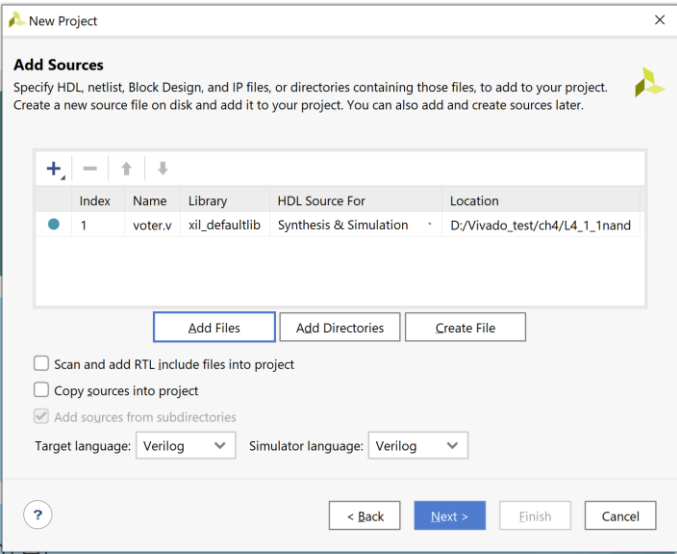


图 2-4 添加 Verilog 源文件

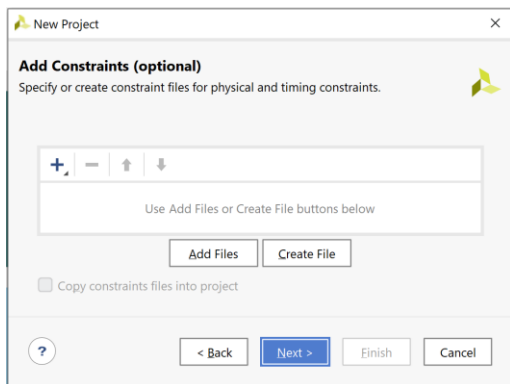


图 2-5 添加约束

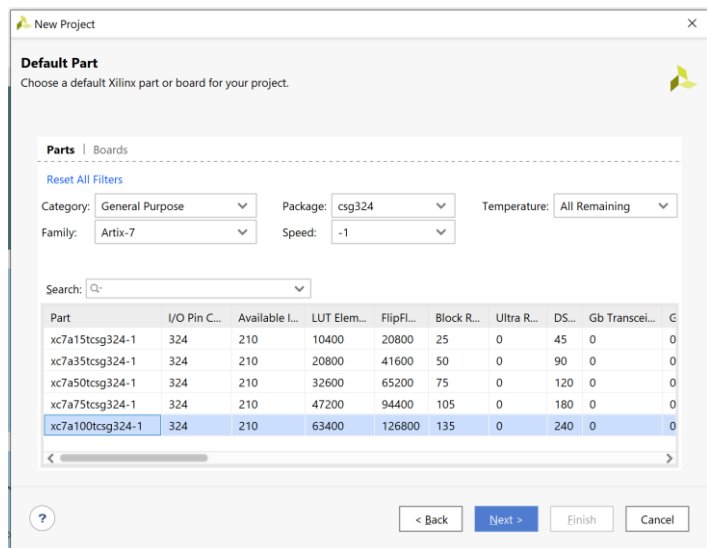


图 2-6 选择器件



图 2-7 工程概览界面

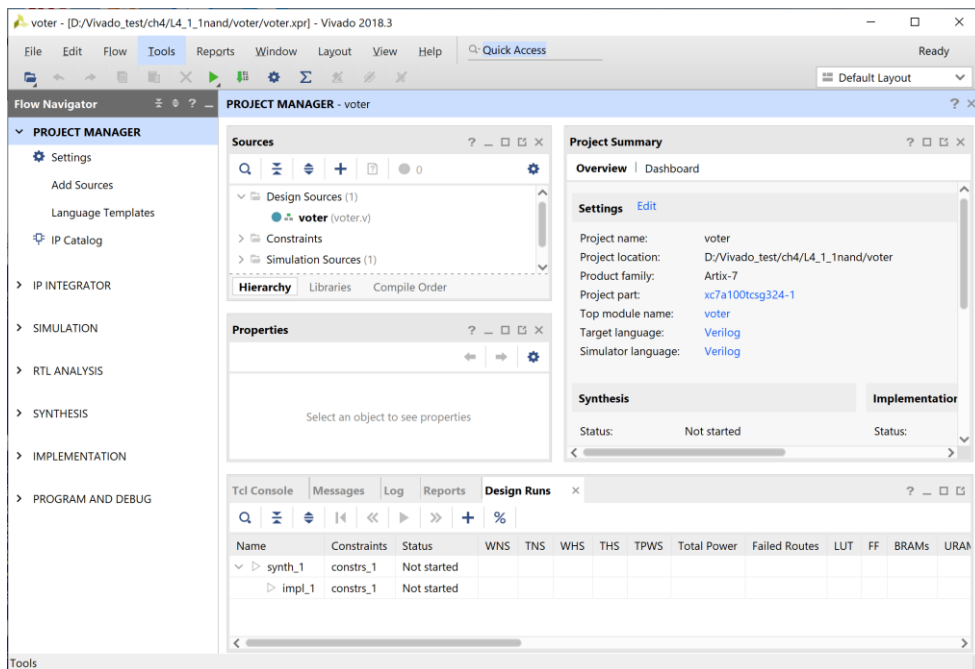


图 2-8 Vivado 2018.3 已建工程主界面

### 3 用 Verilog 代码设计输入

用 Verilog 代码，实现 3 输入表决电路(图 3)，表决电路真值表见表 1。表决电路的逻辑表达式为：

$$F = \overline{AB} \overline{BC} \overline{AC}$$

上述 3 输入表决电路的表达式用 Verilog 代码描述如图 3-1 所示，实体模块叫做 voter，与工程名是一致的。图 3-1 代码的编辑可以使用任何文本编辑器，或者使用 Vivado 自带的编辑器。文件名称必须带.v 扩展名，用以指示此文件为 Verilog 文件，用 voter.v 做文件名。

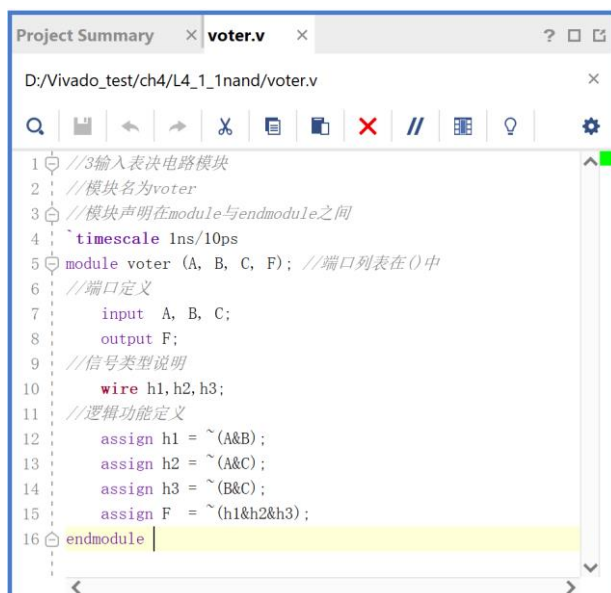


图 3-1 输入表决电路的 Verilog 代码

综合和实现设计文件。在图 3-2 流程处理界面 Flow Navigator 选择 SYNTHESIS->Run Synthesis。弹出图 3-3，点击 OK。在综合(Synthesis)成功后，弹出图 3-4 实现(Implementation)选项，点击 OK，弹出图 3-3，点击 OK。在实现(Implementation)成功后，弹出图 3-5 打开实现(Implementation)选项，点击 OK，弹出图 3-6 器件实现。

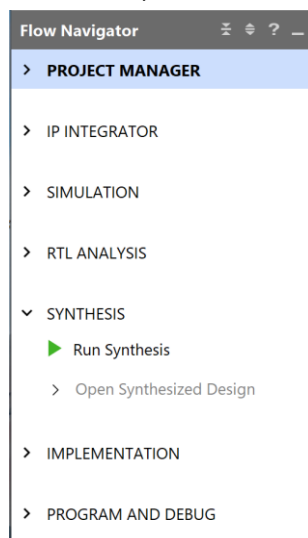


图 3-2 综合的流程处理界面

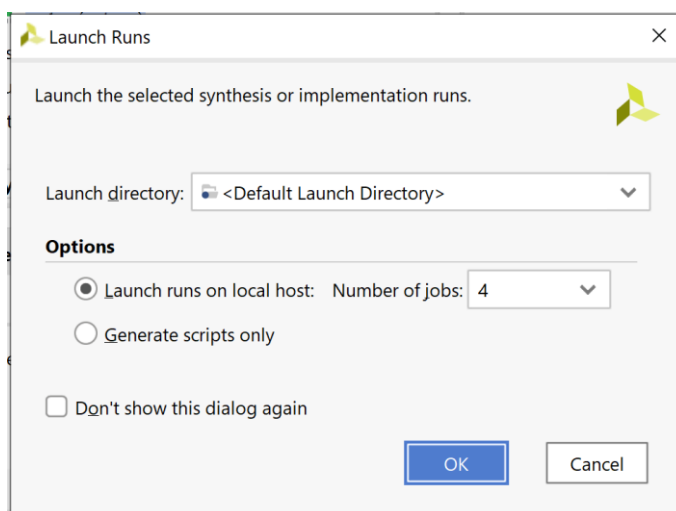


图 3-3 Launch Runs 界面

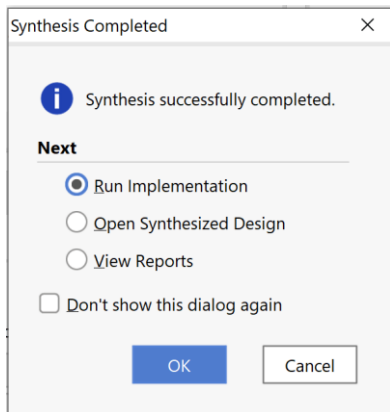


图 3-4 实现选项

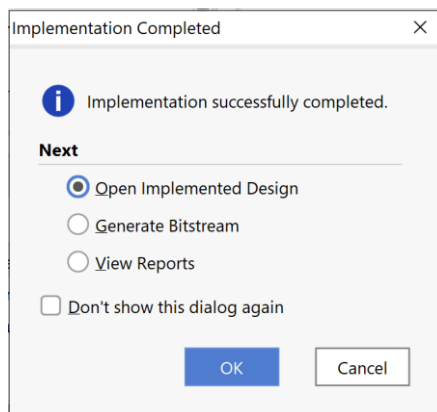


图 3-5 打开实现选项

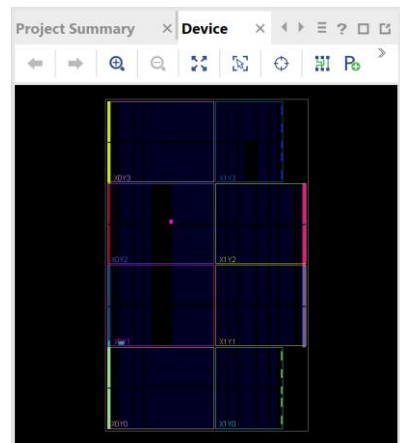


图 3-6 器件实现

查看 RTL 原理图。在图 3-7 中，选择 **RTL ANALYSIS -> Open Elaborated Design -> Schematic**，在弹出界面点击 **OK**，得到 RTL 原理图，如图 3-8 所示。

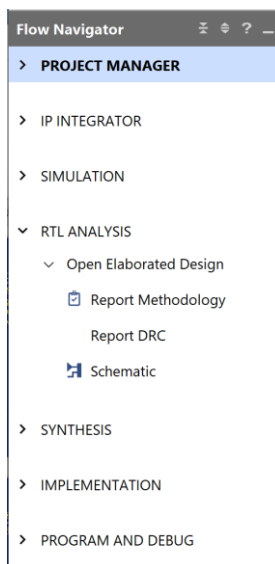


图 3-7 RTL 分析

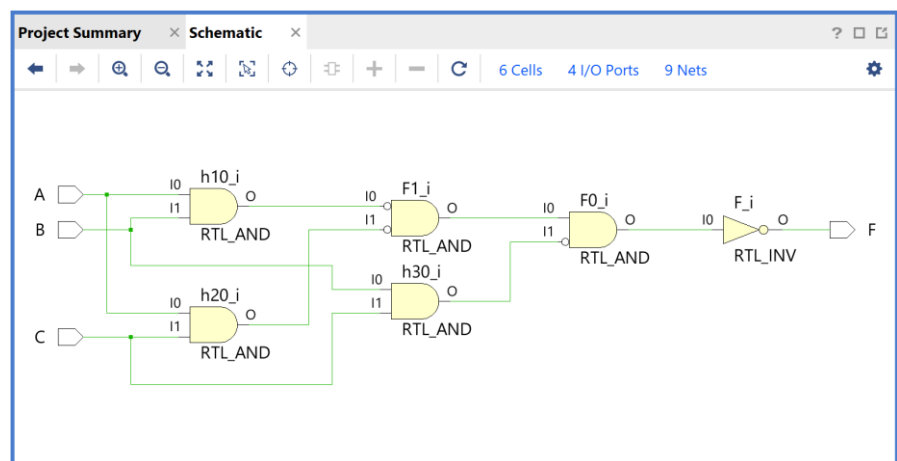


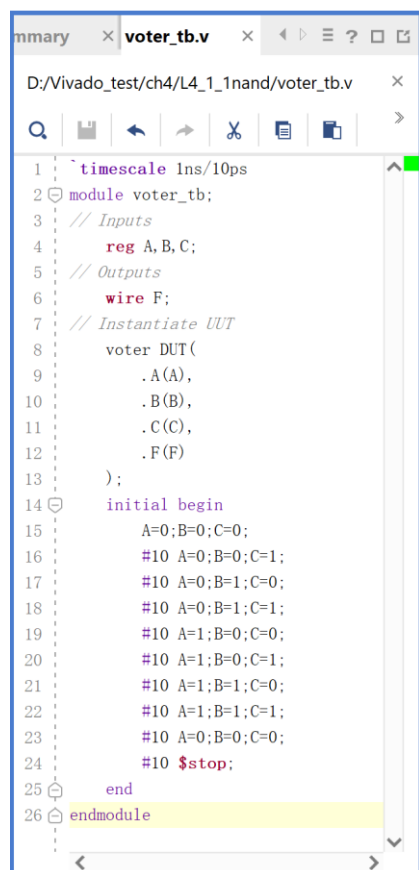
图 3-7 RTL 分析的原理图

## 4 仿真

### 4.1 Vivado Simulator 仿真

使用文本编辑器新建仿真用 Verilog 文件, 命名为 voter\_tb.v, 如图 4-1 所示。选择 Flow Navigator->PROJECT MANAGER-> Add Sources;在弹出的界面, 选中 Add or create simulation sources, 点击 Next; 在弹出的 Add or create simulation sources 界面, 添加 voter\_tb.v。

综合成功后, 就可以进行功能仿真。选择 Flow Navigator->SIMULATION -> Run Simulation-> Run Behavioral Simulation。默认 Vivado Simulator 仿真器, 得到功能仿真结果如图 4-2 所示。



```
1 timescale 1ns/10ps
2 module voter_tb;
3 // Inputs
4 reg A,B,C;
5 // Outputs
6 wire F;
7 // Instantiate UUT
8 voter DUT(
9     .A(A),
10    .B(B),
11    .C(C),
12    .F(F)
13 );
14 initial begin
15     A=0;B=0;C=0;
16     #10 A=0;B=0;C=1;
17     #10 A=0;B=1;C=0;
18     #10 A=0;B=1;C=1;
19     #10 A=1;B=0;C=0;
20     #10 A=1;B=0;C=1;
21     #10 A=1;B=1;C=0;
22     #10 A=1;B=1;C=1;
23     #10 A=0;B=0;C=0;
24     #10 $stop;
25 end
26 endmodule
```

图 4-1 voter\_tb.vhd

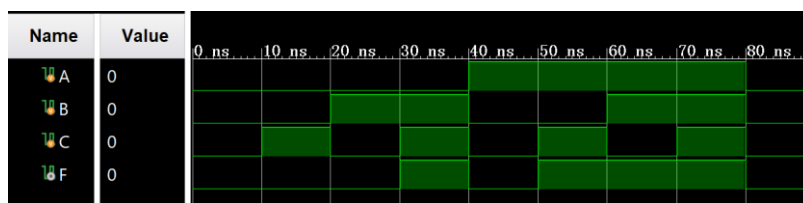


图 4-2 Vivado Simulator 的仿真结果

### 4.2 ModelSim Simulator 仿真

**仿真器设置。**选择 Flow Navigator->PROJECT MANAGER->Settings; 在弹出的界面, 选中 Simulation, 在 Target simulator:中, 通过下拉按钮选择 ModelSim Simulator;点击 OK。如图 4-3 所示。

**仿真器路径设置。**选中 3rd Party Simulators, 在 ModelSim:中, 设置执行文件路径, 点击 OK。如图 4-4 所示。

综合成功后, 就可以进行功能仿真。选择 Flow Navigator->SIMULATION -> Run Simulation-> Run Behavioral Simulation。调用 ModelSim Simulator 仿真器, 得到功能仿真结果如图 4-5 所示。

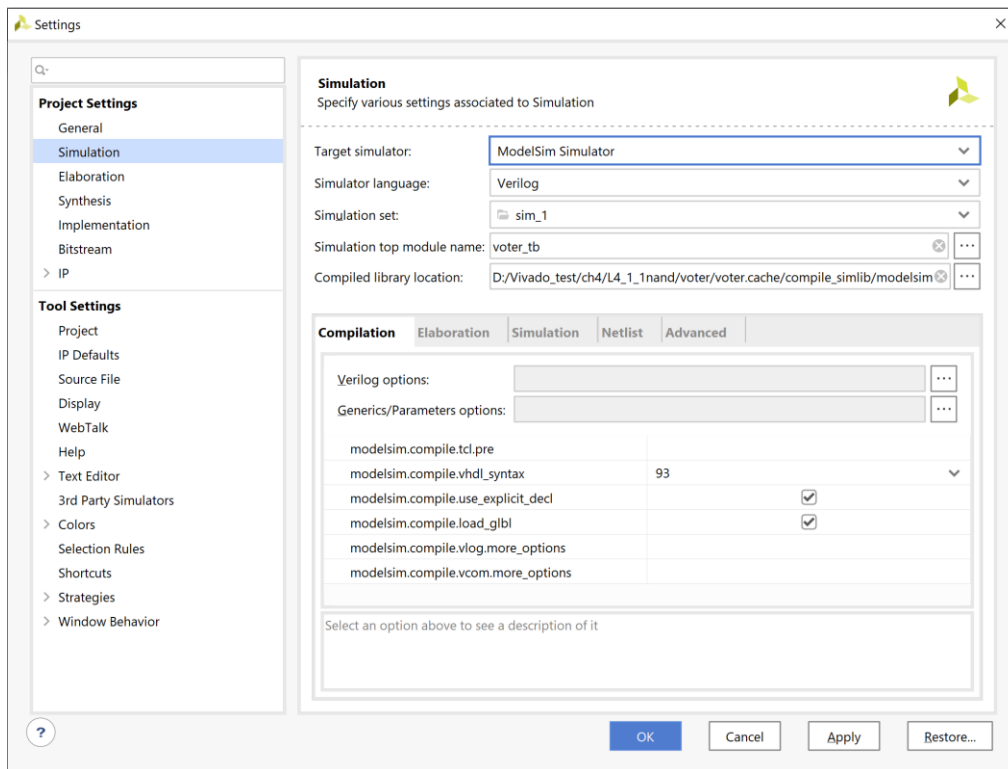


图 4-3 仿真器设置

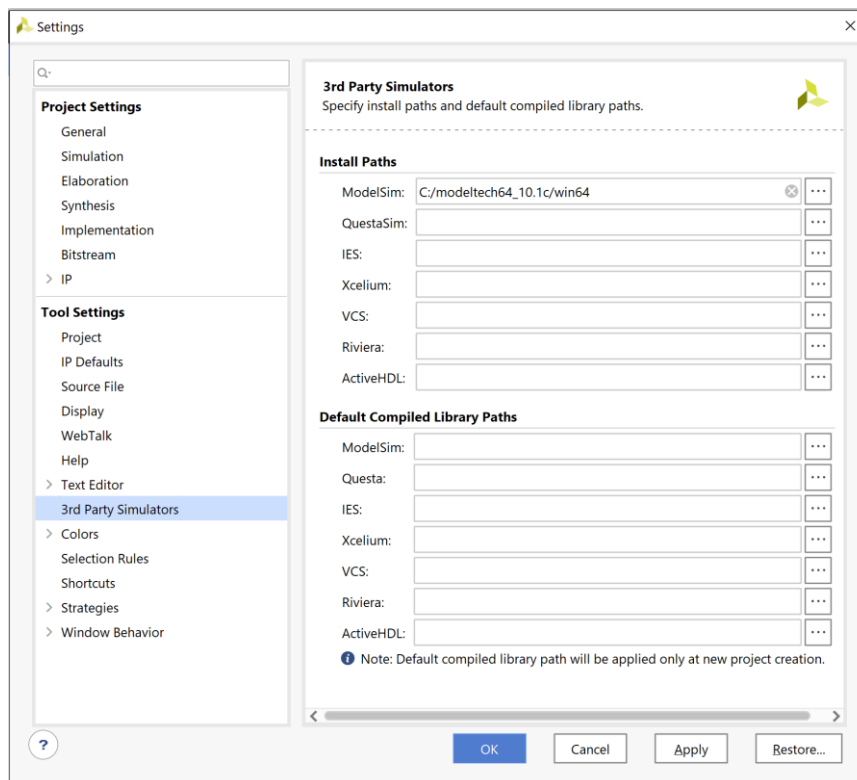


图 4-4 仿真器路径设置



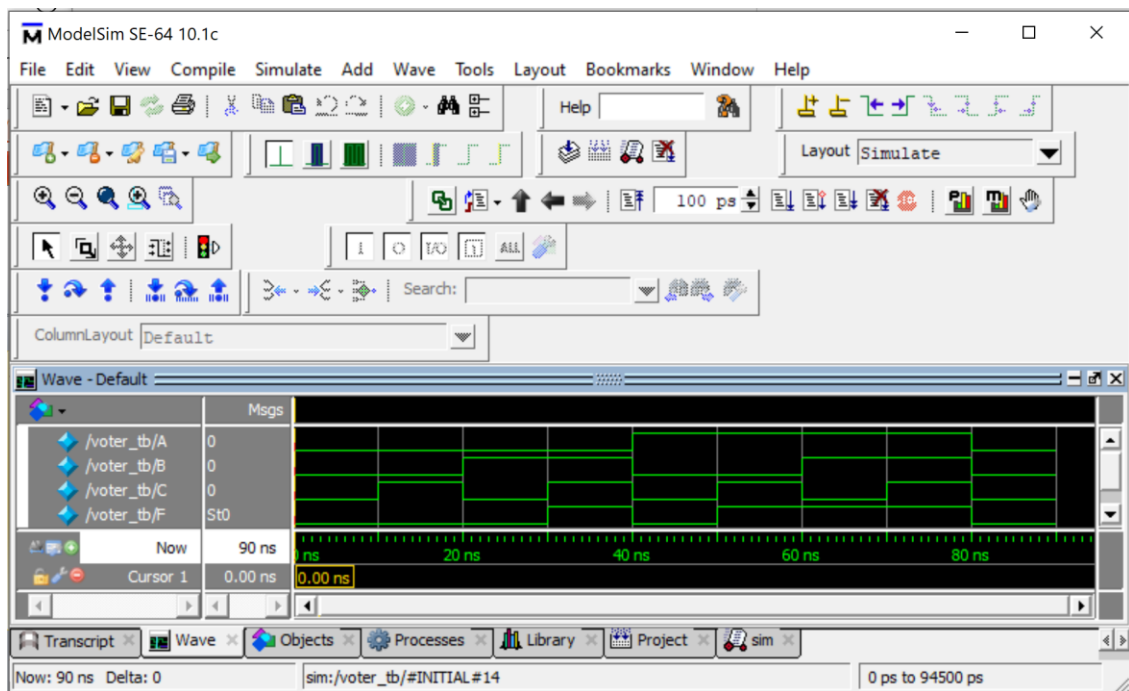


图 4-5 ModelSim 仿真结果

## 5 管脚配置与下载测试

### 5.1 配置器件引脚

根据所用的开发板上 FPGA 型号，以及开发板原理图，配置器件引脚，以 Digilent NEXYS 4 DDR 开发板为例。在表决电路中，输入 3 个引脚，用开发板中 3 开关，从左到右分别是 A、B、C；输出 1 个引脚，用开发板中 1 个 LED 为 F；FPGA 板的开关和 LED 的原理图如图 5-1 所示。管脚配置文件如图 5-2 所示。

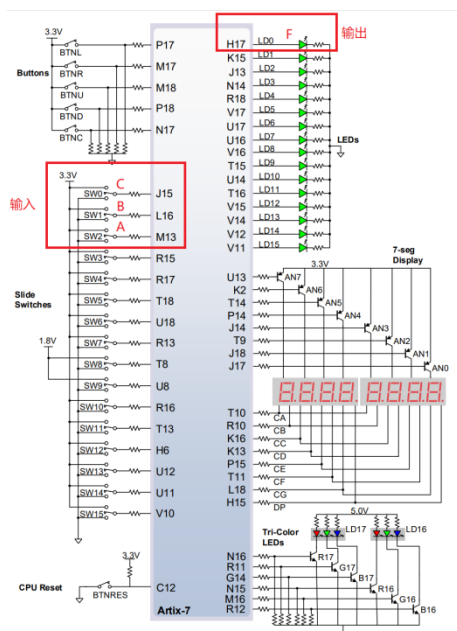


图 5-1 管脚配置原理图

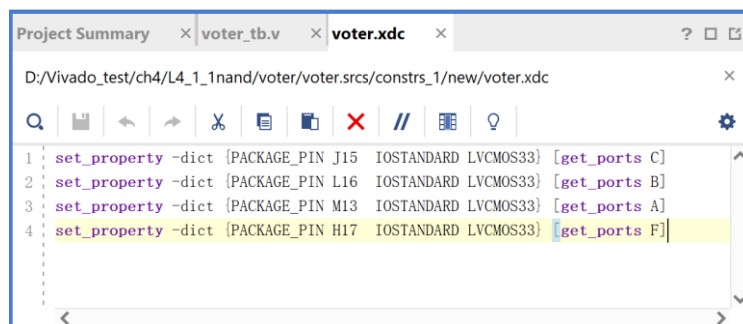


图 5-2 管脚配置文件 voter.xdc

添加管脚配置文件。选择 Flow Navigator->PROJECT MANAGER-> Add Sources;在弹出的界面，选中 Add or create constraints，点击 Next，在弹出的 Add or Create Constraints 界面，添加 voter.xdc，如图 5-3 所示，点击 Finish。

再次进行综合(Synthesis)和实现(Implementation)。

生成 bit 文件。选择 Flow Navigator->PROGRAM AND DEBUG->Generate Bitstream;弹出 Launch Runs 界面，点击 OK。成功生成 bit 文件，弹出图 5-4 界面。

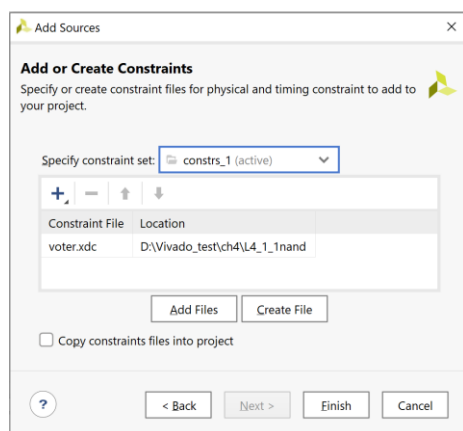


图 5-3 添加管脚配置文件

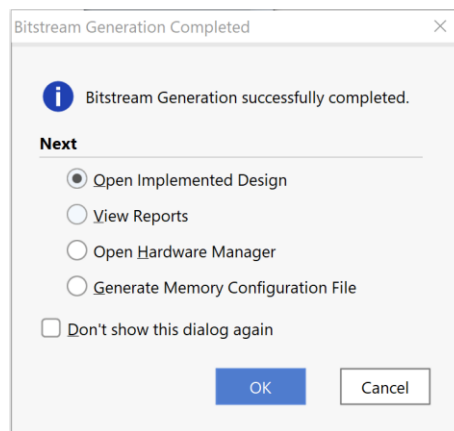


图 5-4 成功生成 bit 文件界面

### 5.2 下载调试

按照图 5-5 连接开发板，并打开电源。在图 5-4 中，选中 Open Hardware Manager，点击 OK。

如果 Vivado 与 FPGA 板没有连接成功, 见图 5-6。再次选择 Flow Navigator->PROGRAM AND DEBUG->Open Hardware Manager->Open Target->Auto Connet, 连接成功如图 5-7 所示。

**选择编程器件。**如图 5-7 所示, 选择 Flow Navigator->PROGRAM AND DEBUG->Open Hardware Manager->Program Device -> xc7a100t\_0。弹出图 5-8 界面, 在 Bitstream file:加入要下载的 bit 文件, 点击 Program 按钮。

下载完毕后, 就可以运行表决电路了。如图 5-9 所示。

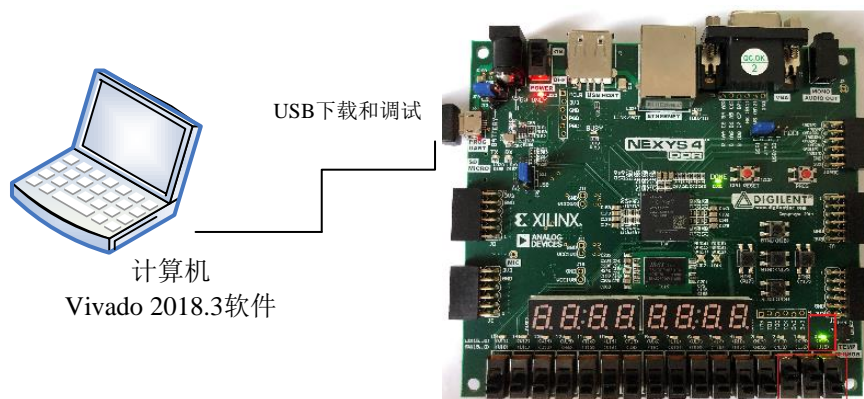


图 5-5 Vivado 软件与开发板连接

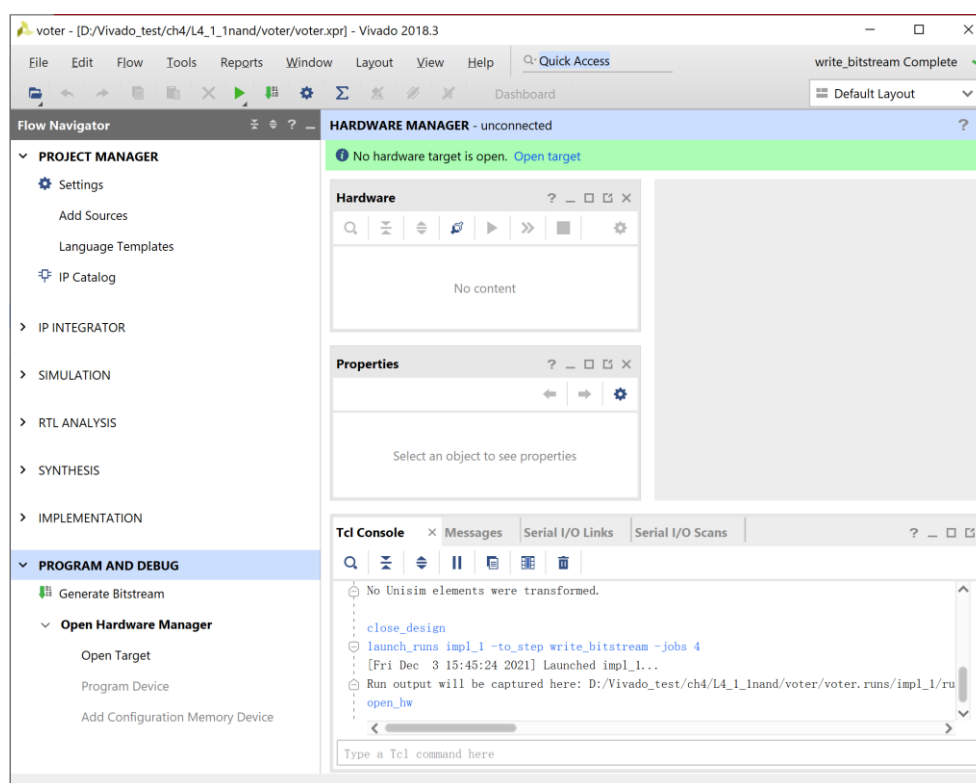


图 5-6 Vivado 与 FPGA 板没有连接成功

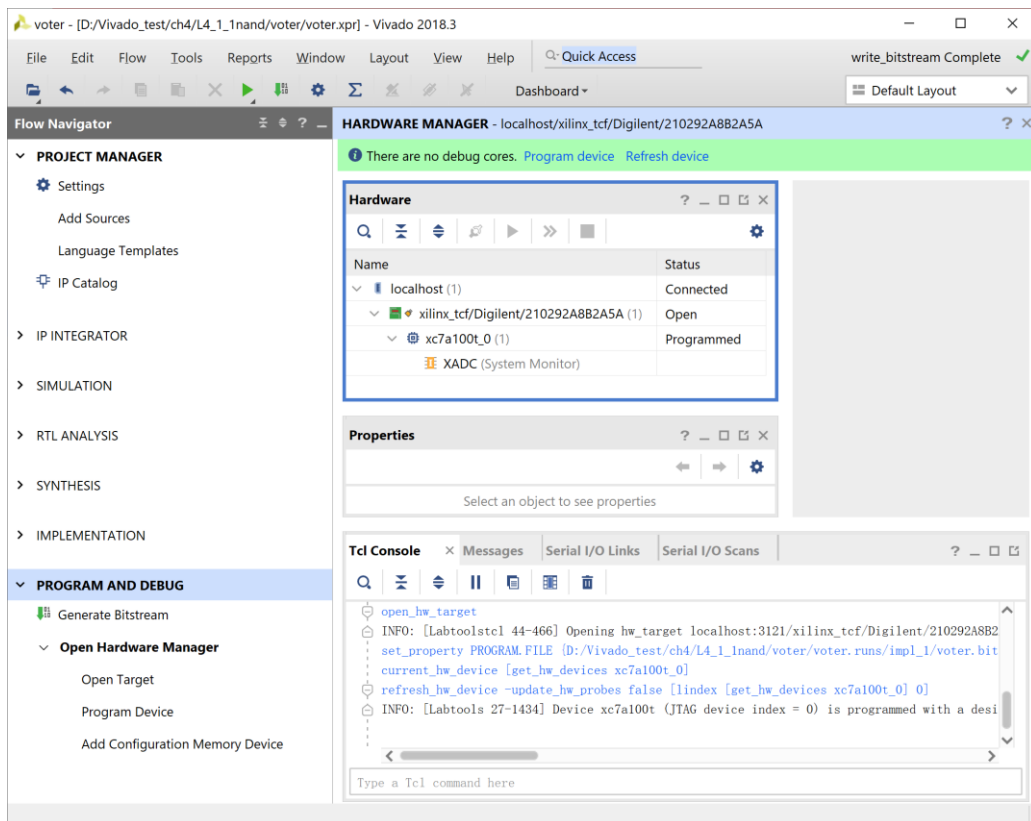


图 5-6 Vivado 与 FPGA 板连接成功

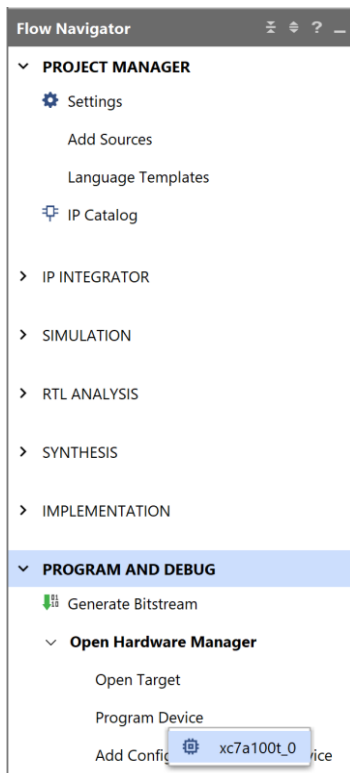


图 5-7 选择编程器件

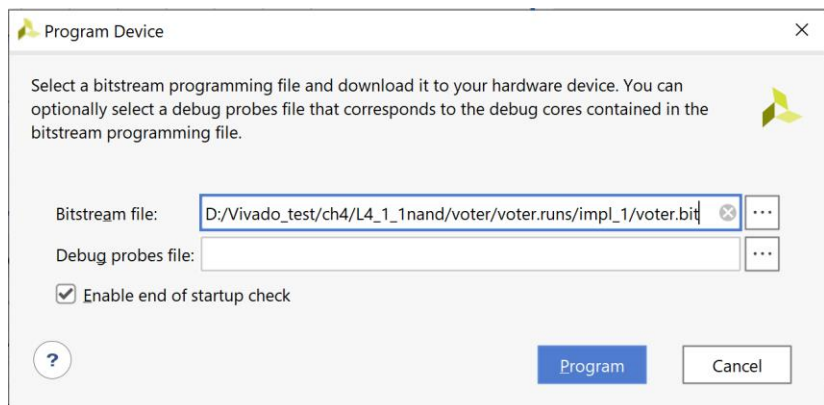


图 5-8 编程下载界面

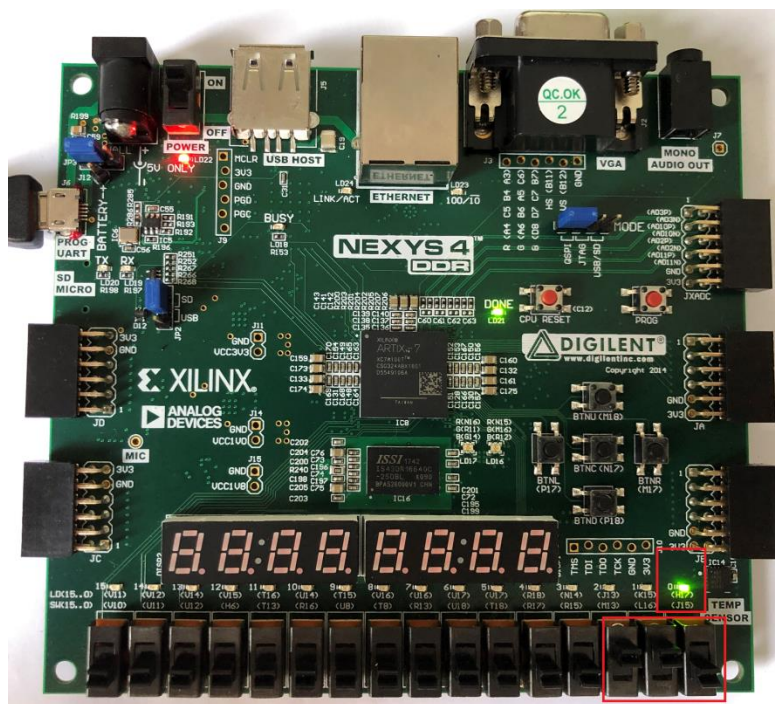


图 5-9 表决电路 voter.bit 运行

## 6. Modelsim 波形仿真背景颜色更改

由于 Modelsim 波形仿真的 Wave 窗口背景是黑色，拷贝到文档中就不合适了，需要修改黑色背景为白色背景，线和坐标轴等颜色也需要相应调整。在 Modelsim 选中菜单 Tools->Edit Preferences..., 弹出背景颜色修改的 Preferences 窗口。

在 Preferences 窗口，Window List 选择 Wave Windows, Wave Windows Color Scheme 选择 waveBackground, Palette 选中白色；这样就将背景颜色修改为白色。用类似操作修改线颜色等，修改后的颜色见图 11-3。

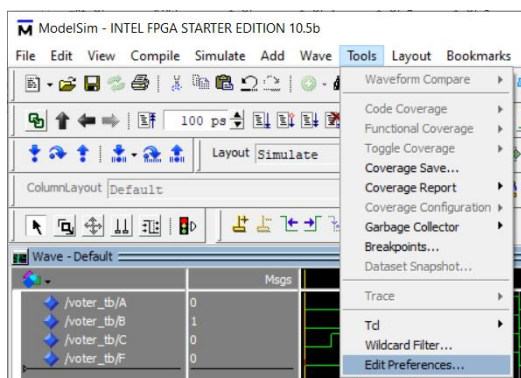


图 11-1 背景颜色修改进入菜单

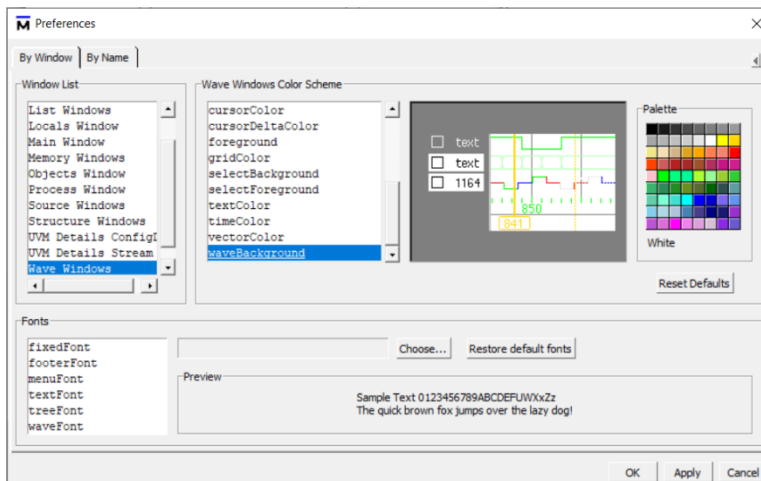


图 11-2 背景颜色修改

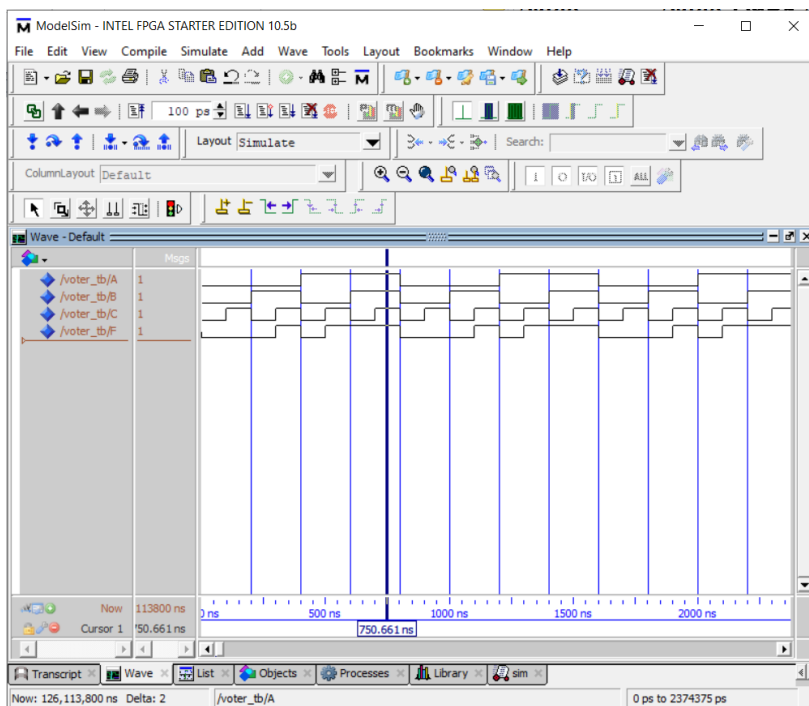


图 11-3 Wave 窗口修改后的颜色