



# Verilog数字系统设计

## 课程概述

刘学

13604181486

QQ: 672297876

liuxue@cse.neu.edu.cn

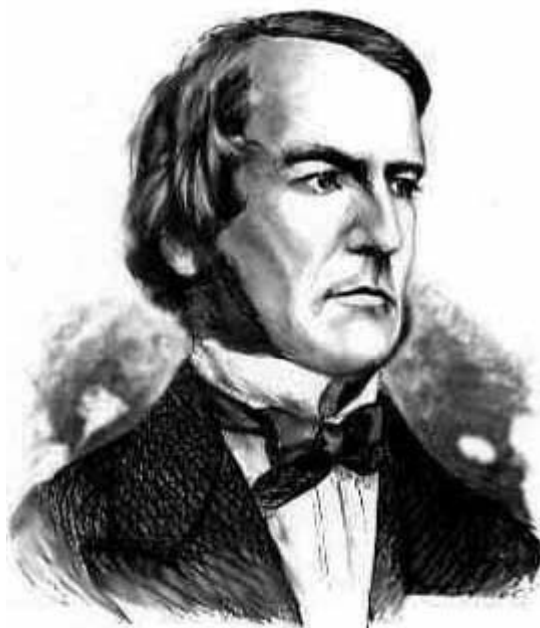
# 推荐书籍

- Stephen Brown, Zvonko Vranesic, Fundamentals of digital logic with Verilog design, McGraw-Hill
- Donald Thomas, Philip Moorby, The Verilog Hardware Description Language, Springer
- Michael D. Ciletti, Advanced digital design with the Verilog HDL, Pearson
- 汤勇明等编著，搭建你的数字积木——数字电路与逻辑设计，清华大学出版社
- 夏宇闻等编著，Verilog数字系统设计教程，北京航空航天大学出版社

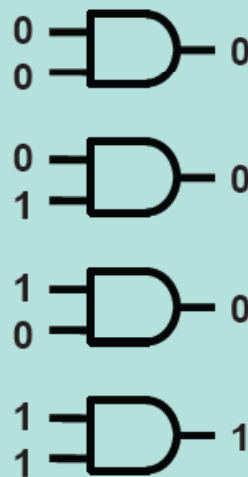
# 课程目标与先修课程

- 课程目标：设计和实现复杂数字系统
  - 逻辑设计：组合电路和时序电路设计
  - 使用Verilog进行数字设计
  - 了解不同的设计指标：面积、最大工作时钟频率、功率
  - 模拟组件（ADC、DAC等）接口设计
  - 多组件系统集成（存储器、分立元件、FPGA等）
  - 大规模数字或混合信号系统演示
- 先修课程：电路原理、电子技术

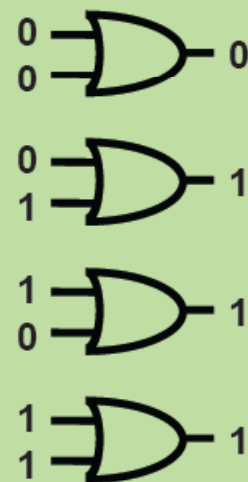
# 布尔代数



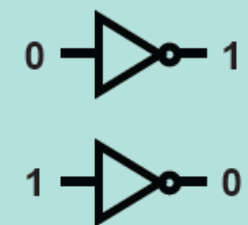
AND



OR

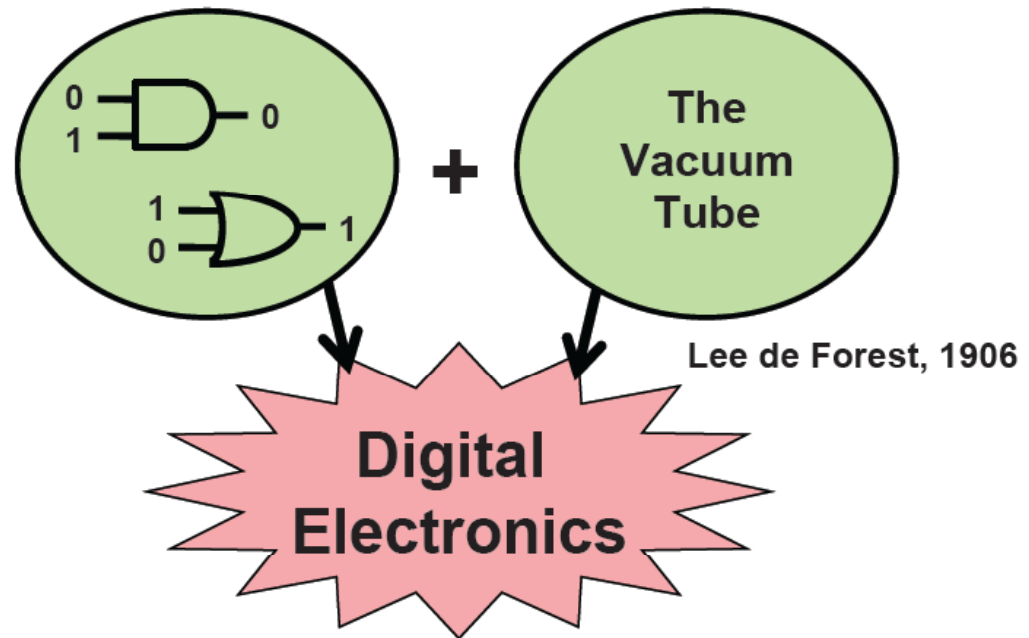
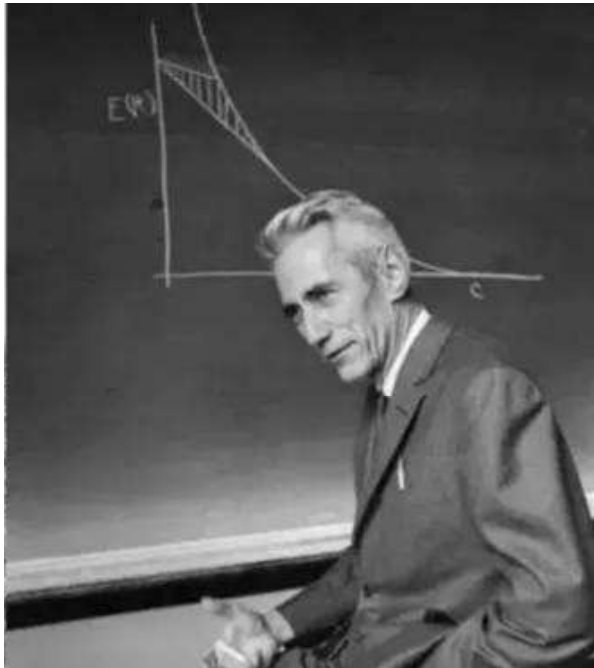


NOT



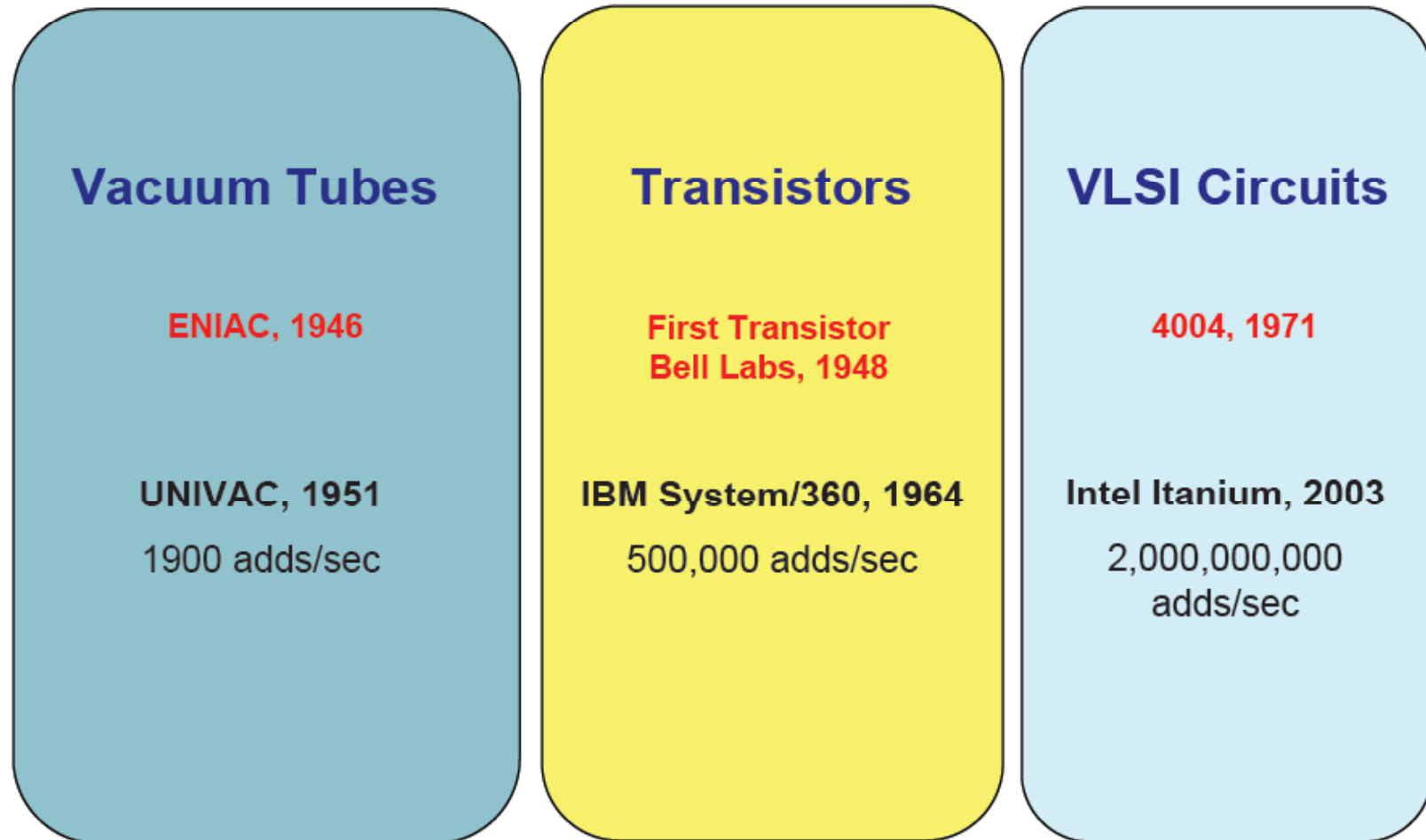
- 乔治·布尔展示了逻辑是数学，而不仅仅是哲学
- 布尔代数：二进制数据的数学

# 逻辑与电路的关系



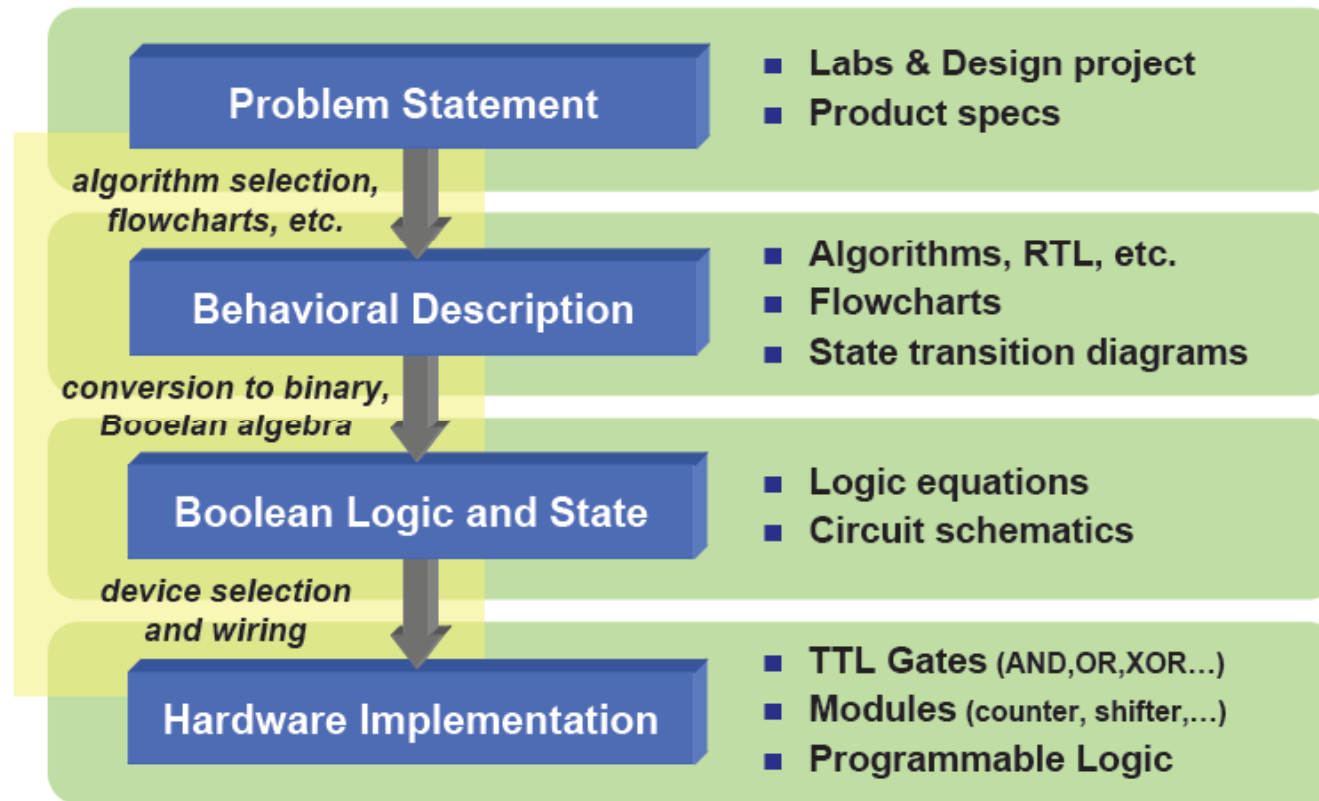
- 克劳德·香农注意到布尔代数与开关电路之间的类似性
- 香农1938年的硕士论文向世界介绍了二进制数字电子学

# 数字电子的演变



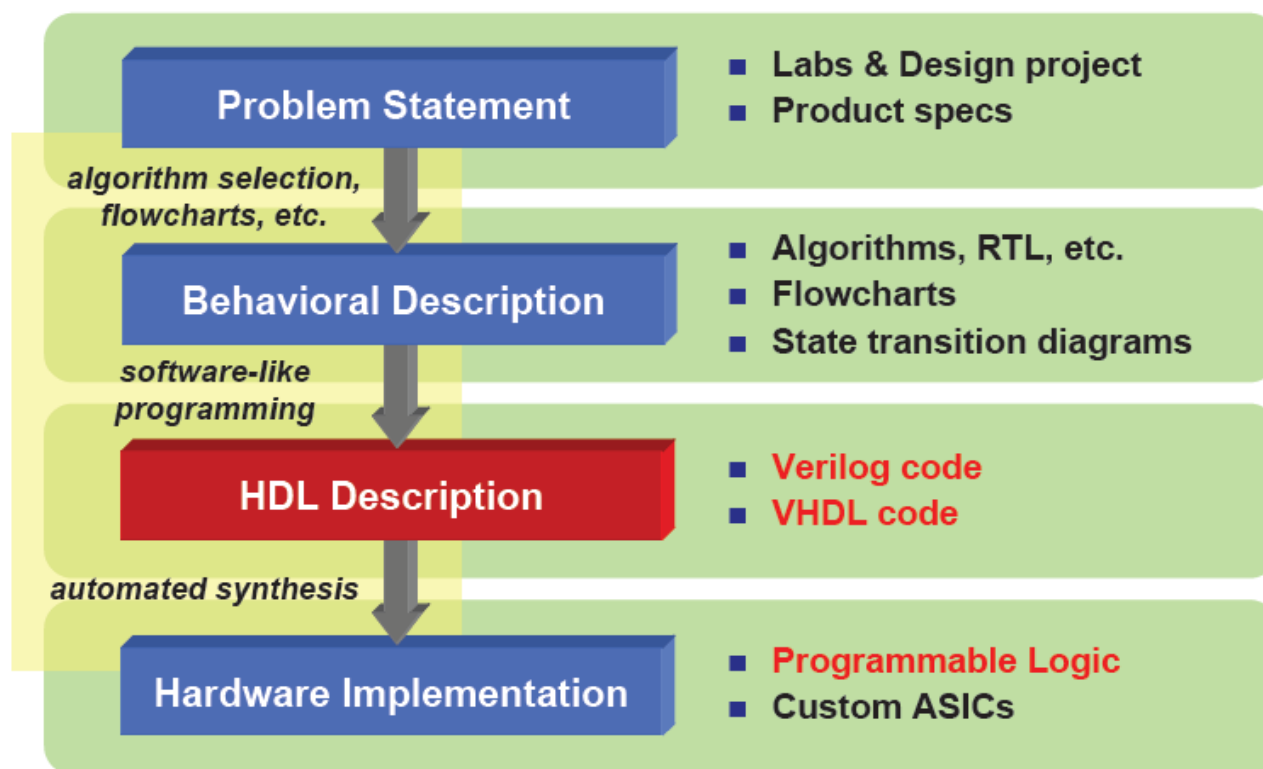
# 搭建数字系统

- 目标：计算问题的二进制数字解决方案



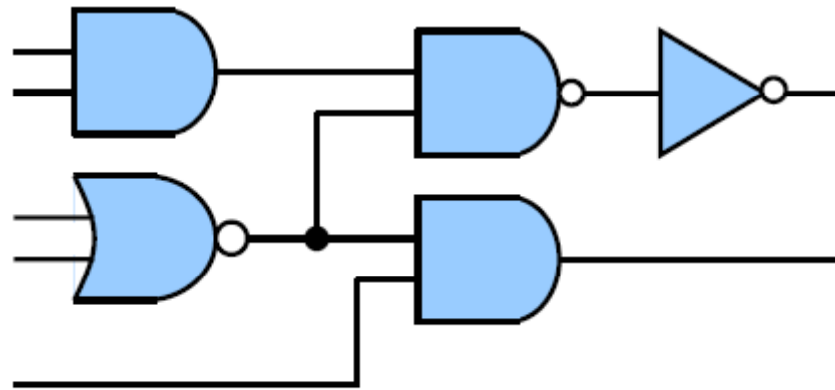
# 利用HDL搭建数字系统

- 逻辑综合是将电路的行为级描述，特别是RTL级描述转化成为门级表达的过程。



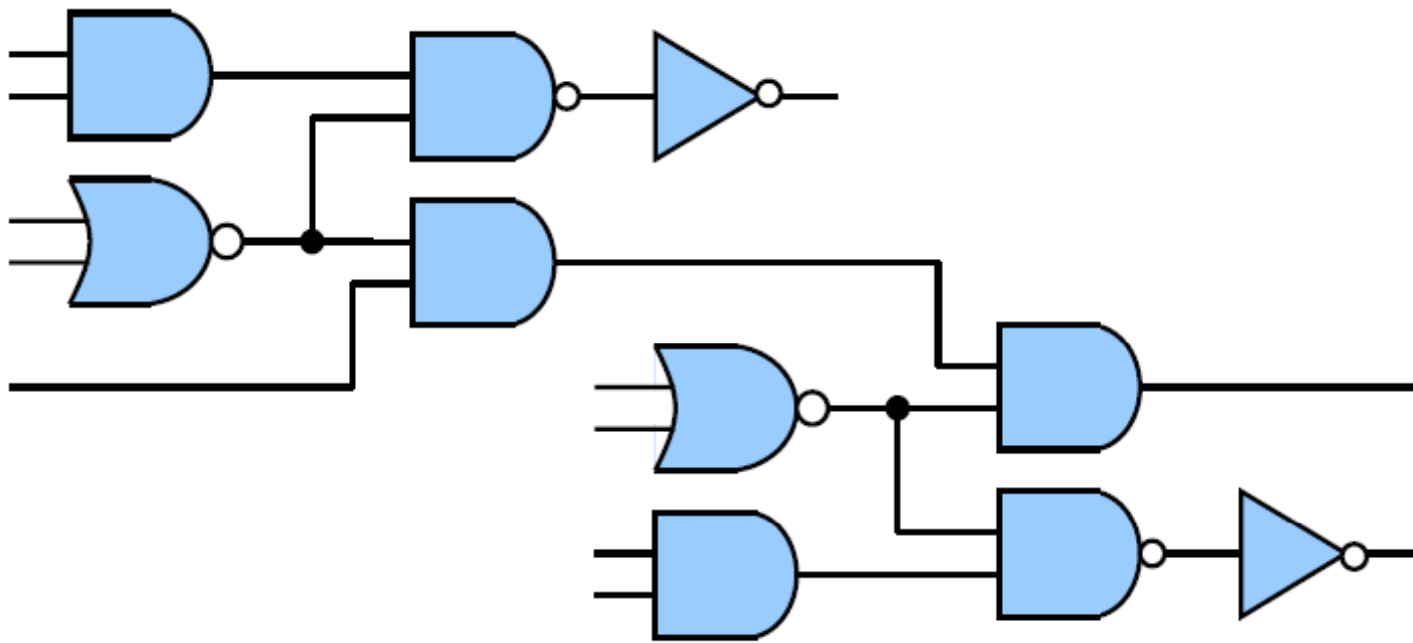


# Hardware Description Language



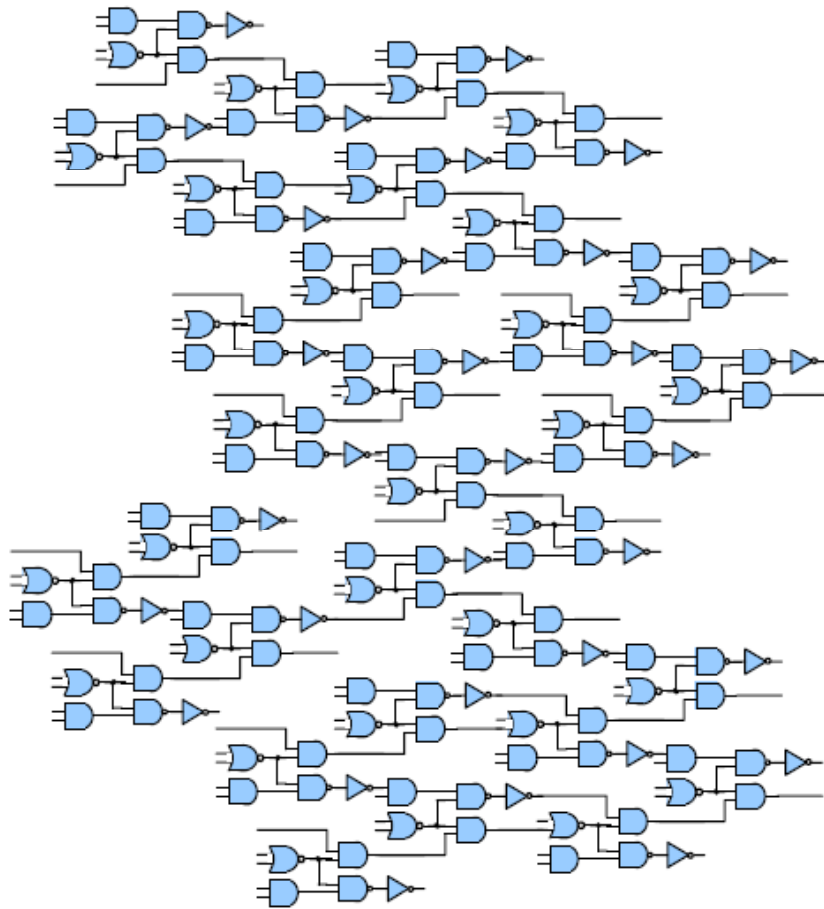
早期的设计通常只包含几个门电路，因此可以在纸上或者用面包板上验证这些电路

# Hardware Description Language



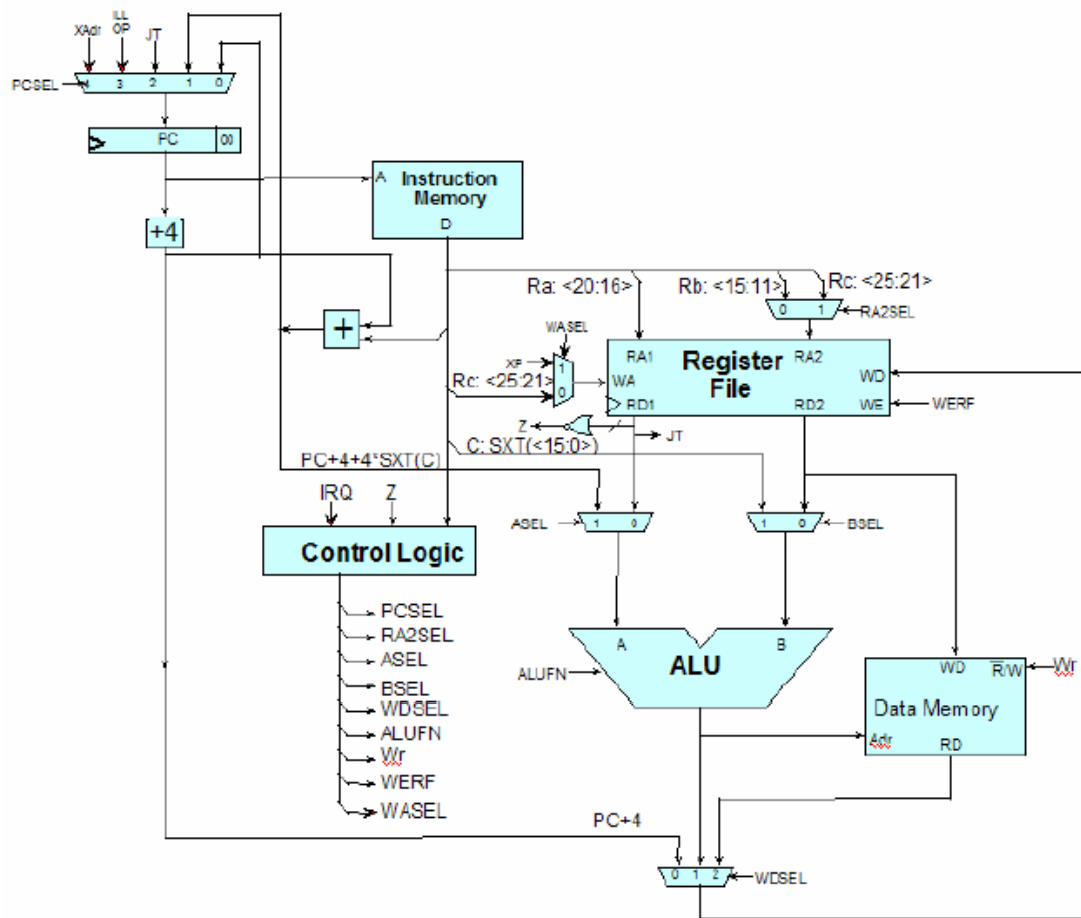
随着设计变得越来越庞大，越来越复杂，设计人员开始使用HDL中的门级建模方法来进行验证

# Hardware Description Language



当设计包含的门数大于100,000时，对于初始功能规范和早期高级设计探索来说，门级建模的效率太低了

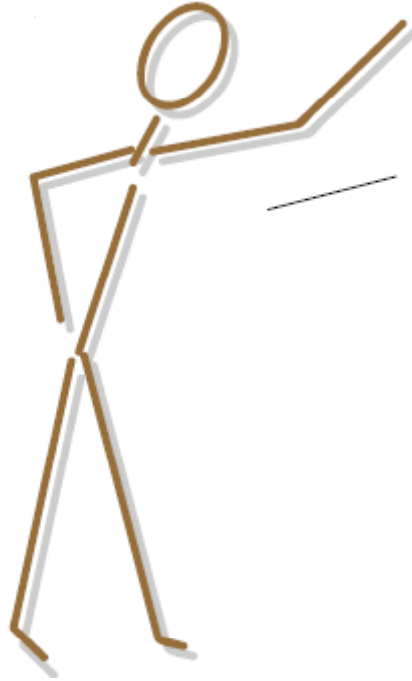
# Hardware Description Language



设计人员再次向HDL寻求帮助，HDL中的行为建模为设计探索提供了精确的规范和框架

# HDL的优点

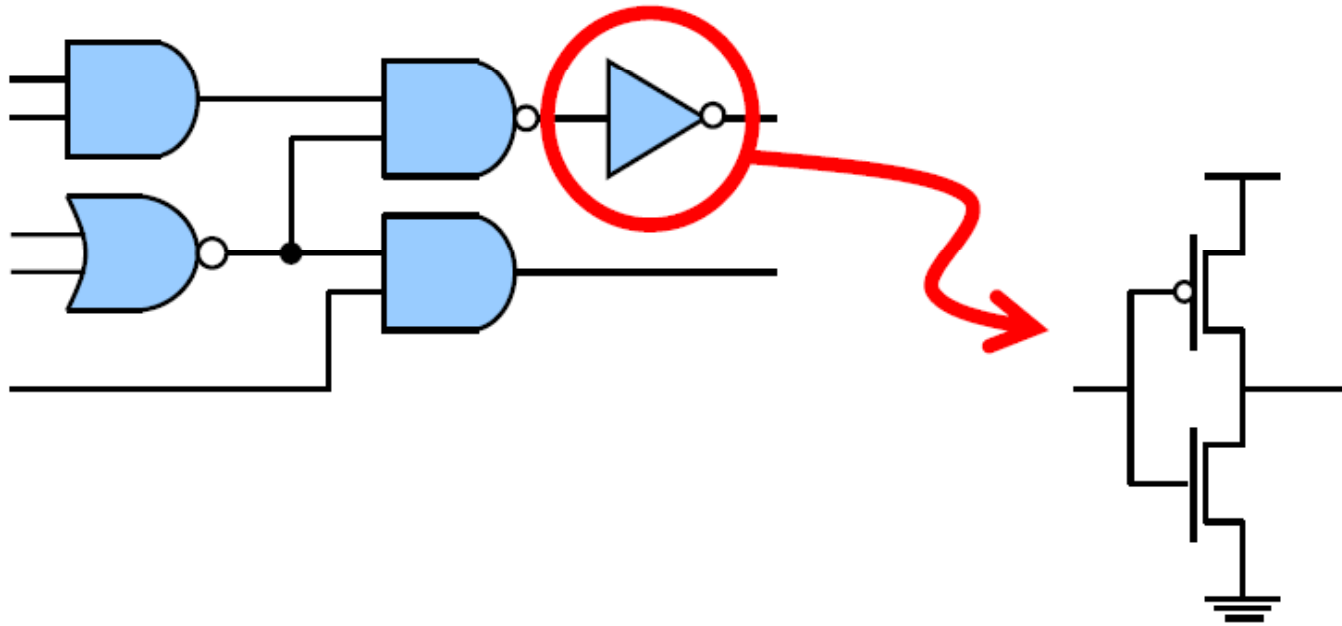
- 允许设计人员在实际设计硬件之前讨论硬件应该做什么，或者换句话说，HDL允许设计人员在不同的抽象层次上将行为与实现分开



HDL通过模块(module)和接口(interface)实现此目标

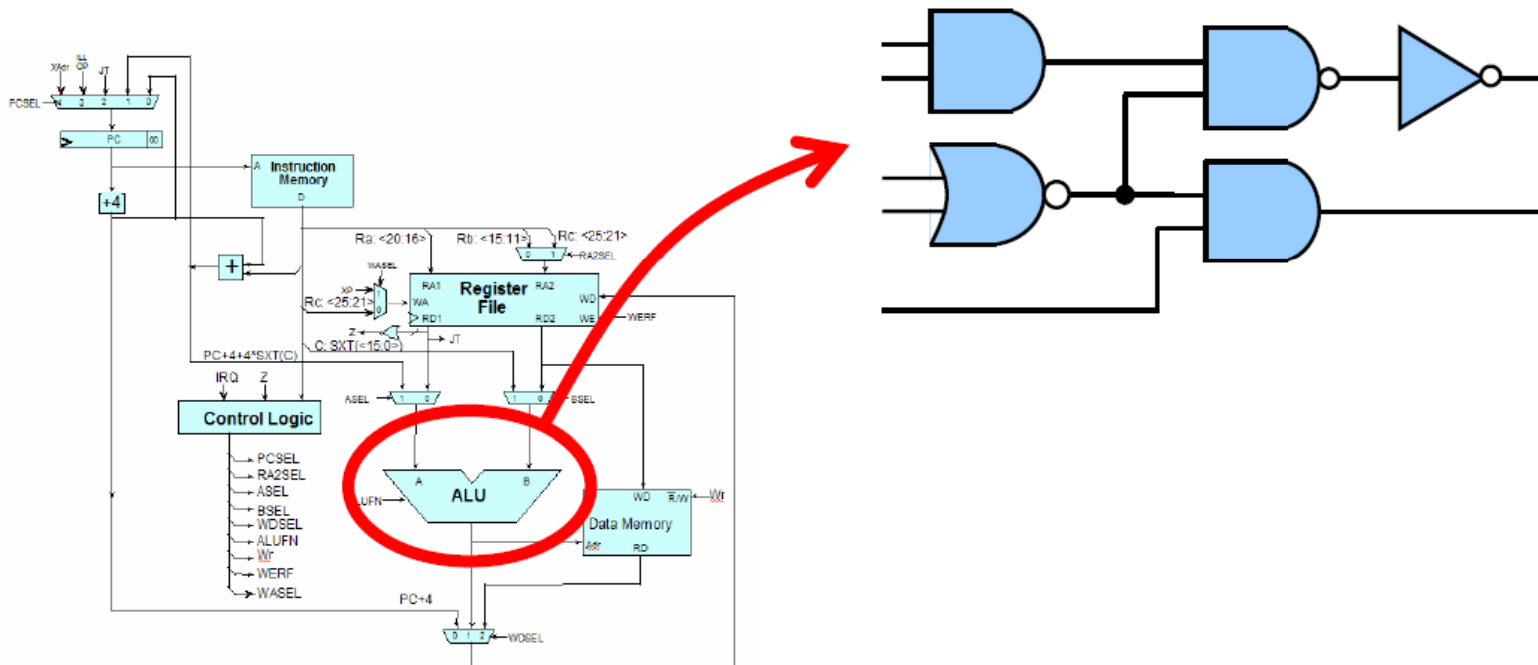
# HDL的优点

- 允许设计人员在实际设计硬件之前讨论硬件应该做什么，或者换句话说，HDL允许设计人员在不同的抽象层次上将行为与实现分开



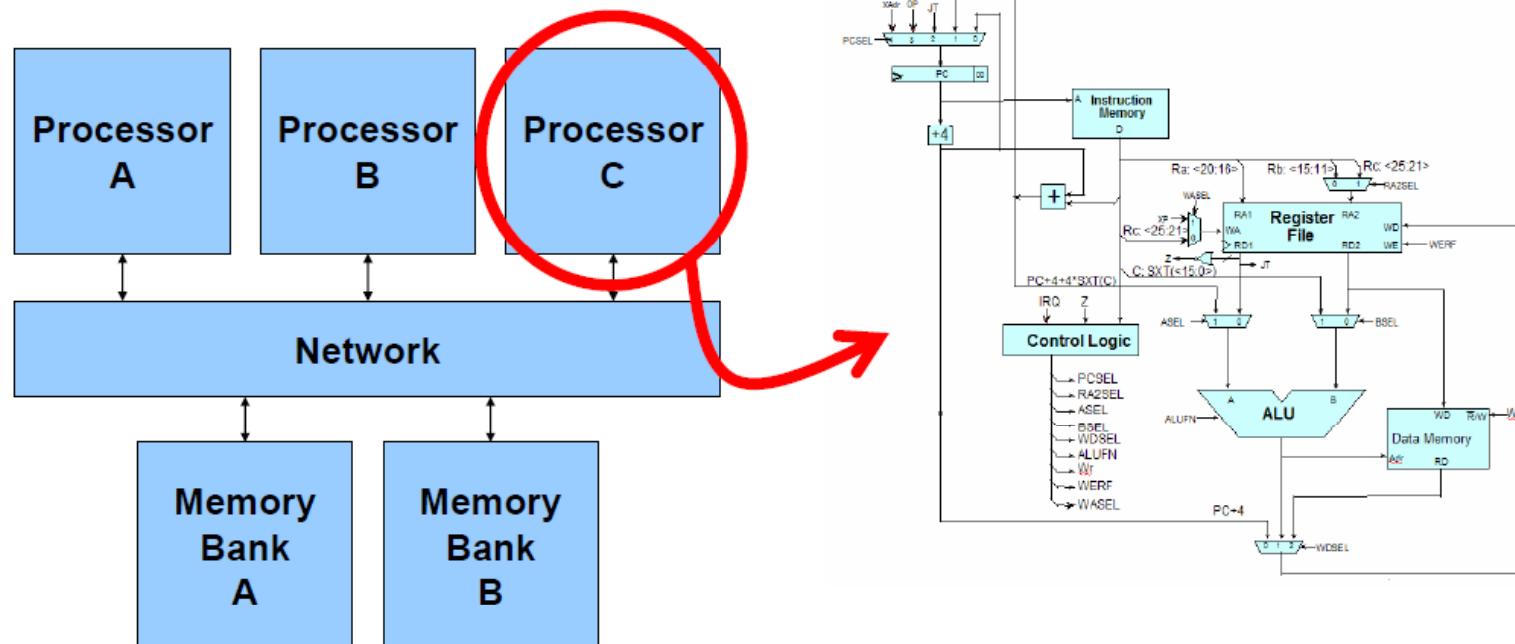
# HDL的优点

- 允许设计人员在实际设计硬件之前讨论硬件应该做什么，或者换句话说，HDL允许设计人员在不同的抽象层次上将行为与实现分开



# HDL的优点

- 允许设计人员在实际设计硬件之前讨论硬件应该做什么，或者换句话说，HDL允许设计人员在不同的抽象层次上将行为与实现分开





# HDL的优点

- 允许设计人员在实际设计硬件之前讨论硬件应该做什么，或者换句话说，HDL允许设计人员在不同的抽象层次上将行为与实现分开
  - 设计人员可以开发一个可执行的功能规范，该规范将记录所有组件及其接口的确切行为
  - 设计人员可以在设计过程的早期阶段就成本、性能、功耗和面积等指标做出决策
  - 设计人员可以创建工具，该工具将自动进行验证、综合、优化等

# 两种HDL

## VHDL

类Ada语法，很多冗余

可扩展类型和仿真引擎

设计由实体(Entity)组成

门级、数据流、行为建模、可综合子集  
较难学习和使用

## Verilog

类C语法

内置类型和逻辑表示

设计由模块(module)组成

门级、数据流、行为建模、可综合子集  
易于学习和使用，快速模拟

# 我们将使用Verilog HDL...

- 优点
  - 许多设计团队的选择
  - 我们都熟悉类C语法
  - 简单的模块/端口语法，便于层次管理
  - 非常适合验证和综合
- 缺点
  - 易于创建非常难看的代码，良好和一致的编程风格是必不可少的

# Verilog HDL

- 错误观念
  - 只要有效，代码风格无关紧要
  - 仿真相同的两份Verilog代码将综合为同样的门级模型
  - 综合没有人设计的好
- 什么是可综合的？
  - 组合逻辑函数：Multiplexors, Encoders, Decoders, Comparators, Parity Generators, Adders, Subtractors, ALUs, Multipliers
  - 控制逻辑：有限状态机(Finite State Machine, FSM)
- 什么是不可综合的？
  - 精确时序模块（例如：将信号延迟2 ns）
  - 大存储块（可以实现，但效率很低）

仿真中的结构可以是不可综合的，但硬件映射中的结构必须是可综合的

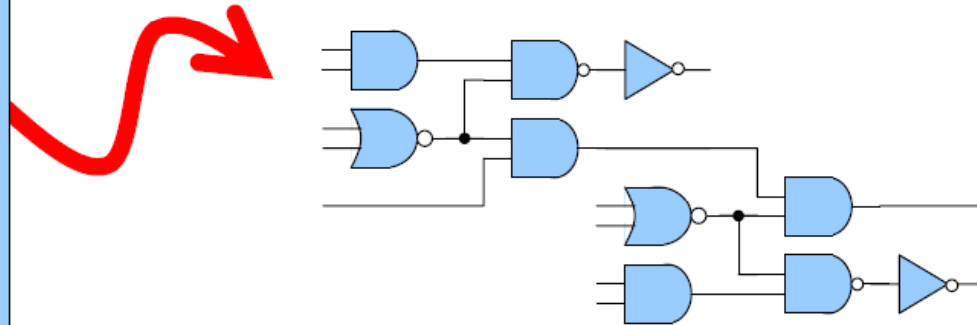
# Verilog和C语言

- C语言是由函数组成的，而Verilog HDL则是由模块组成的。
- C语言中的函数调用通过函数名相关联，函数之间的传值是通过端口变量实现的。Verilog HDL中的模块调用通过模块名相关联，模块之间的联系通过端口之间的连接实现，不同的是，它反映的是硬件之间的实际物理连接。
- 在C语言中，整个程序的执行从main函数开始。Verilog HDL中存在一个顶层模块，这个顶层模块类似于C语言中的main函数，但Verilog HDL中所有模块都是并行运行的，这一点必须从本质上与C语言加以区别。

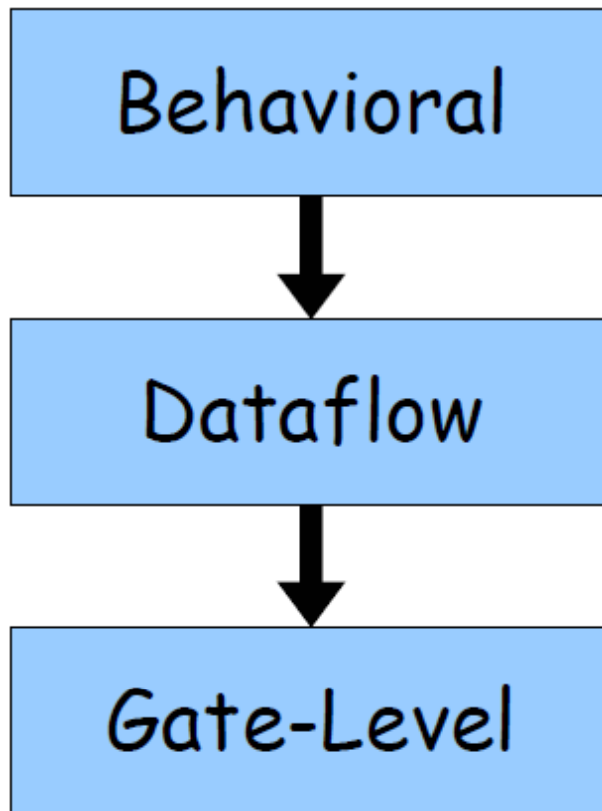
# HDL不是软件编程语言

- 软件编程语言
  - 可翻译成机器指令然后在计算机上执行
- 硬件描述语言
  - 用于建模硬件的时间行为和空间结构

```
module foo(clk,xi,yi,done);  
  input [15:0] xi,yi;  
  output done;  
  
  always @(posedge clk)  
  begin:  
    if (!done) begin  
      if (x == y) cd <= x;  
      else (x > y) x <= x - y;  
    end  
  end  
endmodule
```

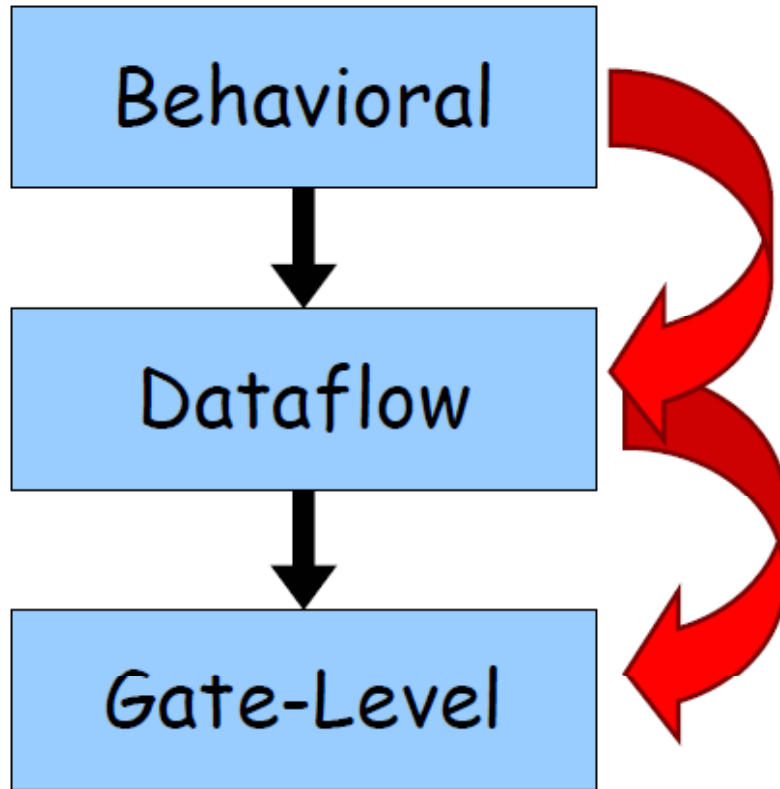


# 3种常用的抽象层次



- 通过高级算法实现模块，不关心实际硬件实现
- 通过指定数据如何在寄存器之间流动实现模块
- 通过具体的逻辑门 (AND、OR、NOT) 及其互连实现模块

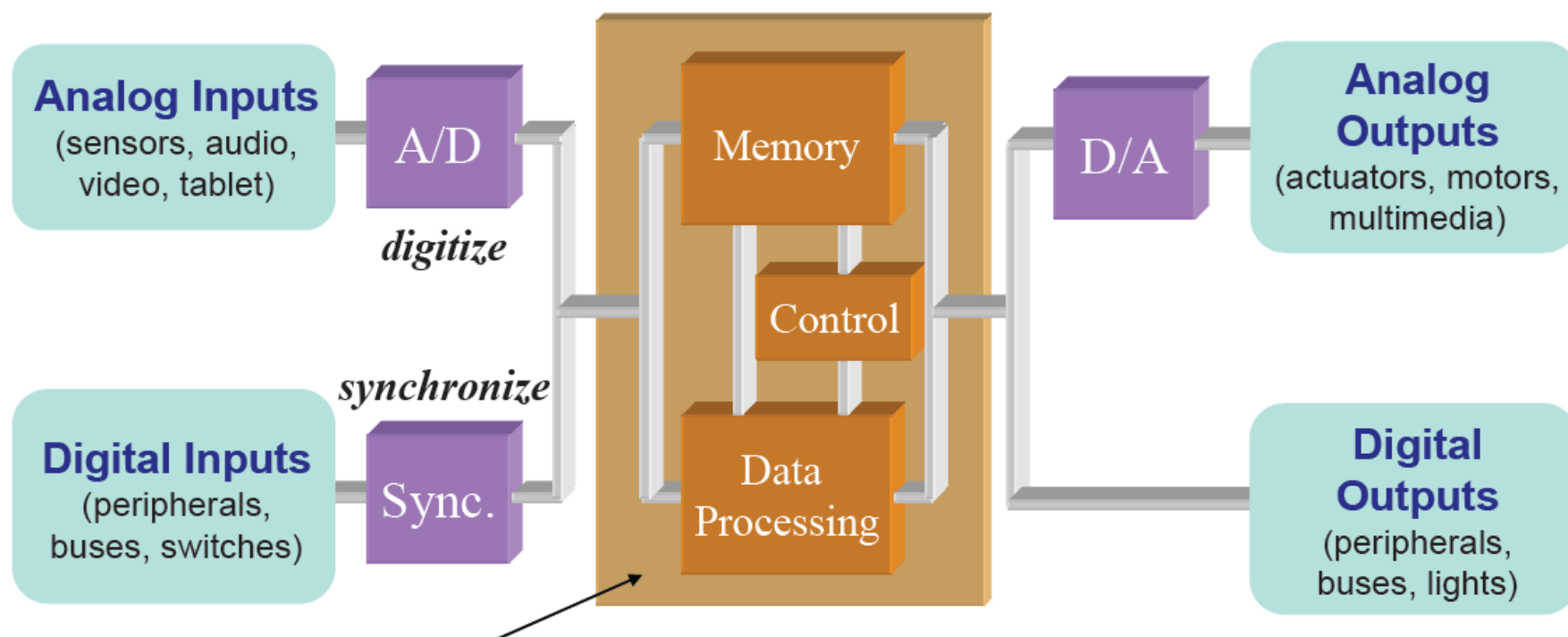
# 3种常用的抽象层次



- 设计人员可以手动或自动从高级别模型创建低级别模型
- 从数据流或行为模型自动生成门级模型的过程称为**逻辑综合**

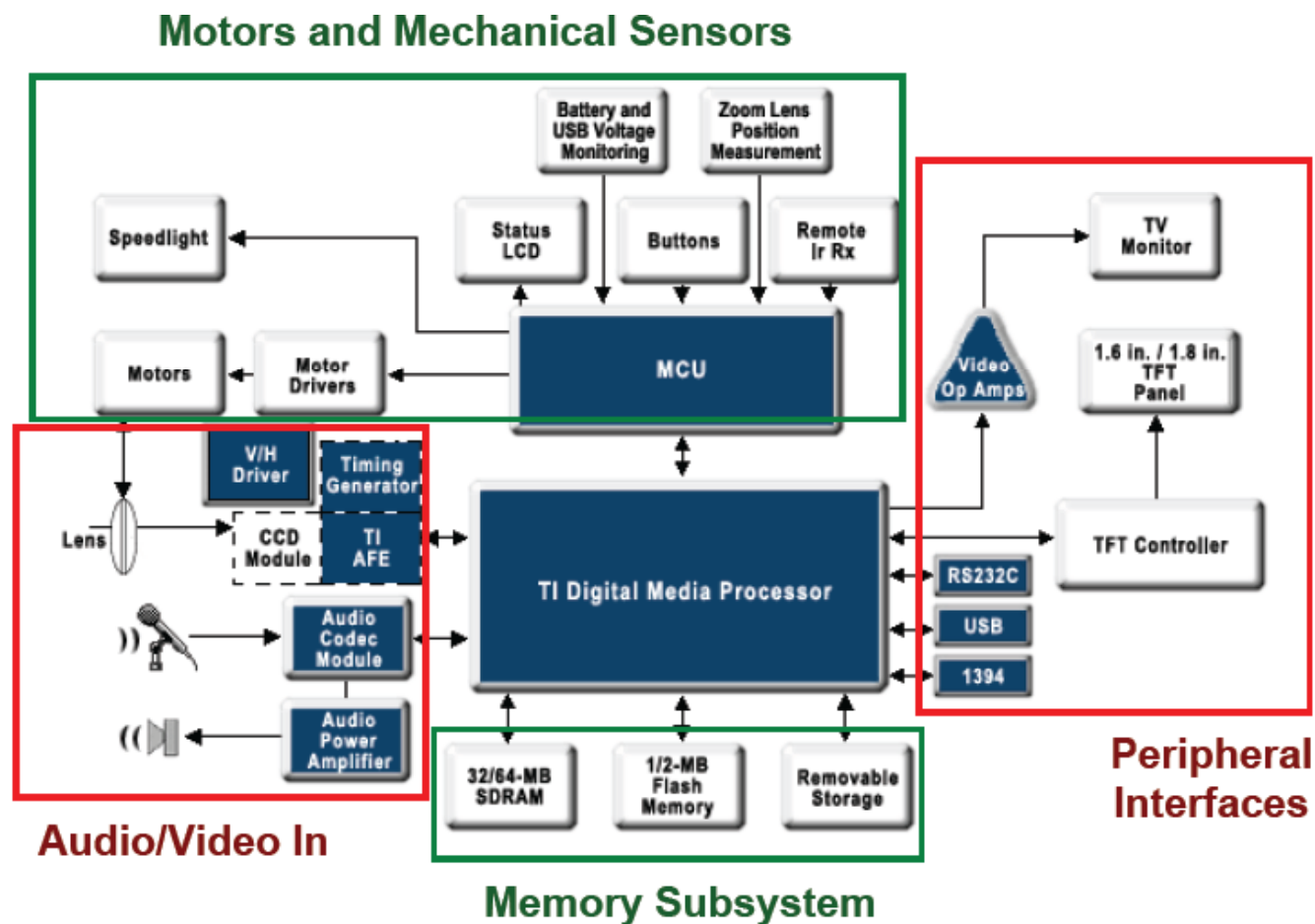


# 嵌入式数字系统



- 数字处理系统：数据通路(datapath)、存储器(memory)、控制(control)

# TI数码相机控制器



# 性能指标

成本

速度

能量

商品

科学计算、仿真

便携应用

- 商业数字设计为目标应用寻求最合适的解决方案（权衡不同指标重要性）
- 记住产品上市时间

# 验证和测试

- 设计很有趣，验证/测试是份艰苦的工作
- 仿真验证是设计过程的关键部分
- 必须测试硬件以调试映射过程和制造缺陷
- 物理实现通常不允许访问内部信号，我们将介绍观察和控制内部状态的方法

验证和可测性设计(Design for Test, DFT)  
是数字设计的重要组成部分

# 课程实验概述

- 建模概念
- 编码系统
- 多输出电路
- 任务、功能和Testbench
- 锁存器和触发器建模
- 寄存器和计数器建模
- 行为建模和时序约束
- Architectural Wizard and IP Catalog
- Counter、Timer和Real-Time Clock
- 有限状态机
- 时序系统设计

# 课程实验概述

- 数字钟
- FIR滤波器
- 交通灯控制器
- 单周期处理器
- RAM接口控制器
- VGA接口控制器
- 串行通信接口控制器
- RISC CPU

# 开发软件与实验平台

- 开发软件
  - Vivado、Xilinx ISE、Modelsim
- 实验平台：Nexys 4 DDR 开发板
  - Xilinx Artix-7 FPGA XC7A100T-1CSG324C
  - 128 MB DDR2 SDRAM
  - 10/100以太网PHY
  - USB
  - 加速度计
  - 温度传感器
  - 数字麦克风
  - 扩音器
  - LED

# 开发软件与实验平台

