

复习章节:

1.1.1、1.1.2、1.2.1、1.3.1、1.3.2、1.3.3、1.4

2.1、2.4.1、2.4.2 (原码一位乘法)、2.4.3 (原码不恢复余数除法)

3.1.1、3.1.2、3.2.2、3.2.3、3.2.4、3.3.1、3.3.2、3.3.3、3.4.1、3.4.2、3.4.3

(MOV、双操作数指令)、3.4.4 (时序切换为命令、工作周期、时钟周期工作脉冲)、3.4.5 (微程序工作原理、时序系统)

一、选择题

1. 计算机能自动连续工作的关键是 (A)。

- A. 存储程序的工作方式 B. 以运算器为中心
C. 以存储器为中心 D. 采用Cache、主存和辅存三级存储结构

2. CPU从数据总线上获取的信息, 依据 (D 或 B) 来判断该信息是指令还是数据。

- A. 对该信息进行译码的结果 B. 指令和数据来自内存的不同地址
C. 指令和数据的寻址方式 D. 指令周期的不同阶段

3、冯诺依曼计算机中指令和数据都以二进制存储在存储器中, CPU区分它们的依据 (C)

- A、指令操作码的译码结果 B、指令和数据的寻址方式
C、指令周期的不同阶段 D、指令和数据所在的存储单元

4、下面有关源程序经过语言处理程序处理后, 生成的目标文件描述正确的是 (A)

- A、由编译程序生成的目标文件运行时, 不再需要翻译源程序支持。
B、由解释程序生成的目标文件运行时, 不再需要翻译源程序支持。
C、由编译程序或解释程序生成的目标文件运行时, 都不再需要翻译源程序支持。
D、由编译程序或解释程序生成的目标文件运行时, 都需要翻译源程序支持。

5、如果 X 为正数, 由 $[X]_{\text{补}}$ 求 $[-X]_{\text{补}}$ 是将 (D)

- A、 $[X]_{\text{补}}$ 各位值保持不变 B、除符号位外, 各位变反, 末位加 1
C、 $[X]_{\text{补}}$ 符号位变反, 其他各位不变 D、 $[X]_{\text{补}}$ 连同符号位一起变反, 末位加 1

6、浮点数的 IEEE754 标准对尾数采用的是 (A)

- A、原码 B、反码 C、补码 D、移码

7、用补码表示的双符号位定点整数 110110 进行算术左移 1 位运算, 正确结果是 (C)

- A、111100 B、101101 C、101100 D、011011

8、对计算机中的定点数，小数点的位置采用(A)来表示。

A、人为约定 B、用一个触发器的输出 C、用一个寄存器的某一位 D、固定在符号位之前

9、n+1 位定点整数（1 位符号位，n 位数值位）的原码一位乘法运算中，需要多少次加法操作 (B)

A、n-1 B、n C、n+1 D、n 或 n+1

10、n+1 位定点整数（1 位符号位，n 位数值位）的原码不恢复余数法运算中，需要多少次操作 (D)

A、n-1 B、n C、n+1 D、n 或 n+1

11、n+1 位定点整数（1 位符号位，n 位数值位）的原码不恢复余数法运算中，需要多少次移位操作 (B)

A、n-1 B、n C、n+1 D、n 或 n+1

12、一个 n+1 位原码的定点小数 x 的表示范围是 (A)

A、 $-(1-2^{-n}) \leq x \leq (1-2^{-n})$ B、 $-2^{-n} \leq x \leq (1-2^{-n})$
C、 $-1 \leq x \leq (1-2^{-n})$ D、 $-1 \leq x \leq 1$

13、一个 n+1 位补码的定点小数 x 表示范围是 (C)

A、 $-(1-2^{-n}) \leq x \leq (1-2^{-n})$ B、 $-2^{-n} \leq x \leq (1-2^{-n})$
C、 $-1 \leq x \leq (1-2^{-n})$ D、 $-1 \leq x \leq 1$

14、在计算机内部，浮点数用补码表示时，负数规格化后最高数值位为 (B)

A、1 B、0 C、0或1 D、不能确定

15、float 型数据常用 IEEE754 单精度浮点格式表示，假设两个 float 型变量 x 和 y 分别存放在 32 位寄存器 f1 和 f2 中，若 (f1)=CC90 0000H，(f2)=B0C0 0000H，则 x 和 y 之间的关系为 (A)

A、x<y 且符号相同
B、x<y 且符号不同
C、x>y 且符号相同
D、x>y 且符号不同

16、在计算机内部，溢出判断条件包括 (D)

① $Cf \oplus C$ ② $SA \oplus SB$ ③ $Sf1 \oplus Sf2$ ④ $SASB \oplus Sf$ ⑤ $\overline{S_A S_B} S_f + S_A S_B \overline{S_f}$

A、①③ B、①②③ C、③④ D、①③⑤

17、8位补码表示的定点小数X的表示范围（ A ）

- A、 $-1 \leq X < 1$ B、 $-128 \leq X < 127$ C、 $-1 < X < 1$ D、 $-127 < X < 127$

18. 某指令系统的指令字长为8位，每一地址码长3位，采用扩展操作码。若指令系统只有2条二地址指令、16条零地址指令，则最多有（ A ）条一地址指令。

- A. 14 B. 32 C. 64 D. 112

19. 某指令系统的指令字长为12位，每一地址码长4位，采用扩展操作码。若指令系统只有250条一地址指令，则最多有（ B ）条零地址指令。

- A. 64 B. 96 C. 128 D. 256

20、某种计算机的算术逻辑运算指令，请问最多能表示多少条指令？（D）

0	1	2	3	4	5	6	7	8	15
基本操作		进位	移位	回送	判跳	操作数			

- A、32 B、64 C、128 D、256

21. 以下关于扩展的同步控制描述中错误的是（ D ）。

- A. 允许总线周期长度可变 B. 各操作之间的时间间隔是时钟周期的整数倍
C. 时钟周期长度不变 D. 允许时钟周期长度可变

22. I/O的编址方式为统一编址时，存储单元和I/O设备是靠（ B ）来区分。

- A. 不同的地址线 B. 不同的地址码 C. 不同的控制线 D. 都不对

23. CPU从内存中获取的指令，是通过（ B ）总线传送的。

- A. 地址数据 B. 数据 C. 控制 D. 串行

24、将外围设备与主存统一编址，一般是指（ 4 ）。

- (1) 每台设备占一个地址码 (2) 每个外围接口占一个地址码
(3) 每台外设由一个主存单元管理 (4) 接口中的有关寄存器各占一个地址码

25、指令格式中的地址结构是指（ 4 ）。

- (1) 地址段占多少位 (2) 指令中采用几种寻址方式
(3) 指令中如何指明寻址方式 (4) 指令中给出几个地址

26、减少指令中地址数的办法是采用（ 4 ）。

- (1) 变址地址 (2) 寄存器寻址 (3) 寄存器间址 (4) 隐地址

27、采用隐式I/O指令，是指用（ 4 ）实现I/O操作。

- (1) I/O指令 (2) 通道指令 (3) 硬件自动 (4) 传送指令

28、为了缩短指令中某个地址段（或地址码）的位数，有效的方法是采取（ 4 ）。

- (1) 立即寻址 (2) 变址寻址 (3) 间接寻址 (4) 寄存器寻址

29、零地址指令是采用（ 4 ）方式的指令。

- (1) 立即寻址 (2) 间接寻址 (3) 寄存器寻址 (4) 堆栈寻址

30、单地址指令（ 3 ）。

- (1) 只能对单操作数进行加工处理 (2) 只能对双操作数进行加工处理
(3) 既能对单操作数进行加工处理，也能对双操作数进行运算
(4) 无处理双操作数的功能

31、三地址指令常用于（ 4 ）中。

- (1) 微型机 (2) 小型机 (3) 大型机 (4) 所有大、小、微机

32、在以下寻址方式中，哪一种可缩短地址字段的长度（ 3 ）。

- (1) 立即寻址 (2) 直接寻址 (3) 寄存器间址 (4) 存储器间址

33、隐地址是指（ 3 ）的地址。

- (1) 用寄存器号表示 (2) 存放在主存单元中
(3) 事先约定，指令中不必给出 (4) 存放在寄存器中

34、堆栈指针SP的内容是（ 1 ）。

- (1) 栈顶地址 (2) 栈底地址 (3) 栈顶内容 (4) 栈底内容

35、为了实现输入输出操作，指令中（ 2 ）。

- (1) 对单独编址方式，可以指明设备号或端口地址。对统一编址方式，可以指明寄存器的总线地址。
(2) 必须指明外围接口中寄存器的地址码
(3) 必须同时指明外围设备号与接口中寄存器的总线地址
(4) 必须指明外围设备的设备号

36、假设某条指令的一个操作数采用自增双重间接寻址方式，指令中给出的地址码为1000H，地址为1000H的内存单元中的内容为1200H，地址为1200H的内存单元的内容为1800H，而1800H单元的内容为2800H，则该操作数的有效地址为（ B ）。

- A. 1000H B. 1200H C. 1800H D. 2800H

37、设寄存器R的内容为200，主存地址200和300的存储单元内容分别为300和400，则（ D ）方式下访问得到的操作数是200。

- A、变址寻址200 B、寄存器间接寻址（R）
C、存储器间接寻址（200） D、寄存器直接寻址R

38、在微程序控制方式中，下列关于机器指令和微指令描述错误的是（ D ）。

- A. 一条机器指令的执行对应一段微程序 B. 一段微程序包含多条微指令
C. 一条微指令包含机器指令一步操作所需的微命令 D. 每一条机器指令由一条微指令来解释

39、CPU响应中断的时间是（ A ）

- A、一条指令执行结束 B、I/O设备提出中断
C、取指周期结束 D、指令周期结束

40、. 加法器中第i位的进位产生函数 G_i 为（ A ）。

- A. $A_i B_i$ B. $A_i \oplus B_i$ C. $A_i \oplus B_i \oplus C_{i-1}$ D. $(A_i \oplus B_i) C_{i-1}$

41、加法器中第i位的进位传递函数 P_i 为（ B ）。

- A. $A_i B_i$ B. $A_i \oplus B_i$ C. $A_i \oplus B_i \oplus C_{i-1}$ D. $(A_i \oplus B_i) C_{i-1}$

42、在同步控制方式中（ 3 ）。

- (1) 各指令的执行时间相同 (2) 各指令占用的节拍数相同
(3) 由统一的时序信号进行定时控制 (4) CPU 必须采用微程序控制方式

43、异步控制方式常用于（ 3 ）。

- (1) CPU 控制 (2) 微程序控制 (3) 系统总线控制 (4) CPU 内部总线控制

44、CPU（ 3 ）才能响应 DMA 请求。或者 CPU 响应 DMA 请求的时间是（ ）。

- (1) 必须在一条指令执行完毕 (2) 可在任意时钟周期结束
(3) 必须在一个总线周期结束 (4) 在判明设有中断请求之后

45、在同步控制方式中（ 1 ）。

- (1) 每个时钟周期（节拍）长度固定
- (2) 各指令的时钟周期不变
- (3) 每个工作周期长度固定
- (4) 各指令的工作周期数不变

46、异步控制常用于（ 1 ）中，作为其主要控制方式。

- (1) 单总线结构
- (2) 微型计算机中的 CPU 控制
- (3) 组合逻辑控制器
- (4) 微程序控制器

47、采用同步控制的目的是（ 1 ）。

- (1) 简化控制时序
- (2) 提高执行速度
- (3) 满足不同操作对时间安排的需要
- (4) 满足不同设备对时间安排的需要

48、采用异步控制的目的（ 4 ）。

- (1) 支持微程序控制方式
- (2) 简化控制时序
- (3) 降低控制器成本
- (4) 提高执行速度

49、通用寄存器是（ 4 ）。

- (1) 可存放指令的寄存器
- (2) 可存放程序状态字的寄存器
- (3) 本身具有计数逻辑与移位逻辑的寄存器
- (4) 可编程指定多种功能的寄存器

50、程序状态字寄存器的内容（ 4 ）。

- (1) 只能由程序置位给定
- (2) 不能由程序置给定
- (3) 只能由运行结果置定
- (4) 既有由运行结果置位，也有由程序置位

51、采用微程序控制的目的是（ 2 ）。

- (1) 提高速度
- (2) 简化控制器设计与结构
- (3) 使功能很简单的控制器能降低成本
- (4) 不再需要机器语言

52、在微程序控制中，机器指令和微指令的关系是（ 2 ）。

- (1) 每一条机器指令由一条微指令来解释执行
- (2) 每一条机器指令由一段微程序来解释执行
- (3) 一段机器指令组成的工作程序，可由一条微指令来解释执行
- (4) 一条微指令由若干条机器指令组成

53、微程序存放在（ 2 ）。

- (1)主存中 (2)固定存储器中 (3)堆栈中 (4)磁盘中

54、三级时序系统提供的三级时序信号是（ 2 ）。

- (1)指令周期、工作周期、节拍 (2)工作周期、节拍、脉冲
(3)指令周期、机器周期、时钟周期 (3)指令周期、微指令周期，时钟周期

55、扩展同步总线（ 2 ）。

- (1)允许时钟周期长度可变 (2)允许总线周期长度可变
(3)无时钟周期划分 (4)无总线周期划分

56、某主存总容量为 64MB，按字编址，需要多少条地址线，MAR 位数是多少？（D）

- A、16，32 B、32，32 C、64，64 D、25，25

57、若数据传输指令的元和目的操作数都采用变址寻址，指令字长为 48bit（包含形式地址），数据总线和地址总线为 16bit，则该指令的执行需要从存储器取指令、取源操作数，并送到目的存储单元，需要多少次访存？（C）

- A、2 B、4 C、5 D、8

58. 在微程序控制器中，一般采用的两级时序体制是（ D ）

- A. 指令周期和 CPU 周期 B. CPU 周期和节拍电位
C. CPU 周期和时钟脉冲 D. 节拍电位（微指令周期）和时钟脉冲

59、用 8 片 74181 和两片 74182 可组成（ B ）。

- A. 组内并行进位、组间串行进位的 32 位 ALU
B. 二级先行进位结构的 32 位 ALU
C. 组内先行进位、组间先行进位的 16 位 ALU
D. 三级先行进位结构的 32 位 ALU

60、用74181和74182芯片构成一个64位ALU，所需74181和74182芯片数量分别是（ D ）

- A、8片74181和4片74182 B、8片74181和5片74182
C、16片74181和4片74182 D、16片74181和5片74182

二、判断题

1. 与定点数相比,在位数相同的情况下,浮点数表示范围大、精度高。 (v)
2. 压栈操作是指:将内容写入堆栈指针SP内。 (x)
3. 为减少指令中地址的数目,可以采用隐地址方式。 (v)
4. 并行加法器中的进位链,必定是并行进位链。 (x)
5. 中断周期结束后,CPU应进入主程序的下一条指令取指周期。 (x)
6. 在中断方式中,数据传送由中断控制器控制。 (x)
7. DMA控制方式下,外设传送信息到内存,其传送途径为外设→CPU→内存。 (x)
8. 微程序控制方式下,微程序存放在主存中。 (x)
9. CPU是计算机的核心部件,包括寄存器组、控存、缓存和主存等部件。 (x)
10. 模型机中的程序计数器PC对汇编程序员可见。 (v)
11. 若8位补码表示的机器数01001010,则该机器数的真值为74。 (v)
12. 串行加法器的进位信号是通过串行链逐位形成的,并行加法器的进位信号是同时形成的。 (x)
13. 扩展同步总线是指允许时钟周期数可变。 (v)
14. CPU访问主存储器的时间是由存储体的容量决定的,存储容量越大,访问存储器所需要的时间就越长。 (x)
15. 存储器包括主存和辅存,全部都在CPU外部 (x)
16. 并行加法器的运算速度取决于全加器单元的速度。 (x)
18. 串行进位链是串行加法器中的进位链。 (x)
19. 运算器实现移位操作,必须使用移位线路。 (x)
21. 并行加法器中的进位链,必定是并行进位链。 (x)
22. 原码加减运算比补码加减运算简单。 (x)
23. 原码乘法运算比补码乘法运算简单。 (v)
24. 若采用并行进位链,则 $C_3 = G_3 + P_3 C_2$ 。 (x)
25. 进位制中的基数是:一个数位中允许使用的最大数码值。 (x)
26. 在计算机系统中,可能同时采用同步控制方式与异步控制方式。 (v)
27. 在同步控制方式中,各指令的执行时间并不一定都相同。 (v)
28. 采用DMA方式传送信息,一旦开始传送后,CPU必须停止执行程序一段时间,直到批量传送结束,才能恢复工作。 (x)

三、计算题

IEE754, P76, 17、18题

P76、18. 某一个标准的IEEE754 格式的短浮点数，表示为十六进制形式为2AB03700H，请将其转化成对应的十进制数，要求写出主要的转化步骤。

(1) 2AB03700H=0010 1010 1011 0000 0011 0111 0000 0000

(2) 符号位S=0;

(3) 阶码E=010 1010 1=85, $e=85-127=-42$;

(4) M=011 0000 0011 0111 0000 0000

(5) 十进制数= $+(1+2^{-2}+2^{-3}+2^{-10}+2^{-11}+2^{-13}+2^{-14}+2^{-15}) \times 2^{-42}$

P76. 17. 若采用教材中图2-5 所示的IEEE754 短浮点数格式，将十进制数37.25 写成浮点数，并且写出其二进制代码序列。

(1) 将十进制数37.25 转换为二进制数100101.01，将100101.01 表示为 1.0010101×2^5

(2) 浮点数阶码的真值 $e=5$ ，阶码（移码表示） $E=(e+127)_{10}=(5+127)_{10}=(132)_{10}=(10000100)_2$

(3) 数符 $S_e=0$

(4) M=001010100000...00

(5) 32 位浮点数的二进制数代码序列为：
0100 0010 0001 0101 0000 0000 0000 0000

四、简答

寻址方式：P232 3题

4. 某主存储器部分单元的地址码与存储器内容对应关系如下：

地址码	存储内容
1000H	A307H
1001H	0B3FH
1002H	1200H
1003H	F03CH
1004H	D024H

(1) 若采用寄存器间址方式读取操作数，指定寄存器 R_0 的内容为 1002H，则操作数是多少？

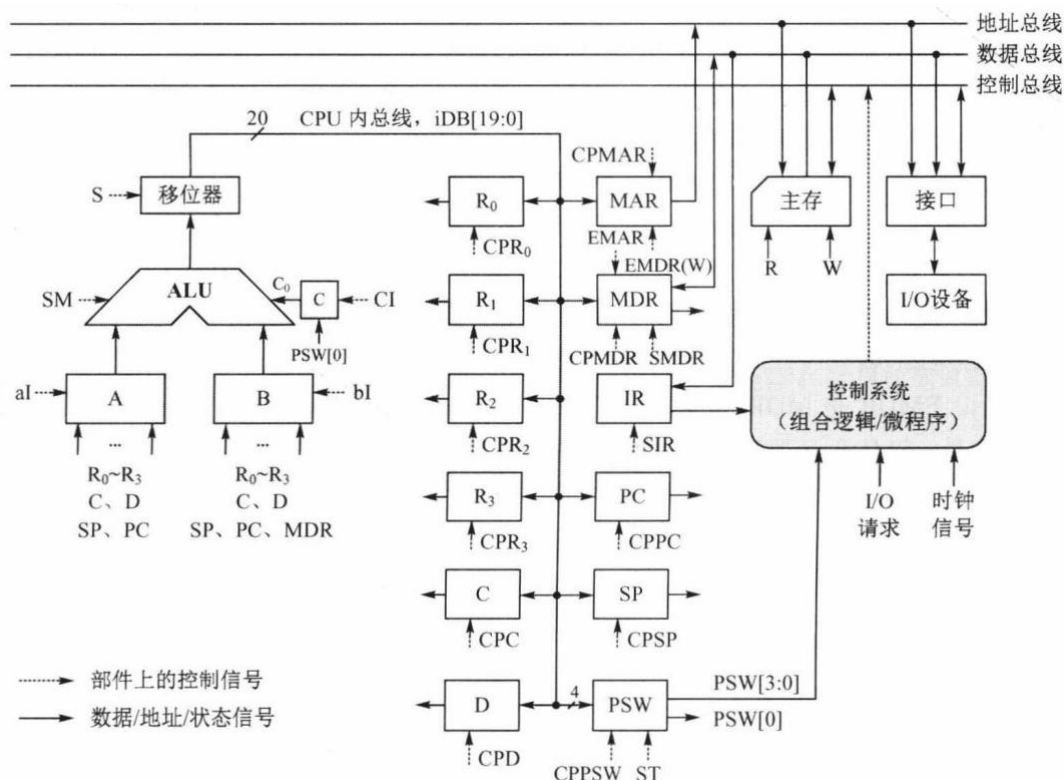
(2) 若采用自增型寄存器间址方式 $(R_0)+$ 读取操作数， R_0 内容为 1000H，则操作数是多少？指令执行后 R_0 的内容是多少？

(3) 若采用自减型寄存器间址方式 $-(R_1)$ 读取操作数， R_1 内容为 1003H，则操作数是多少？指令执行后 R_1 的内容是多少？

(4) 若采用变址寻址方式 $X(R_2)$ 读取操作数，指令中给出形式地址 $d=3H$ ，变址寄存器 R_2 内容为 1000H，则操作数是多少？

五、设计

《电子科技大学 2023-2024 学年第 1 学期期中考试 A 卷》四、分析设计题（共 30 分）



(2) 补充下面画横线部分的指令流程或微命令 (每空 2 分, 共 14 分)

指令流程

微命令

FT0: $M \rightarrow IR$

$PC+1 \rightarrow PC$

ST0: $PC \rightarrow MAR$

$PC \rightarrow A$ 输出 A DM CPMAR

ST1: $M \rightarrow MDR \rightarrow C$

EMAR R SMDR $MDR \rightarrow B$ 输出 B DM CPC

ST2: $PC+1 \rightarrow PC$

$PC \rightarrow A$ A+1 DM CPPC

ST3: $C+R0 \rightarrow MAR$

ST4: $M \rightarrow MDR \rightarrow C$

DT0: $R1 \rightarrow MAR$

DT1: $M \rightarrow MDR \rightarrow D$

DT0 节拍完成后应增加的时序转换微命令是: $T+1$ CPT(\overline{P})

DT1 节拍完成后应增加的时序转换微命令是: $1 \rightarrow ET$ CPET(\overline{P})

ET0: $C+D \rightarrow MDR$ $C \rightarrow A$ $D \rightarrow B$ A+B DM CPMDR

ET1: $MDR \rightarrow M$ EMAR W(EMDR)

ET2: $PC \rightarrow MAR$

(3) 写出上述指令流程对应的指令 (6 分)

ADD (R1), X(R0)

MOV (R0), (SP)+;

1) 指令流程

FT0: $M \rightarrow IR$

$PC+1 \rightarrow PC$

ST0: $SP \rightarrow MAR$

ST1: $M \rightarrow MDR \rightarrow C$

ST2: $SP+1 \rightarrow SP$

DT0: $R0 \rightarrow MAR$

ET0: $C \rightarrow MDR$

$MDR \rightarrow M$

$PC \rightarrow MAR$

2) 操作时间表

EMAR, R, SIR

$PC \rightarrow A$, A+1, DM, CPPC, $1 \rightarrow ST$, CPT(\overline{P}), CPFT(\overline{P}), CPST(\overline{P}), CPDT(\overline{P}), CPET(\overline{P})

$SP \rightarrow A$, 输出 A, DM, CPMAR, T+1, CPT(\overline{P})

EMAR, R, SMDR, $MDR \rightarrow B$, 输出 B, DM, CPC, T+1, CPT(\overline{P})

$SP \rightarrow A$, A+1, DM, CPSP, $1 \rightarrow DT$, CPT(\overline{P}), CPFT(\overline{P}), CPST(\overline{P}), CPDT(\overline{P}), CPET(\overline{P});

$R0 \rightarrow A$, 输出 A, DM, CPMAR, $1 \rightarrow ET$, CPT(\overline{P}), CPFT(\overline{P}), CPST(\overline{P}), CPDT(\overline{P}), CPET(\overline{P});

$C \rightarrow A$, 输出 A, DM, CPMDR, T+1, CPT(\overline{P})

EMAR, W, T+1, CPT(\overline{P}),

$PC \rightarrow A$, 输出 A, DM, CPMAR, $1 \rightarrow FT$, CPT(\overline{P}), CPFT(\overline{P}), CPST(\overline{P}), CPDT(\overline{P}), CPET(\overline{P})