

29

## 一、简答题 (每小题5分, 共30分)

1. 什么是同步控制方式? 主要特点是什么?

答: 同步控制是指各分操作都在统一时钟周期下完成, 指令开始与结束都由时钟脉冲控制, 要求各部分完成的时间尽可能相同, 适用于

2. 模型机组合逻辑控制器是哪三级时序? 微程序控制器是哪两级时序? CPU内部、设备内部。

答: 指令周期、工作周期、时钟周期。

节拍与时钟脉冲周期

3. 静态存储器 SRAM、动态存储器 DRAM 存储信息的原理分别是什么?

答: SRAM: 依靠双稳态电路来存储信息

DRAM: 依靠电容存储电荷来存储信息

4. 总线的定义? 系统总线根据传递信息的不同分哪三类?

答: 总线(Bus)是信息传输的通路, 是CPU与各设备连接的桥梁。

分为地址总线(AB)、数据总线(DB)和控制总线(CB)。

5. 单级中断的中断服务子程序处理流程是什么?

答: 发出中断请求 → 关中断 → 保护硬件和软件现场 → 执行中

断服务子程序 → 恢复现场 → 开中断 → 返回

6. I/O 端口有哪两种编址方式? 在 8088/8086 系统中采用哪一种编址方式?

答: 独立编址和统一编址。8088/8086 采用独立编址。

第 1 页

得分

## 二、计算分析题: (每小题6分, 共24分)

1. 将十进制数 39.25 转换为 IEEE754 短浮点数形式 (最终结果表示为 8 位十六进制数), 要求

写出主要步骤。(6分)

解:  $(39)_{10} = (100111)_2$

$(0.25)_{10} = (0.01)_2$

$\Rightarrow (39.25)_{10} = (100111.01)_2 = 1.0011101 \times 2^5$

$\Rightarrow S = 0,$

$e = 5, E = e + 127 = 132 = (1000\ 0100)_2$

$M = (001\ 110\ 0000\ 0000\ 0000\ 0000)_2$

$\Rightarrow (39.25)_{10}$  转化为 IEEE754 后为  $(0100\ 0010\ 0001\ 101\ 0000\ 0000\ 0000)_2$

即  $421D0000H$

2. 若模型机部分寄存器、存储单元地址码与存储内容的对应关系如下:

寄存器	存储内容	存储单元地址码	存储内容
R0	6003H	6000H	1000H
R1	6000H	6001H	0A00H
R2	6005H	6002H	3700H
		6003H	6000H
		6004H	5933H
		6005H	2068H
		6006H	0D65H

(1) 若采用自增型双间址寻址 @ (R0)+ 读取操作数, 则操作数是 (1000H), 执行完后 R0 的值是 (6004H)。(每空2分, 共4分)

(2) 若采用变址寻址 X(R1) 读取操作数, 形式地址 d=5H, 则操作数是 (2068H)。(2分)

第 2 页

得分

## 三、模型机设计题: (16分)

模型机 CPU 组成如下: 一个由 SN74181 构成的 ALU; 选择器 A、B; 移位器; 通用寄存器 R0~R3; 暂存器 C 和 D; 指令寄存器 IR; 程序计数器 PC; 地址寄存器 MAR; 数据缓冲寄存器 MDR; 堆栈指针 SP 等; 一组控制逻辑; CPU 内单向数据总线一组。

第 3 页

1. 拟定指令 MOV (R1), (R0)+ 的指令流程(每个时钟周期的寄存器传送级操作), 其中源操作数寻址方式采用自增量寄存器寻址, 目的操作数采用寄存器间接寻址。(8分)

解: FT:  $M \rightarrow IR$

$PC+1 \rightarrow PC$

ST:  $R_0 \rightarrow MAR$

$M \rightarrow MPR \rightarrow C$

$R_0+1 \rightarrow R_0$

DT:  $R_0 \rightarrow MAR$

ET:  $C \rightarrow MPR$

$MPR \rightarrow M$

$PC \rightarrow MAR$

2. 拟定取指周期(FT)的操作时间表(要考虑时序切换)。(8分)

解: FT:  $M \rightarrow IR$  EMAR, R, SIR

$PC+1 \rightarrow PC$   $PC \rightarrow A, A+1, DM, CP, PC, I \rightarrow ST, CPT(P), CPFT(P), CPST(P), CPDT(P), CPET(P)$

得分

12

四、存储器设计题 (12分)

用  $2K \times 8b$  的芯片(若干)构成一个  $8KB$  存储器, 地址范围:  $C000H-C1FFFH$ , 8 位数据

总线  $D7-D0$ (低), 20 位地址总线  $A19-A0$ (低), 存储芯片读、写控制信号  $\overline{MEMR}, \overline{MEMW}$  (低电平有效), 片选信号  $\overline{CS}$  (低电平有效), 且片选信号采用 3-8 译码器(74LS138)的输出。

1. 需要多少片  $2K \times 8b$  的存储芯片构成  $8KB$  存储器? (2分)

每组芯片地址线如何分配? (1分)

解: 需要 4 片  $2K \times 8b$  的存储芯片。

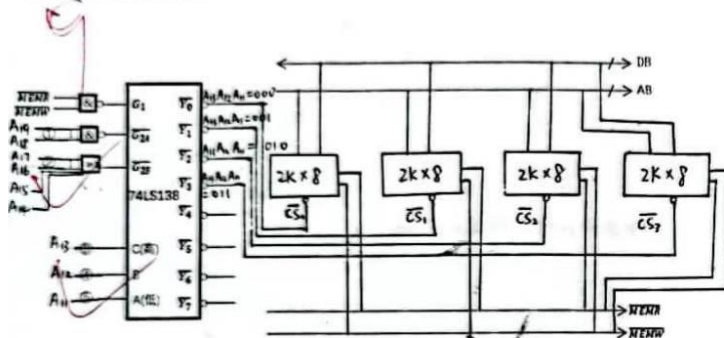
第 1 片:  $C000H-C07FFH$  第 2 片:  $C0800H-C0FFFH$  第 3 片:  $C1000H-C17FFH$

第 4 片:  $C1800H-C1FFFH$

每组芯片  $A_0 \sim A_{11}$  为片内地址,  $A_{12} \sim A_{19}$  为片选信号接入 3-8 译码器

2. 不增加其它部件的前提下, 请完善下面存储器逻辑电路图, 包括 74LS138 的使能端  $\overline{G_{2A}}$  和  $\overline{G_{2B}}$ 。

输入  $CBA$ , 输出连线, 以及存储芯片的片选信号、地址线、数据线、读写控制线的连接。(注: ①-⑤均为地址线) (9分)。



①  $A_{19}, A_{18}$

②  $A_{17}, A_{16}, A_{15}, A_{14}$

③  $A_{13}$

④  $A_{12}$

⑤  $A_{11}$

$\overline{CS_0} = A_{19} A_{18} \overline{A_{17}} \overline{A_{16}} \overline{A_{15}} \overline{A_{14}} \overline{A_{13}} \overline{A_{12}} \overline{A_{11}}$

$\overline{CS_1} = A_{19} A_{18} \overline{A_{17}} \overline{A_{16}} \overline{A_{15}} \overline{A_{14}} \overline{A_{13}} \overline{A_{12}} A_{11}$

$\overline{CS_2} = A_{19} A_{18} \overline{A_{17}} \overline{A_{16}} \overline{A_{15}} \overline{A_{14}} \overline{A_{13}} A_{12} \overline{A_{11}}$

$\overline{CS_3} = A_{19} A_{18} \overline{A_{17}} \overline{A_{16}} \overline{A_{15}} \overline{A_{14}} \overline{A_{13}} A_{12} A_{11}$