## Verilog编译与仿真工具使用

### 一、下载安装

1. Verilog的工具软件的安装

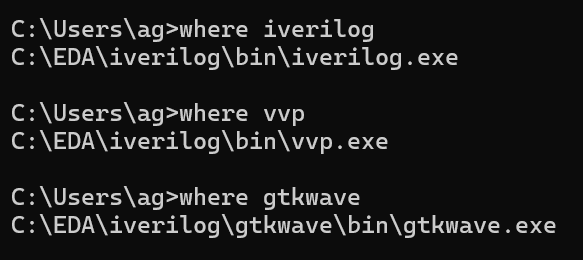
https://bleyer.org/icarus/ 中下载 iverilog-v12-20220611-x64\_setup.exe

运行后，即安装好如下工具：

1. verilog的编译工具iverilog
2. 波形生成工具vvp
3. 波形仿真工具 gtkwave
4. 安装后，检查是否安装成功

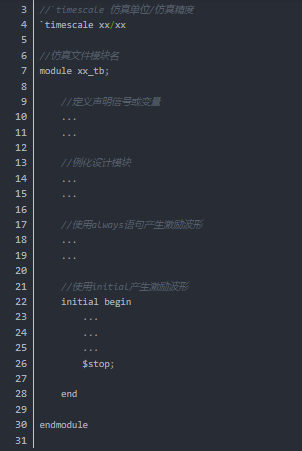
在命令行输入：

1. where iverilog
2. where vvp
3. where gtkwave



### 二、testbench的学习与编译仿真工具使用

1. 仿真testbench文件格式：



1. testbench框架程序例子：only\_tb.v，其内容为：

`timescale 1ns/1ns

module a\_tb\_main;

reg a;

initial begin

a = 0;

#200

$stop(0);

end

always #10 a = {$random} % 2;

initial

begin

$dumpfile("wave.vcd"); //生成的vcd文件名称

$dumpvars(0, a\_tb\_main); //tb模块名称

end

endmodule

1. 测试仿真框架程序
2. 在工作目录下，打开命令窗口，输入

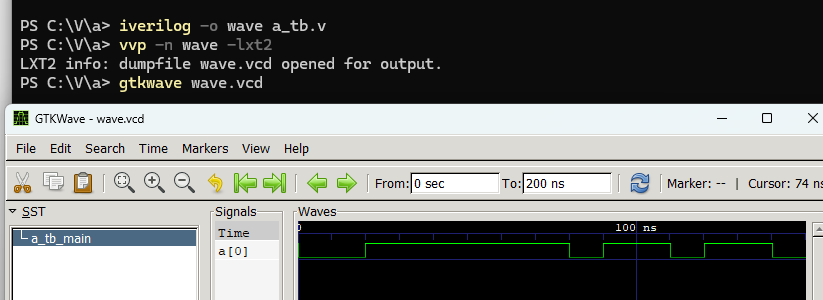
iverilog -o wave only\_tb.v

1. 生成wave.vcd

vvp -n wave -lxt2

1. 查看wave.vcd

gtkwave wave.vcd



### 三、Verilog程序的仿真

1. 编写Verilog程序：a.v

module justinv (a1,q1);

input a1;

output reg q1;

always @(a1)

q1 = ~a1 ;

endmodule

1. 编写testbench程序：a\_tb.v，其内容为：

`timescale 1ns/1ns

module a\_tb\_main;

reg a;

wire q;

initial begin

a = 0;

#200

$stop(0);

end

always #10 a = {$random} % 2;

initial

begin

$dumpfile("wave.vcd"); //生成的vcd文件名称

$dumpvars(0, a\_tb\_main); //tb模块名称

end

justinv f1(

.a1(a),

.q1(q)

);

endmodule

1. 在工作目录下，打开命令窗口，输入

iverilog -o wave a.v a\_tb.v

1. 生成wave.vcd

vvp -n wave -lxt2

1. 查看wave.vcd

gtkwave wave.vcd

