

2015 年全国大学生电子设计竞赛



数字频率计(F 题) 【本科组】

摘要

本文设计并制作了一个闸门时间为 1s 的数字频率计，用来测量正弦信号的频率、双路同频方波的时间间隔以及脉冲波的占空比。系统主要由信号调理电路、Cortex-M4 单片机和 FPGA 芯片 EP4CE6 组成。信号调理电路由高速运放和高速电压比较器组成，并引入了宽带 AGC 电路，满足了题目中各项指标要求。本系统充分发挥了单片机和 FPGA 各自的优势，FPGA 构成高速数字逻辑电路，单片机从 FPGA 中读取数据并进行数据处理获得测量值，并将测量值在 TFT 液晶屏上显示。在频率、周期、占空比等参数的测量中，采用了等精度测量原理和滑动滤波算法，使被测参数在整个频率范围内达到了很高的精度。测试表明，本数字频率计各项指标均达到了基本部分和发挥部分的要求。

关键词：Cortex-M4 FPGA 高速比较器 高速运放 AGC 等精度测量

一.系统方案

1.1 方案论证与比较

(1)总体方案选择

方案一：使用单片机+模拟电路。单片机功能强大、价格低廉，适用于各种应用场合。尽管单片机的性能逐年提高，但对本赛题的测频要求，现有单片机速度上无法满足要求。

方案二：FPGA+模拟电路。FPGA 在高速数据处理上有着独特的功能，是高速数字信号处理的最佳选择，但是在数值运算和人机接口控制方面，FPGA 能力不足或性价比不高。因此，采用 FPGA 单独实现本频率计的数字部分并不合理。

方案三：单片机+FPGA+模拟电路。被测信号通过信号调理电路放大整形转变成数字信号送入 FPGA 处理，单片机从 FPGA 中读取数据进行计算并在 TFT 显示。该方案原理框图如图 1 所示。



图 1 方案三原理框图

通过比较，本设计选用方案三。

(2) 频率测量方案选择

方案一：采用测周法。选用测周法，一般将信号设为闸门信号，脉冲信号则是频率较高的标准频率信号。通过此法进行计数，令计数值为 N ，标准频率信号的周期为 T_0 ，

频率为 f_0 。则被测信号频率为：
$$f_x = \frac{1}{NT_0} \quad (1-1)$$

可以看出，该方法的测频精度会随着被测信号频率的降低而提高，所以该法比较适合测量频率较低的信号。

方案二：采用测频法。该方法常常选用一个频率相对较低的标准频率信号作为门信号，被测信号作为脉冲信号，在固定门时间内对其计数。设门宽度位 T ，计数值为 N ，

那么，得到频率测量值为：
$$f_x = \frac{N}{T} \quad (1-2)$$

但是直接测频法更适用于测量频率较高的信号。

方案三：利用等精度测量原理。等精度测量是在直接测频的基础上发展而来，在频率测量领域应用较为广泛。该方法的闸门时间不是固定值，而应该是被测信号周期的整数倍，总的闸门时间大于软件闸门时间，其原理如图 2 所示。

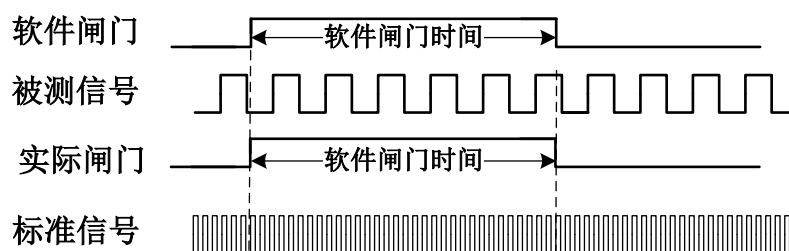


图 2 等精度测量原理

方案四：等精度测量+测周期。等精度测量法的闸门时间必须大于被测信号的周期，但是由于题目要求测量频率的最小值为 1Hz，这样计算刷新时间必然大于 2s，无法满足题目要求。当测量低频信号时就可以利用测周期的方法来弥补等精度方法的不足。

经过比较，测频方案采用方案四。

(3) 时间间隔测量

方案一：电子计数法。在测量精度要求不高的前提下，电子计数法是一种非常好的时间间隔测量方法。其特点非常多：测量范围范围广，容易实现，且能够做到实时处理；但存在时标误差与原理误差，限制了其测量精度。

方案二：利用等精度测量方法。由于被测方波信号的频率范围为 100Hz~1MHz，低频部分远大于 1Hz，可以将两路被测信号送入 FPGA，经过内部与门电路相与以后测量高电平时间，经过一定的换算，可以求出时间间隔。

经过比较，采用方案二。

1.2 方案详细介绍

由于被测信号频率范围为 1Hz~100MHz，仅使用一路通道难以完成如此宽频率范围的测量，而且在测量同频信号的时间间隔时，必须使用两路通道，故本装置设计三个通道的信号调理电路。首先是测量正弦信号的频率，在频率较高时使用通道一测量，充分利用超高带宽 AGC 与高速运放的特点；在频率较低时使用通道二测量，选择的运放带宽与频率相适应。当测量同频信号时，使用通道一与通道二同时采集信号，送入 FPGA 处理，处理后的数据由 Cortex-M4 计算并在 TFT 液晶屏上显示。详细的设计方案原理框图如图 3 所示。

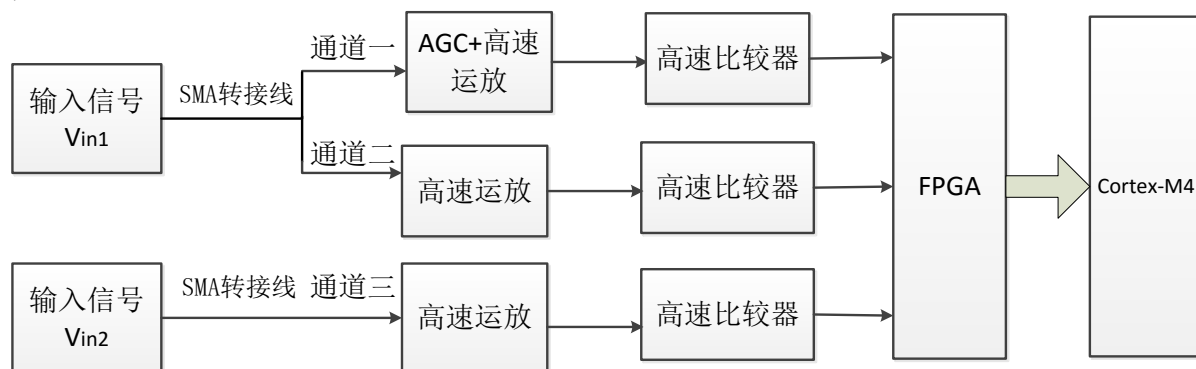


图 3 设计方案原理框图

二.理论分析与计算

2.1 宽带通道放大器分析

由于赛题要求的输入信号幅值范围与频率范围都比较宽，小信号的宽带放大器设计尤为重要。题目的发挥部分要求尽量降低输入信号的幅值。这里借鉴了移动通信领域使用的 AGC(自动增益控制)来完成宽带通道放大器的第一级放大。AGC 原理框图如图 4 所示。利用其反馈机制，可以在输入幅值变化的情况下，使其输出幅值保持在一定范围内，并且具有较大的输入动态范围。AD 公司的 VGA 芯片 AD8367 片内集成平方律检测器用于 AGC 操作，一个芯片便能完成 AGC 功能，而且-3dB 带宽达 500MHz，非常适合此场合，其输出峰峰值稳定在 200mV 左右。后再经 TI 公司的高速超低噪声电压反

馈型运放 OPA847 放大至一定倍数，送入高速电压比较器 TVL3501。由于 AD8367 内部自带高通滤波器，其低频响应不能符合要求。故针对 100KHz 以下的信号，采用运放 LT1819 经行放大，再经过高速比较器。使用不同通道放大信号，实现了 1Hz~100MHz 频率测量的要求。

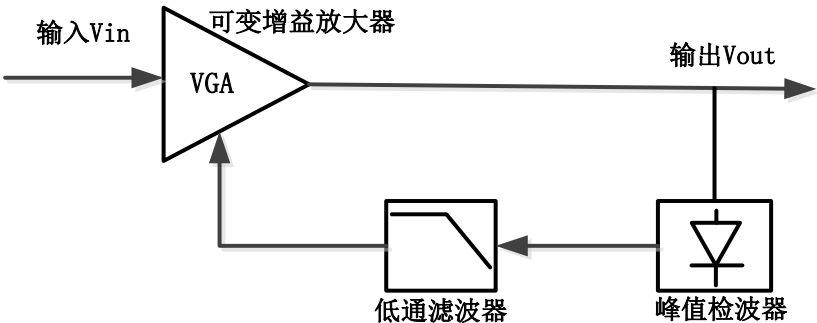


图 4 AGC 原理图

2.2 各项被测参数测量方法的分析

对于正弦波频率的测量，由于其发挥部分的频率范围为 1Hz~100MHz，范围非常宽，因此，采用单个信号调理电路难度非常大，所以在低频段和高频段的信号得用不同的信号调理电路，参考图 2 所示的原理框图。对于时间间隔测量，则是利用 FPGA 将两路信号经行内部相与后测量，可以采用内插法来提高测量时间精度，其原理如图 5 和 6 所示。对于脉冲信号占空比的测量，可以先测量信号的频率，然后再捕捉信号的上升沿和下降沿，计算时间，比较一下就能得出脉冲的宽度。

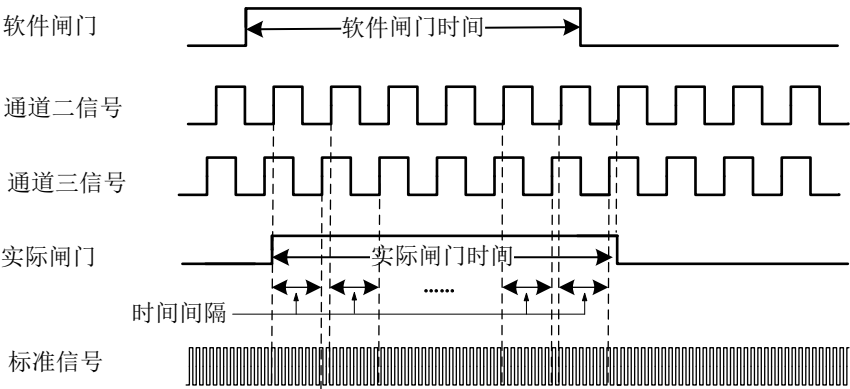


图 5 被测方波信号时间间隔的测量

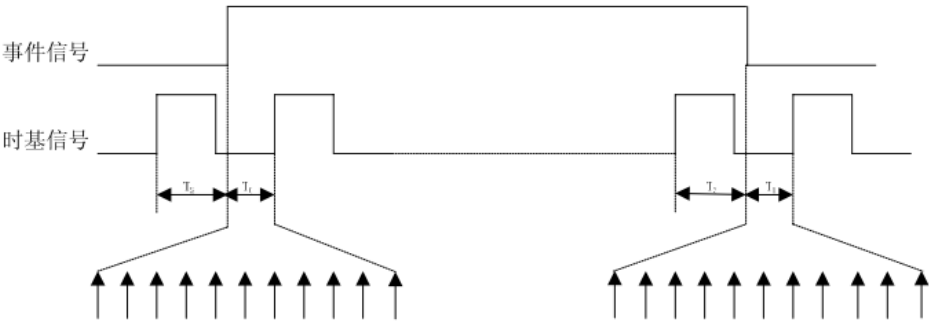


图 6 时间内插原理示意图

2.3 提高仪器灵敏度的措施

可以通过以下措施提高灵敏度:

(1) 硬件电路措施。在高频电路板中,合理地布线可以使抗干扰性能更好保持信号完整性。例如在走线时应按照 45° 脚拐弯,或者走圆弧线,这样可以减小高频信号的发射和相互之间的耦合;电源端的去耦电容,电容安放的位置靠近其芯片的电源端;信号线不能走环路,需要按照菊花链方式布线;在各个连接端口都使用射频 BNC 接头,信号发生器与仪器之间使用 SMA 转接线,做好屏蔽工作。采用低噪声放大器作为前置处理,提高系统的信噪比。

(2) 软件措施。将单片机接收到的数据存入循环缓冲区,进行滑动平均滤波。在 FPGA 中使用锁相环提高系统时钟,降低绝对误差。提高 FPGA 内部参考时钟频率和计数器位数来提高灵敏度。这种方法将提高硬件复杂度,但由于采用 FPGA 实现,因此并不提高成本。

三.电路与程序设计

3.1 AGC 电路设计

使用 AD8367 的优势在于其自身完整的 AGC 解决方案,片内自带平方律检波器,DETO 检波输出直接接增益控制引脚 GAIN,增益控制方向引脚 MODE 接低电平,及放大倍数随增益电平的增大而减小,构成负反馈回路。由于是高频电路,阻抗的匹配尤为重要,AD8367 的输入阻抗为 200Ω ,为了匹配信号发生器 50Ω ,信号输入端使用了电阻网络匹配电路,后级输出同样接匹配电阻。参考 AD8367 数据手册上面评估版的电路图设计,AGC 电路原理图如图 7 所示。

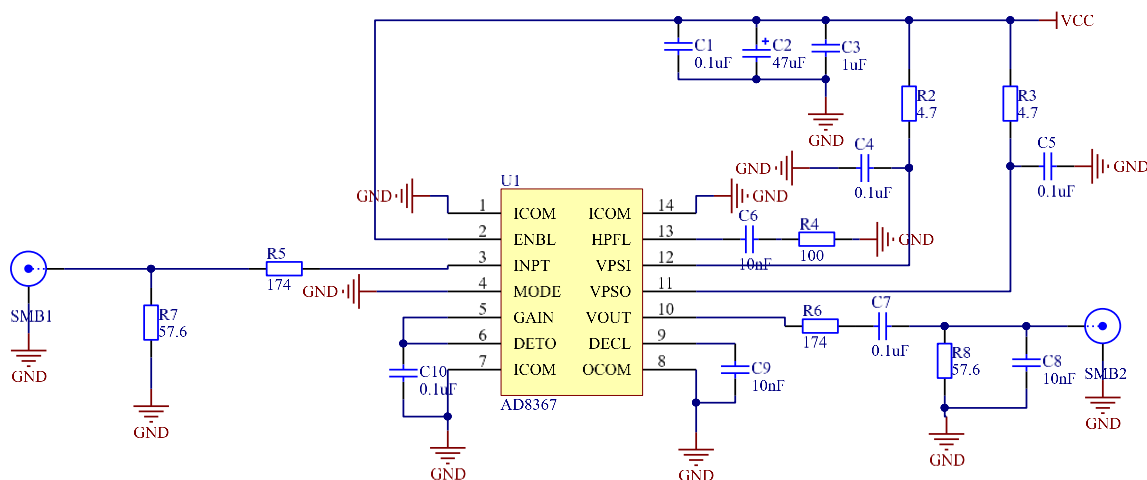


图 7 AGC 电路原理图

3.2 放大比较电路设计

通道一的放大器选用 TI 公司的高速超低噪声电压反馈型运放 OPA847,直接构成放大倍数约 52 倍的同相放大电路。输入端接 51Ω 电阻到地构成输入阻抗约为 50Ω 的系统,与 AD8367 输出匹配。电源端加上瓷片电容与电解电容用于对电源的去耦。

通道二的原理图如图 8 所示。放大器选用 Linear Technology 公司的双通道运算放大器 LT1819。为了提高放大电路带宽,采用两级级联的放大电路,每级放大器的增益均设为 4 倍,总增益为 16 倍,在第二级放大处加入直流偏置,使放大器输出直流偏置为 1.5V。电压比较器采用 TI 公司的 4.5ns 轨至轨高速电压比较器 TLV3501。为了使电路的抗噪声能力强一些,设计成滞回比较器。由电路理论可以得出滞回比较器的阈值电压

V_{T+} 与 V_{T-} 分别为以下两个式子：

$$V_{T+} = \frac{R_8}{R_8+R_9} V_{oh} + \frac{R_9}{R_8+R_9} V_{REF} \quad (3-1)$$

$$V_{T-} = \frac{R_9}{R_8+R_9} V_{REF} \quad (3-2)$$

当放大电路输入正弦信号的有效值为 10mV(提高部分要求的最低输入电压)时，放大电路输出信号的峰峰值为 450mV，加上 1.5V 的直流偏置，信号的最大值为 1.7V，最小值为 1.3V。将电压比较器的 V_{T+} 设为 1.6V， V_{T-} 设为 1.4V。取 $R_6=2k\Omega$ ， $R_7=820\Omega$ ，通过电阻分压得到 $V_{REF}=1.45V$ 。根据上式可以计算得到 $R_9=20k\Omega$ ， $R_8=1k\Omega$ 。

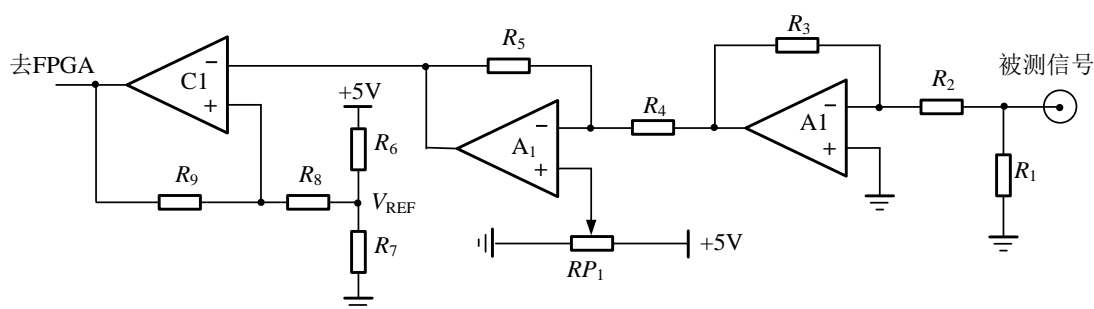


图 8 通道 2 电路原理图

3.3FPGA 内部电路设计

FPGA 是本系统的核心，其内部原理框图如图 9 所示。FPGA 通过并行总线与单片机通信。系统通过不同的功能模块实现参数的测量，各功能模块采用 Verilog 语言设计。与单片机通信时使用数据缓冲器，保证数据持续稳定。同时运行多个测量模块，充分发挥 FPGA 的高速并行特性。

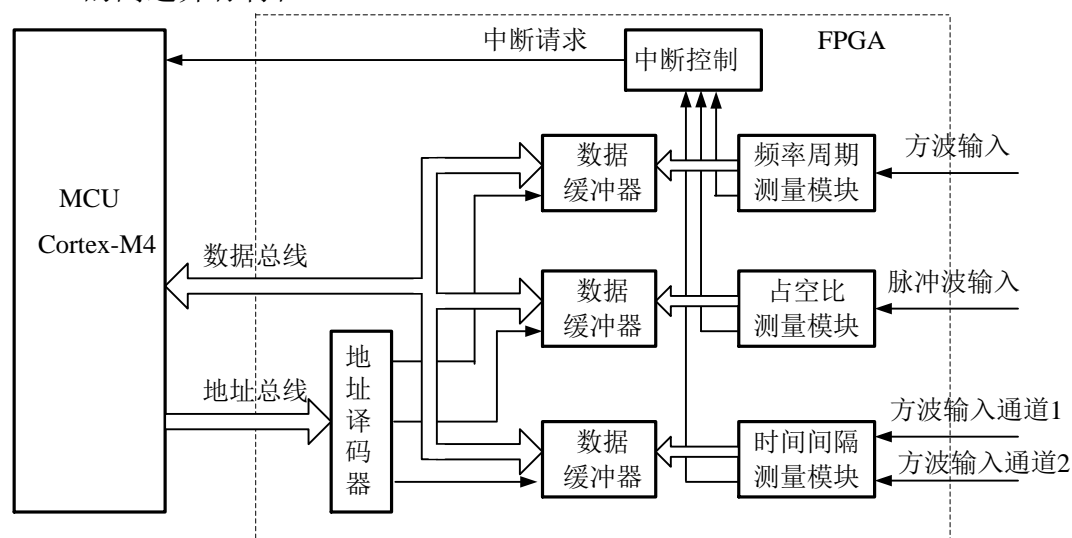


图 9 FPGA 设计原理图

3.4 程序设计

单片机的程序包括主程序和中断服务程序，其程序流程图如图 10 所示。主程序的主要的功能是，根据从 FPGA 获取数据计算相应参数。再经过滑动平均滤波算法处理数据，稳定输出显示，提高测量精度。使用 Protothread 的阻塞机制，降低程序设计复杂度。异步显示提高显示刷新速度。

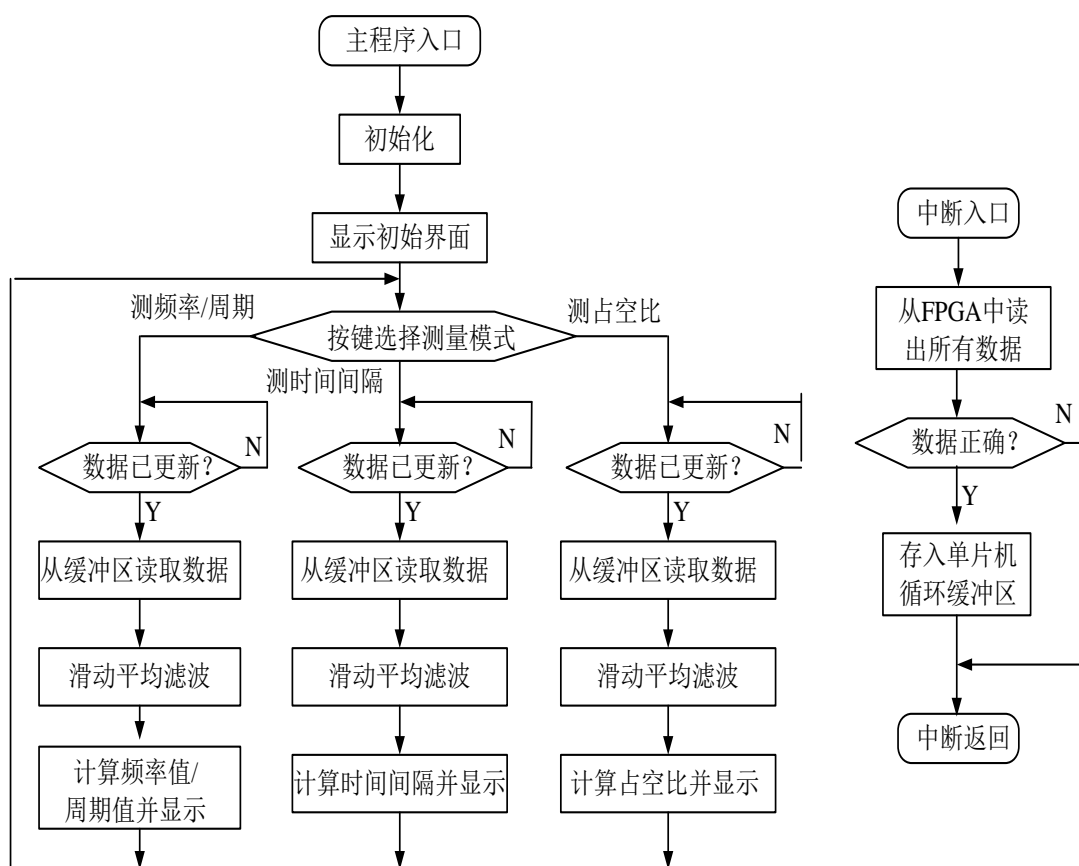


图 10 程序流程图

四.测试方案与结果分析

4.1 主要测试使用仪器

多路直流稳压电源：MPS-3005L-3

200M 数字存储示波器：TDS1012B-SC

100M 函数信号发生器：SP1461

泰克数字万用表：DMM4050

4.2 测试数据及结果分析

1. 正弦信号不同有效值下的频率测量

赛题的测量要求是正弦信号的有效值范围为 10mV~1V，频率范围为 1Hz~100MHz。表 1 为其测量数据表。

表 1 正弦信号频率测量结果

输入频率	Hz			kHz			MHz		
	1	100	500	1	100	500	1	50	100
有效值 (mV)	测量频率 (Hz)			测量频率 (kHz)			测量频率 (MHz)		
10	0.9950	99.98	499.96	1.0001	100.03	499.93	1.0010	50.00	100.00
50	0.9998	100.02	500.12	1.0010	99.96	500.00	1.0002	50.00	100.00
100	1.0003	100.00	500.03	1.0023	99.80	500.13	0.9967	50.00	100.00
500	0.9999	100.01	500.20	0.9989	100.01	500.05	1.0003	49.99	100.00

1000	1.0001	100.00	500.00	0.9996	99.98	499.79	1.0006	50.00	100.00
------	--------	--------	--------	--------	-------	--------	--------	-------	--------

由测量结果可以看出，只有部分几个频率测量的相对误差大于 10^{-4} 其余都满足要求

2.不同幅度、不同频率下时间间隔测量

赛题的时间间隔测量要求信号的频率范围为 100Hz~1MHz，峰峰值电压范围为 50mV~1V。表 2 为其测量数据。

表 2 方波时间间隔测量

给定时间间隔	ms			us							
	1		5	0.1		1		100		500	
信号频率/Hz	100	500	100	1K	1M	1K	500K	100	2K	100	1K
峰峰值(mV)	时间间隔 (ms)			时间间隔 (us)							
50	1.01	1.03	5.02	0.101	0.103	1.03	1.01	101	98	505	497
500	0.98	0.97	5.05	0.100	0.098	1.01	0.99	99	102	503	501
1000	1.02	1.02	4.95	0.098	0.101	0.98	1.00	97	101	493	505

由测量结果可以看出，时间间隔测量相对误差有部分满足要求。

3.不同幅度、不同频率下脉冲信号占空比测量

赛题要求脉冲信号占空比测量信号为矩形波，频率范围为 1Hz~5MHz，峰峰值电压范围为 50mV~1V，占空比范围为 10%~90%。表 3 为其测量数据。

表 3 脉冲波占空比测量

给定脉冲宽度	10%				50%				90%			
信号频率/Hz	1	100K	1M	5M	1	100K	1M	5M	1	100K	1M	5M
峰峰值(mV)	测量占空比/%				测量占空比/%				测量占空比/%			
50	10.01	10.02	9.91	10.00	50.01	50.00	49.88	49.98	90.10	89.67	90.12	90.88
200	10.03	9.97	10.03	10.03	49.89	50.02	50.00	50.02	89.89	90.11	90.24	90.35
1000	9.99	10.00	10.04	9.99	50.02	49.99	50.08	50.01	90.04	90.23	89.79	90.13

由测量结果可以看出，大部分测量数据达到题目的要求。

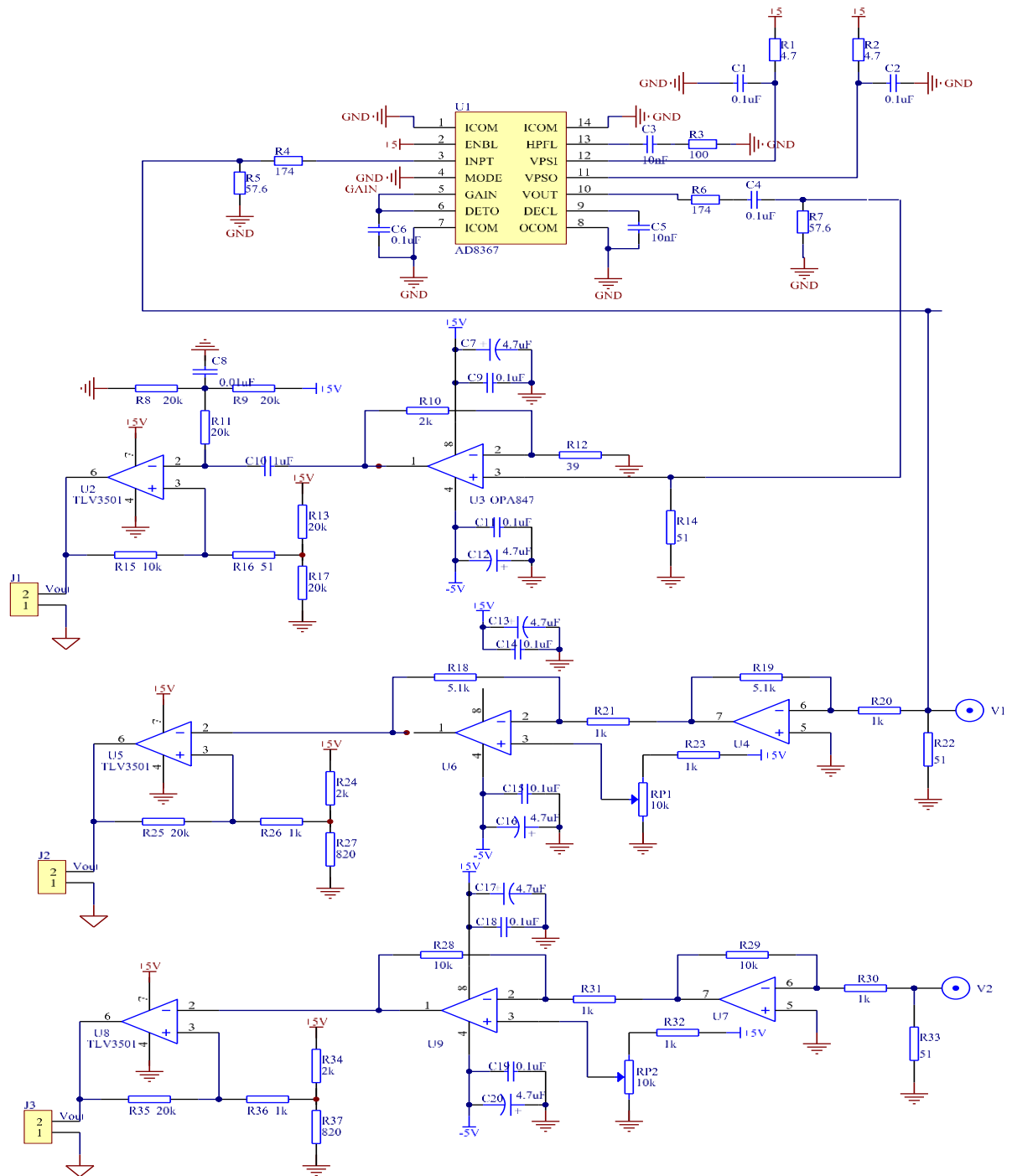
五、总结

本系统外围电路简单明了，不同性能的测量通道保证了其能够测量宽频率范围的信号。以高速处理器件 FPGA 为核心，辅以单片机作为显示控制器，本系统除个别指标有所偏差外，均达到赛题指标要求。

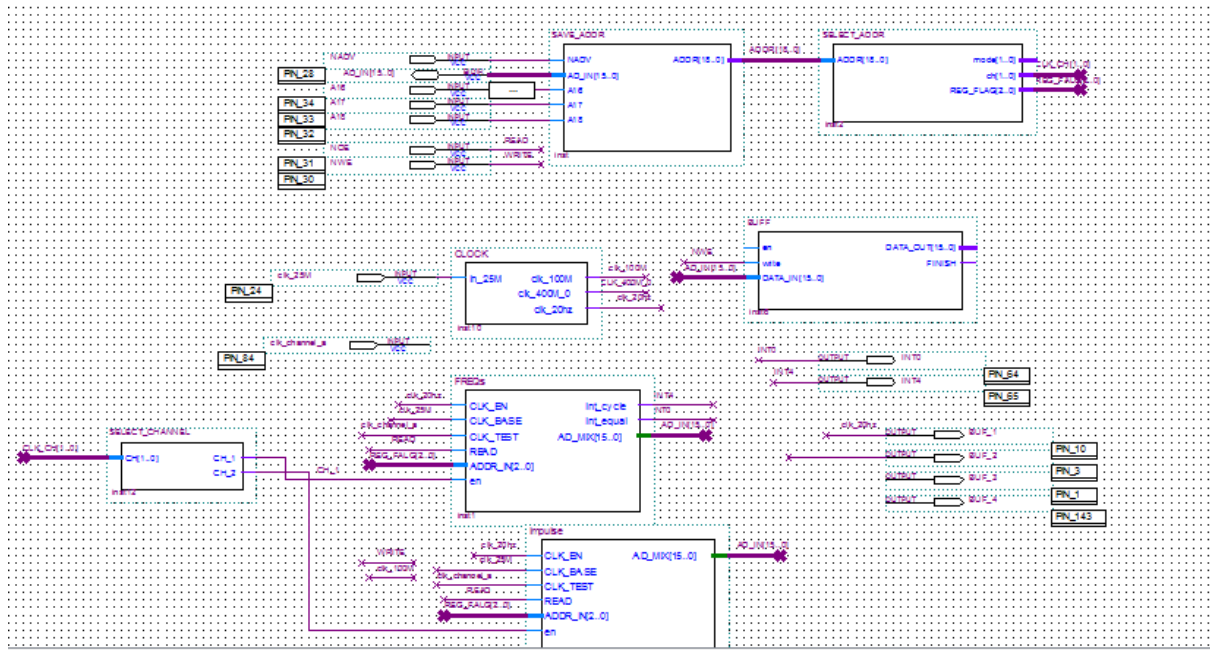
六、参考文献

- [1]张永瑞, 宣宗强.电子测量技术[M].北京: 高等教育出版社, 2011.
- [2]路秋生.数字信号处理的 FPGA 实现 (第 3 版) [J]. 核工业自动化 2002.

附录一 总体电路原理图



附录二 FPGA 顶层原理图



附录三 部分单片机程序

```
int main(void){
    /* SysTick end of count event each 10ms */
    LCD_Init();
    EXTI_init();
    RCC_GetClocksFreq(&RCC_Clocks);
    SysTick_Config(RCC_Clocks.SYSCLK_Frequency / 100);
    Freq_Init_ALL();
    Impluse_Init_ALL();
    PT_INIT(&PT_t,100,FREQ_GET_SERVICE);
    PT_ADD_THREAD(&PT_t);
    FPGA_EXIT_INIT();
    u16 i;
    //频率显示
    NumBar_CPP numBar_freq(11,8,(float)100000,(float)0);
    numBar_freq.setLtag(String_L(0,0,0,2,WHITE));
    numBar_freq.setRtag(String_L(0,0,"Hz",WHITE));
    numBar_freq.show();
    numBar_freq.setFunc(Freq_Value_UnitFix);

    //周期显示
    NumBar_CPP numBar_tim(11,7,(float)100000,(float)0);
    numBar_tim.setLtag(String_L(3,0,2,2,WHITE));
```

```

numBar_tim.setRtag(String_L(3,0,"ms",WHITE));
numBar_tim.show();
numBar_tim.setFunc(Tim_Value_UnitFix);

//占空比显示
NumBar_CPP numBar_impluse(11,6,(float)9999,(float)0);
numBar_impluse.setLtag(String_L(3,0,4,3,WHITE));
numBar_impluse.setRtag(String_L(3,0,"%",WHITE));
numBar_impluse.show();

//时间间隔显示
NumBar_CPP numBar_span(15,5,(float)100000,(float)0);
numBar_span.setLtag(String_L(3,0,7,4,WHITE));
numBar_span.setRtag(String_L(3,0,"ms",WHITE));
numBar_span.show();
//numBar_tim.setFunc(Tim_Value_UnitFix);

while(1){

    PT_SERVICE();
}
}

```