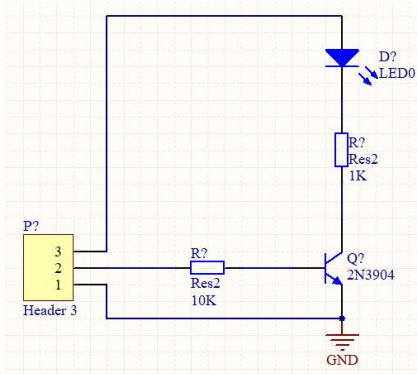


2019 EDA 实训笔试

学号：_____姓名：_____班级：_____得分：_____

1、你的验收日期和交报告截止期（以这次通知为准！）本题答错扣 50 分，答对得 10 分。

2、一同学画原理图如下图，update 到 PCB 图时会有什么问题？如何解决？(除第 7 题外 14 分/题)



3、一同学自己建了任务书图 2 中的 DC/DC 元件，update 到 PCB 中没有该元件，请你分析可能的原因。

4、你建的元件库 DC/DC 什么样(手画示意图)? 这里的引脚编号数字 1、2 等有什么用处？

5、建元件封装库(Footprint)时，各个引脚间的距离、焊盘大小要与实际购买到的元器件配合，否则无法安装上。请手画示意图，说明你建的 DC/DC 封装尺寸(要标注尺寸!)

6、一同学的 PCB 图中的线尺寸不符要求，如 VCC 线只有 10mil 为何 DRC 没报错？他设置的 PCB 规则如下图。

Edit Rule Priorities ? X

Rule Type: Width						
Priority	Enabled	Name	Scope	Attributes		
1	<input checked="" type="checkbox"/>	Width	All	Pref Width = 10mil	Min Width = 10mil	Max Width = 10mil
2	<input checked="" type="checkbox"/>	VEE	InNet('VEE')	Pref Width = 35mil	Min Width = 10mil	Max Width = 35mil
3	<input checked="" type="checkbox"/>	VCC	InNet('VCC')	Pref Width = 25mil	Min Width = 10mil	Max Width = 30mil

7、我们要求最后的成果在 DRC 检查时没有错也不能有警告。你遇到哪些 DRC 报错或警告？你是如何处理的？(本题 20 分。如果写不下，可写到反面。)