

实验 5 (CS 专业选学) 功耗、能量和延时

“不谋万世者，不足谋一时；不谋全局者，不足谋一域。”

——《迁都建藩议》，陈澹然

数字集成电路设计需要多方面综合考虑，在实际工程中，我们做的工作就是在功耗、性能、面积、成本等许多方面，做到一个全局的最优权衡 (trade-off)。

5.1. 反相器的功耗

5.1.1. 由充放电电容引起的动态功耗

我们假设一个反相器输出驱动 1 个负载电容 C_L 。

首先，PMOS 导通，NMOS 截止，给电容充电，输出电压从 0 上升至 V_{DD} ，此时，从电源吸取了一定数量的能量。而这些能量一部分消耗在 PMOS 器件中，其余部分则存放在负载电容上。通过对瞬时功耗求积分（具体推到见教材）可以得知，从电源吸取的总能量为 $C_L V_{DD}^2$ ，其中一半的能量 $C_L V_{DD}^2/2$ 消耗在了 PMOS 上，只有一半存放在负载电容上！

随后，NMOS 导通，PMOS 截止，给电容放电，输出电压从 V_{DD} 下降至 0。此时，上一个充电阶段存储在电容上的能量 $C_L V_{DD}^2/2$ ，全部被消耗在 NMOS 器件中。

也就是说，反相器一次周期的翻转（输出由 0 到 V_{DD} 再由 V_{DD} 到 0），都会消耗一个固定的能量，即 $C_L V_{DD}^2$ 。一个周期内，电源输出电流的结果如下图所示：

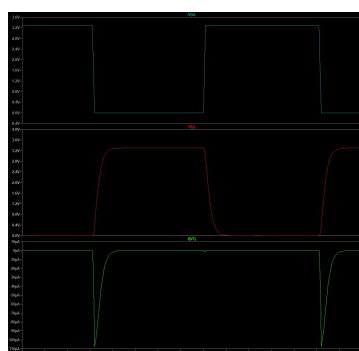


图 1 一个周期内，电源输出电流的结果

5.1.2. 降低功耗的方法

最常用、效果最明显的降低功耗的方法就是降低电源电压 V_{DD} 。这是因为电源电压 V_{DD} 和动态功耗之间呈现二次方的关系。

5.1.3. 直接通路电流引起的动态功耗

让我们仔细审视输出变化的过程，比如输出从 0 变化到 V_{DD} 的过程，这个过程是这样的：1) 最开始，NMOS 导通，PMOS 关断，2) 然后，随着输入信号电压的降低，

NMOS 逐渐从导通变为关断, PMOS 逐渐从关断变为导通, 3) 最终, 当输入信号电压变为 0, NMOS 完全关断, PMOS 完全导通。

这个过程中, 第 2) 个阶段, 会有一个短暂的时间, NMOS 和 PMOS 都处于导通和关断的“中间态”, 也就是说, 此时的电路相当于 VDD 和 GND 之间有一条连接通路! 因此, 此时会有一个非常大的, 短暂的瞬时电流。这个由直接通路引发的瞬时电流带来额外的动态功耗, 我们简称为“直通功耗”

5.1.4. 想一想: 为什么我们给 CPU 超频的时候温度会急剧上升?

5.1.5. 反相器静态功耗

理论上来说, 当输出电压没有变化时, NMOS 和 PMOS 其中的 1 个总处于关断状态, 因此电路不存在电流, 也就没有功耗。可惜的是, 总会有泄漏电流流过晶体管源(或漏)与衬底之间的反相偏置的二极管结。一般来说, 这个电流非常小, 可以被忽略, 但是当芯片的工作温度升高时, 这个电流会急剧增加!

5.2. 功耗-延时-面积积

“小孩子才做选择, 成年人都要”。在实际的设计工作中, 我们总希望我们的电路既有较低的功耗, 又有强大的性能(较小的延时)还要面积尽可能的小。那么我们通过什么方法来同时考虑到这几个设计指标呢?

在学术界和工业界中, 最常使用的综合衡量指标就是功耗-延时-面积积(PDA), 这个指标的定义很直观, 就是把电路的功耗、延时和面积三者做乘积, 那么其最小值, 就表明该电路的综合性能最优。

5.3. 动手实验内容

- 1 请读者自行 STFW, 学会如何测试电路的功耗和延时。
- 2 重做实验 3, 并设计一个功耗-延时-面积积最小的反相器。(电路面积表示为所有晶体管的 $W \cdot L$ 之和)