

实验 7 时序逻辑电路设计

“待把相思灯下诉，一缕新欢，旧恨千千缕。最是人间留不住，朱颜辞镜花辞树。”

——《蝶恋花·阅尽天涯离别苦》，王国维

时序逻辑是

7.1. 时序电路的时间参数

7.1.1. 建立时间 t_{su}

建立时间是指，在时钟信号的有效边沿到来之前，数据信号必须保持稳定的最小时间。比如，我们希望最少在时钟信号正边沿到来的 30ns 前，数据信号保持稳定，那么 30ns 就是这个电路的建立时间。

7.1.2. 维持时间 t_{hold}

维持时间是指，时钟信号的有效边沿之后数据输入仍然必须保持稳定的时间。可能有很多同学奇怪，为什么时钟信号的有效边沿之后，数据还要保持不变？

这是因为，我们的电路在“采样”这个输入数据的时候，由于内部的一些寄生电容，导致这个采样信号需要一定的时间才能被稳定的“采样”到电路内部，因此，我们希望在时钟边沿之后数据信号也保持一定的时间。

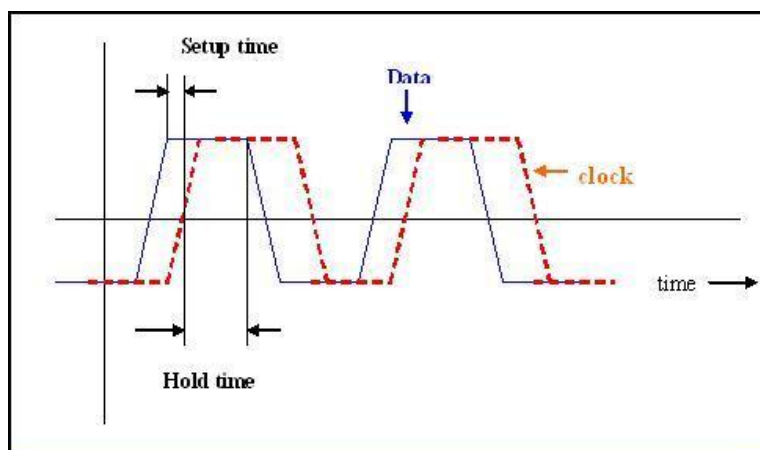
上面两个时间约束合起来，就解释了为什么我们经常希望时钟的有效边沿在数据变化的中间，因为当时钟边沿在数据变化的中间时，最大程度保证了建立时间和维持时间的成立。

这也就是为什么我们上一节实验中的动态逻辑门，要把 CLK 信号延迟 12.5ns，因为延迟之后，CLK 的边沿正好处于数据信号变化的正中间。而当我们取消这个延时之后，就会发现结果不对了，这就是因为没有满足建立时间：时钟边沿到来的同时，数据信号发生了变化，建立时间为 0。

7.1.3. 传播延时 t_{c-q}

传播延时表示，最坏情况下，从时钟边沿开始，经过了多长时间，数据输出到了输出端 Q。

这么描述大家肯定很模糊，下面这个图可以让大家很好的理解这 3 个时间参数的关系。

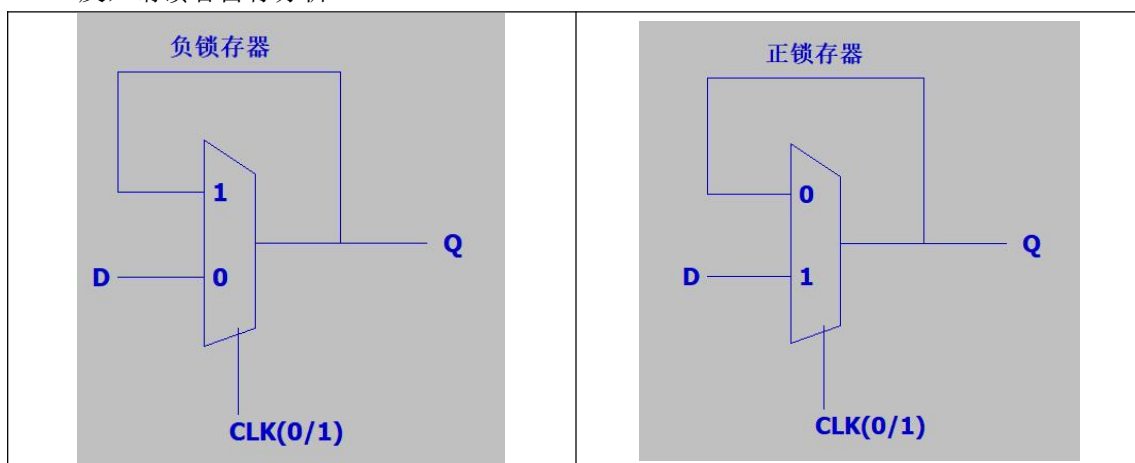


7.2. 静态锁存器和寄存器

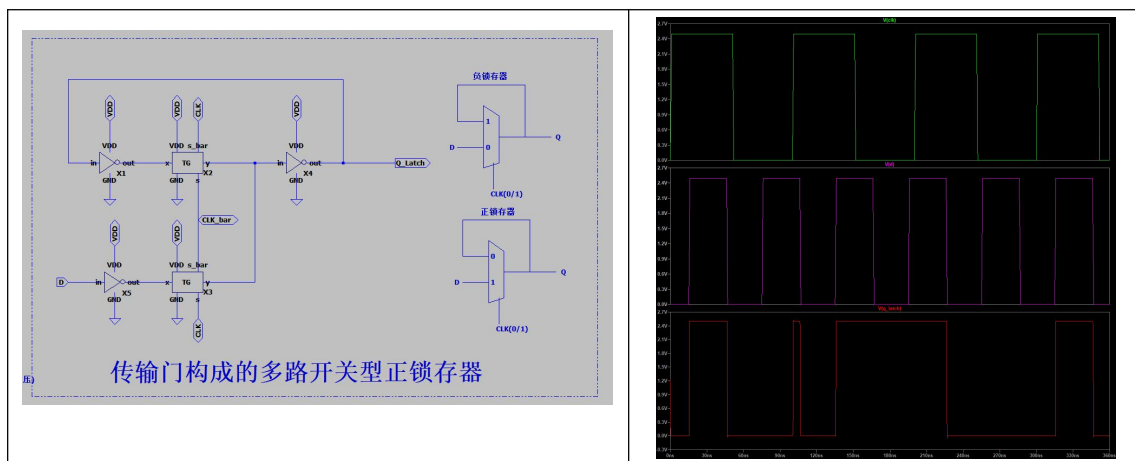
静态时序逻辑的基本原理是利用两个反相器串联构成一个正反馈，从而建立双稳态电路。也就是说，这个电路的输出在经过两个反相器串联的环路后，一定会稳定在 0 或者 1（不考虑恰好处于正中间的亚稳态工作点）。

7.2.1. 多路开关型锁存器

传输门多路开关时建立一个锁存器最稳妥和最常用的技术。下面分别表示了负锁存器和正锁存器的原理。对于负锁存器，当时钟信号为 0，输出 Q 选择输入端 0，输入端 0 就是数据信号 D，也就是说输出 Q “跟随” 输入 D；当时钟信号为 1 时，输出 Q 选择输入端 1，输入端 1 连接了输出 Q，因此保持之前的状态。也就是说，负锁存器当 CLK=0 时， $Q=D$ ，当 CLK=1 时， $Q=Q^*$ （ Q^* 表示上一个状态的 Q 值）。正锁存器的原理正好相反，请读者自行分析。



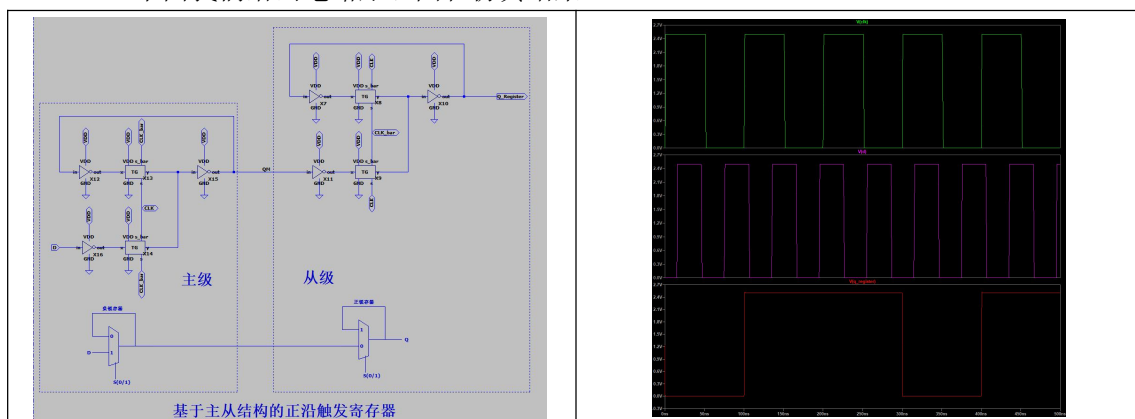
实现这个双路复选器（MUX）的方法有很多，我们这里给出利用传输门构成的方法（上一个实验的选学内容中已经介绍过传输门逻辑），以及最终的仿真结果。可以看到，在 CLK=VDD 时，输出 Q 跟随输入 D，当 CLK=0 时，输出 Q 保持不变。



7.2.2. 主从边沿触发寄存器

构建一个边沿触发器的最普遍方法时采用主从结构。其基本原理是，由两个互补的锁存器串联（例如一个负锁存器和一个正锁存器串联），那么当 $CLK=0$ 时，负锁存器将输入信号 D 输出到中间节点，此时正锁存器处于维持状态，输入信号被“暂存”到中间节点，随后，当 $CLK=1$ 时，正锁存器将这个中间节点的数据输出到 Q ，从而实现了主从正边沿触发寄存器。请读者自行思考如何实现一个主从负边沿触发寄存器。

下面我们给出电路原理图和仿真结果：



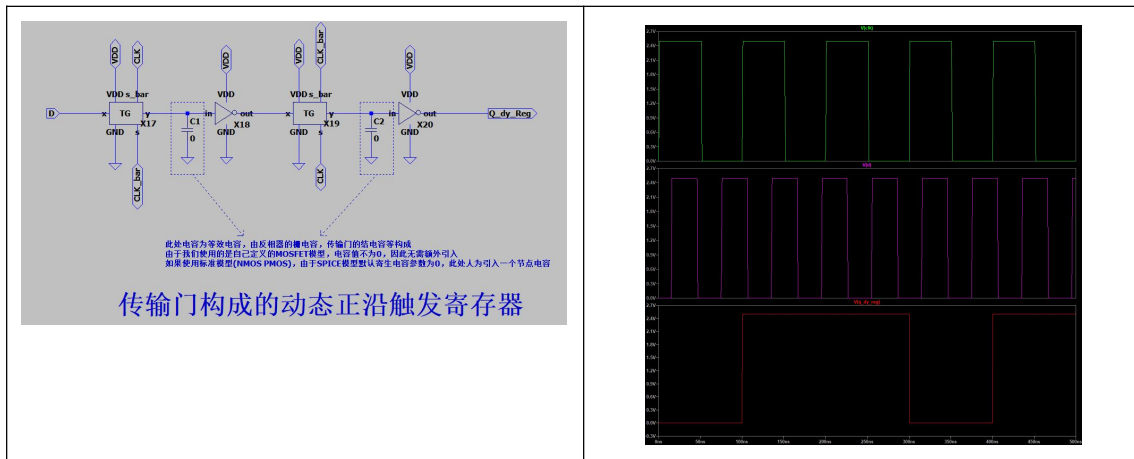
7.3. 动态锁存器和寄存器

虽然静态时序逻辑比较稳定，但是正如我们所见，它的电路建构比较复杂。正如在组合逻辑中使用动态组合逻辑门的思路一样，利用电荷以及寄生电容，我们在时序逻辑中也可以构建动态时序逻辑门。

7.3.1. 动态传输门边沿触发寄存器

下面是一个基于主从结构的动态正边沿触发寄存器。当 $CLK=0$ 时，第一个传输门导通，第二个传输门关断，数据输入到中间节点，电荷存储在中间节点的电容上，当 $CLK=1$ 时，第一个传输门导通关断，第二个传输门导通，数据输出到 Q 。请读者思考这里电路

中 2 个反相器的作用是什么，试着把它们去掉后，观察实验结果。



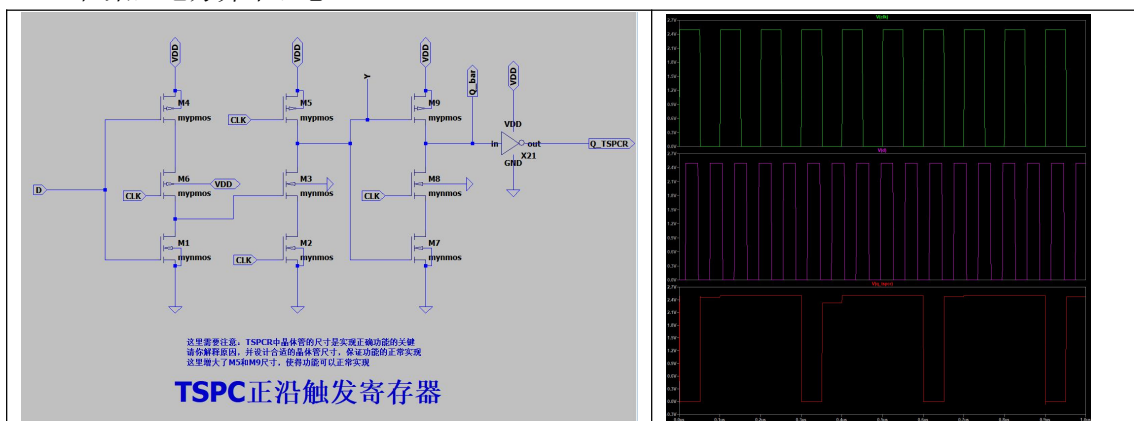
这种结构实现边沿触发器是十分高效的，它只需要 8 个晶体管，而之前的结构则需要 20 个！

7.3.2. 真单相正边沿触发寄存器

但是之前的电路中，总是需要互补的时钟信号来驱动传输门，我们是否可以只使用单一时钟信号呢？真单相钟控寄存器（TSPCR）提供了一种只使用单一时钟信号的方法。以下是该电路的电路图和结果。

需要我们特别注意的是，TSPCR 中晶体管的尺寸会严重影响功能是否可以正确实现。如果你直接使用默认的晶体管尺寸，你会发现功能并不正确，这里需要注意：TSPCR 中晶体管的尺寸是实现正确功能的关键。

请你解释原因，并设计合适的晶体管尺寸，保证功能的正常实现，这里我只是增大了 M5 和 M9 尺寸，使得功能可以正常实现，即便如此，我们仍然可以观察到输出结果在某些地方并不理想。



7.4. *脉冲寄存器

请大家自行 STFW。

7.5. 动手实验内容

- 1 测试一个电路的建立时间、维持时间和传播延时
- 1 设计一个带异步置位和复位功能的锁存器和寄存器
- 2 设计一个负边沿触发的寄存器
- 3 静态 SR 触发器
- 4 设计一个双边沿触发器