

实验 6 CMOS 组合逻辑门的设计

“The complexity for minimum component costs has increased at a rate of roughly a factor of two per year. Certainly over the short term this rate can be expected to continue, if not to increase. Over the longer term, the rate of increase is a bit more uncertain, although there is no reason to believe it will not remain nearly constant for at least 10 years. That means by 1975, the number of components per integrated circuit for minimum cost will be 65,000.”

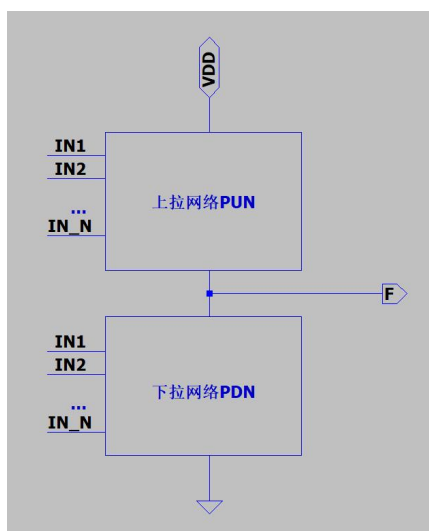
（“最低成本的元器件的复杂度大概每年翻一番。可以预见在短期内这个速率将继续下去，甚至还会增加。虽然从长远来看这个速率的增速还不能确定，但我们相信至少在 10 年内它将会保持。这意味着到 1975 年，最低成本的每个集成电路中的元器件数目将会达到 65 000 个。”）

——《Cramming more components onto integrated circuits》（《在集成电路上“塞进”更多的元器件》），Gordon E. Moore

在学习了最简单的门——非门（反相器），以及一些数字集成电路常用的分析手段后，我们便可以把我们的胃口放的更大一些。我们将依次实现与非门、或非门、与门、非门、异或门以及同或门等数字电路中最常见的基本组合逻辑门，并且还将介绍任意组合逻辑门的构建方法，我们还将介绍动态逻辑并且将传输门逻辑和多米诺逻辑等作为选学内容，以飨读者。

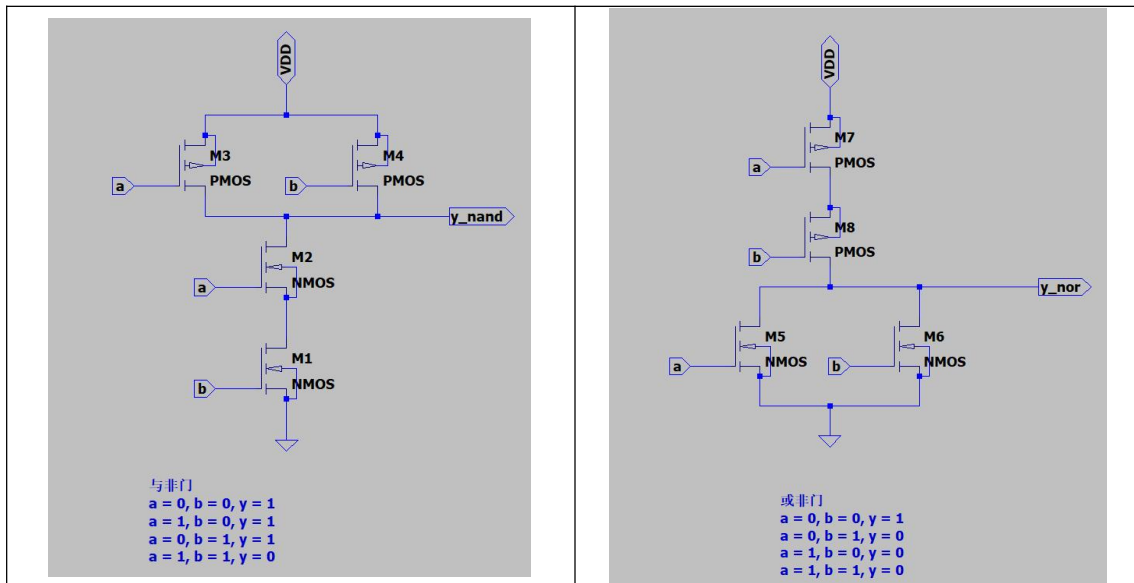
6.1. 上拉网络（PUN）和下拉网络（PDN）

与反相器一样，我们构建其他的门的方法，也是利用 CMOS 电路互补的特点。一个通用的 N 个输入的逻辑门由上拉网络（PUN）和下拉网络（PDN）构成。其工作原理是，输出信号 F 总会通过 PUN 连接到 VDD（输出数字逻辑“1”）或者通过 PDN 连接到 GND（输出数字逻辑“0”）。



6.2. 与非门（NAND）、或非门（NOR）

我们首先给出与非门（NAND）以及或非门（NOR）的 CMOS 电路图：

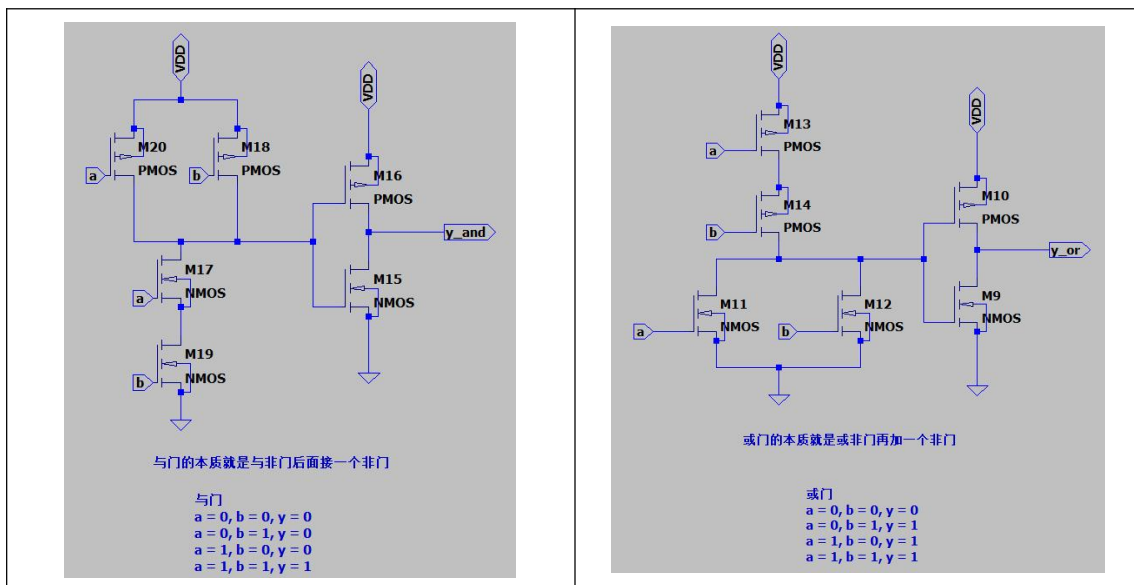


我们来分析一下它们的工作原理：

对于与非门，当输入信号 a, b 均为 0 时，下拉网络（PDN）中的两个 NMOS 均关断，上拉网络（PUN）中的两个 PMOS 均导通，因此，输出 y 通过 PMOS 连接到 VDD。只要输入信号 a, b 中的任意一个为 0，PUN 中总会有 1 个 PMOS 导通，进而使得输出为 VDD。只有当输入信号 a, b 均为 VDD（数字逻辑“1”）时，PDN 的 2 个 NMOS 才都导通，PUN 的 2 个 PMOS 才都关断，输入才被连接到 GND（数字逻辑“0”）。或非门的情况请读者自行分析。

6.3. 与门（AND）、或门（OR）

我们有了与非门，或非门，那么我们怎样才能得到与门和或门呢？聪明的你，一定已经想到了，就是增加一个非门（反相器）。



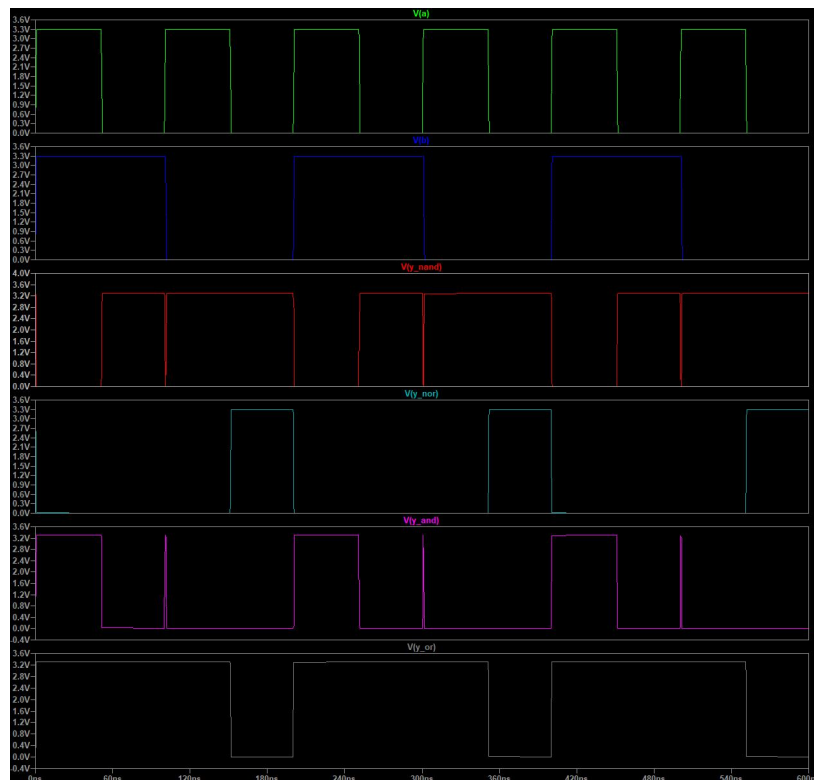
我们不妨来总结一下 CMOS 组合逻辑门的特点：

1) CMOS 电路“天生”适合产生反逻辑电路，如果希望产生正逻辑，则需要增加一个反相器。

2) CMOS 组合逻辑门的 PDN 使用 NMOS, PUN 使用 PMOS。PDN 和 PUN 的拓扑结构完全相反 (例如 PDN 中的 NMOS 串联, 则 PUN 中的 PMOS 并联)。

3) PDN 中 NMOS 串联表示逻辑“与”, NMOS 并联表示逻辑“或”。PUN 中 PMOS 的情况完全相反。

最终四个门的输出结果如下:

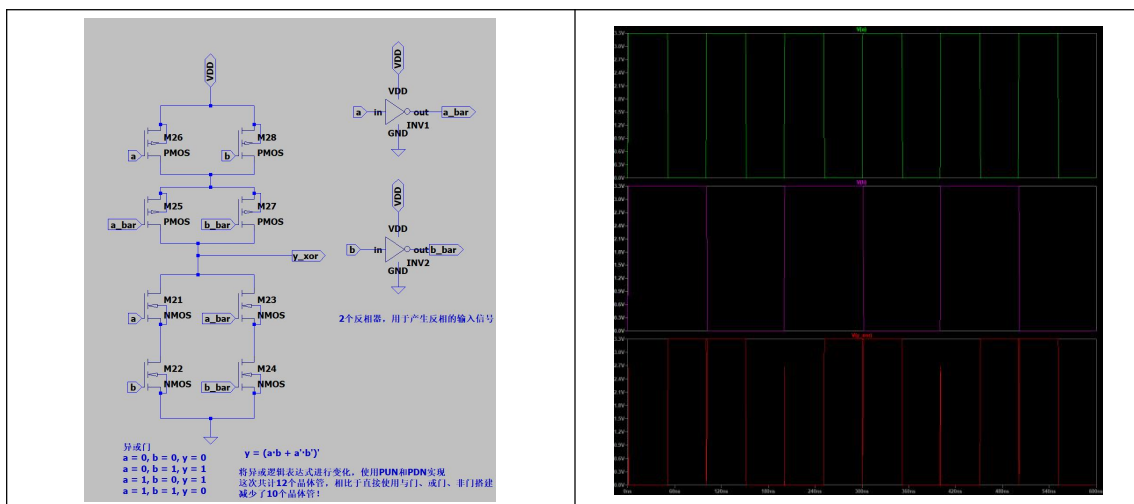


你可以分析一下这些输出的毛刺为什么出现吗? 以及避免毛刺的方法。

6.4. 异或门 (XOR)

理论上来说, 有了与, 或, 非三种逻辑门, 我们就可以实现任意逻辑门, 比如异或门和同或门其实就可以通过与门、或门和非门来实现。大家可以算一下, 如果我们只是用与门、或门和非门实现异或门, 异或的逻辑表达式为: $F = A'B + AB'$, 一共需要 2 个与门、1 个或门、2 个非门, 一共 22 个晶体管。而异或门又是我们处理器芯片经常用到的门电路, 所以我们不妨思考一下, 可不可以直接通过晶体管电路来搭建呢?

我们不妨将异或的逻辑表达式改变一下, 还记得我们说 CMOS 电路天生适合产生反逻辑吗? 我们将异或表达式从正逻辑改为反逻辑: $F = A'B + AB' = (AB + A'B)'$, 然后使用 NMOS 搭建 PDN, 并在实现对应的 PUN。该电路中只使用了 12 个晶体管 (包括产生 a_bar 和 b_bar 的反相器), 最终电路图如下:



可以看到，在 PDN 中，输入信号为 a, b 的 2 个晶体管串联，并且与输入信号为 a_bar 和 b_bar 的 2 个串联的晶体管并联。在 PUN 中正好完全相反。

6.5. 构建 CMOS 复合门的流程

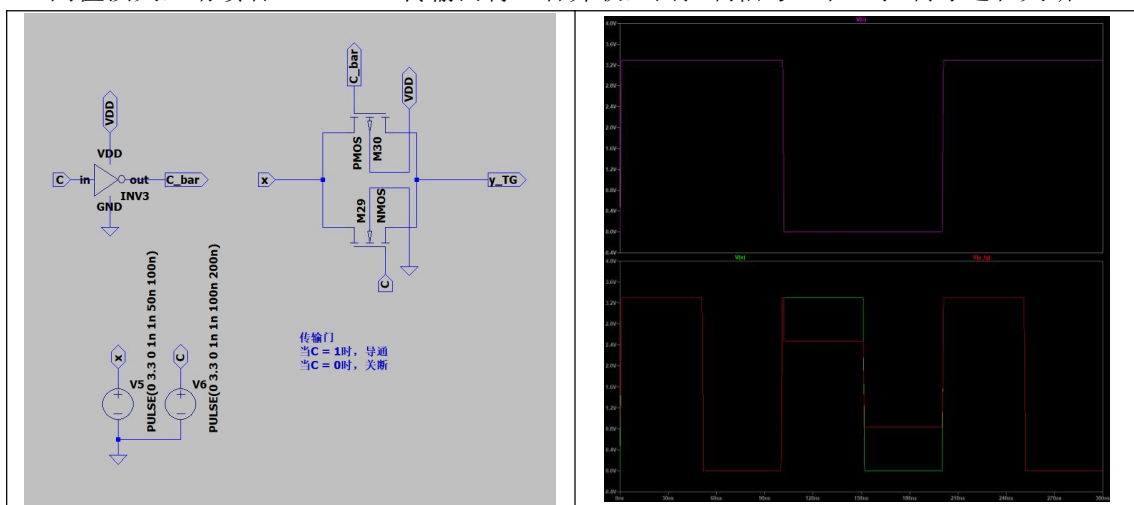
从刚刚构建异或门的过程中，我们其实已经了解了如何构建一个复合门，下面我们总结一下这个流程：

- 1 写出逻辑表达式，并把输出变为反逻辑形式。
- 2 先使用 NMOS 构建出 PDN，NMOS 串联表示逻辑“与”，NMOS 并联表示逻辑“或”。
- 3 最后使用 PMOS 按照“相反对称”的方式构建出 PUN。

6.6. 传输门

在数字集成电路中，当我们希望使用一个“门控开关”时，我们会使用传输门。

传输门巧妙的利用了 NMOS 和 PMOS 互补的特性：NMOS 擅长传递逻辑 0，不擅长传递逻辑 1（阈值损失，只能充电到 $V_{DD} - V_{TH}$ ）；而 PMOS 擅长传递逻辑 1，不擅长传递逻辑 0（阈值损失，请读者 STFW）。传输门将二者并联，由控制信号 C 和 C' 控制导通和关断。



我们来分析一下电路的工作原理：当 $C = V_{DD}$, $C_{bar} = 0$ 时，NMOS 和 PMOS 均导通，PMOS 传输高电平 NMOS 传输低电平；当 $C = 0$, $C_{bar} = V_{DD}$ 时，NMOS 和 PMOS 均关断，传输门关

断，输出为高阻态（随机值）。

这里请大家思考几个问题：

Q1: 为什么需要 NMOS 和 PMOS，能否只是用一种类型的晶体管？

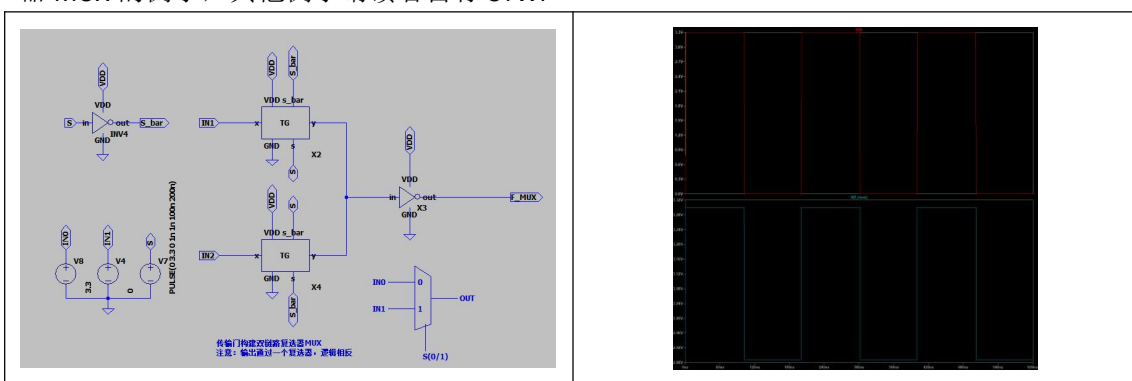
Q2: 为什么 NMOS 的 B 极需要接 GND，PMOS 的 B 极需要接 VDD

Q3: 何为高阻态？为什么传输门关断时输出为随机电压值？

6.7. *（选学）到此为止了吗？

我们总是希望可以使用更少的晶体管实现同样的功能，那么我们是否可以用更少的晶体管实现与，或，非等逻辑呢？

传输管逻辑和传输门逻辑为我们指明了新的道路。这里只给出通过传输门构建双路复选器 MUX 的例子，其他例子请读者自行 STWF。

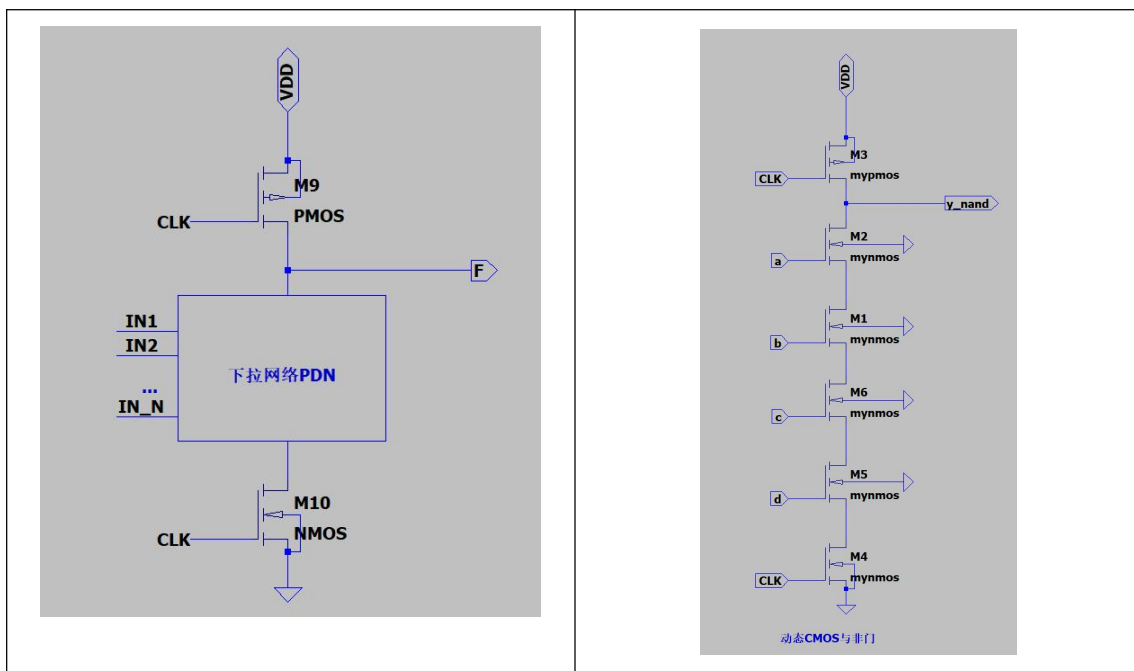


6.8. 动态 CMOS 组合逻辑

在使用静态 CMOS 逻辑时，有 N 个输入信号最少需要有 $2N$ 个晶体管实现完整的互补逻辑（例如一个 2 输入与非门就需要 2 个 NMOS 和 2 个 PMOS 实现）。而如果我们通过引入一个时钟 CLK 信号，就可以只使用 $N+2$ 个晶体管实现完整的逻辑，这在输入信号较大时很有吸引力。而且动态逻辑在速度和功耗方面都有着不错的表现。当然，天下没有免费的午餐，动态逻辑的本质是利用了电容存储电荷，而这些宝贵的电荷，就像一个杯子中的水一样，一点风吹草动就会使得这些水洒在地上（电荷流失），而我们却没有任何办法弥补这些丢失的电荷。因此在使用动态逻辑之前，请仔细的检查电路节点。

动态逻辑的设计也启发我们：一方面寄生电容会导致电路速度降低，限制了芯片的性能，另一方面，我们也可以利用寄生电容来实现动态逻辑的功能，正所谓“化腐朽为神奇”。

一个 4 输入动态 CMOS 与非门的电路原理图如下：



对于动态 CMOS 来说，一个完整的求值过程分为两部分，预充电阶段和求值阶段。

预充电阶段：此时，CLK=0，PMOS 导通，NMOS 截止。因此，输出 F 节点被充电到 VDD，并且由晶体管的电容保持在 VDD。

求值阶段：此时，CLK=VDD，PMOS 关断，NMOS 导通。如果此时 PDN 满足某一条件，其中的 NMOS 均导通（例如与非门的输入信号均为 1），那么 PDN 形成通路，并且下方的 NMOS 也导通，输出 F 节点的电压就被放电到 0（本质是输出节点上寄生电容的电荷流走了）。如果不满足逻辑条件（例如与非门的输入信号有 1 个为 0），那么 PDN 不形成通路，输出节点 F 仍然保持高电平。

可惜，直接串联动态门形成多级逻辑结构的方法并不可行，具体原因以及解决方法请大家自行 STFW，大家可以搜索电荷泄漏和电荷分享来了解为什么不可以直接串联动态门，搜索多米诺逻辑和 np-CMOS 来了解解决动态门串联的方法。

当前数字集成电路设计的趋势时互补静态 CMOS 的运用增多。有两方面的原因：1）逻辑设计层次上越来越多的使用 EDA 工具，这些工具的重点放在逻辑层次而不是电路层次的优化，并且非常重视提高稳定性。2）静态 CMOS 更适合与降低电压，而电压与功耗直接相关，因此静态 CMOS 设计尤其适合低功耗芯片的设计。

6.9. 动手实验内容

- 1 设计 4 输入与门。
- 2 实现一个 4 输入的 CMOS 复合门。（例如 $F = (ABCD)' + (AB)' + C + D$ ）
- 3 通过传输门实现传输门异或门
- 4 把动态 CMOS 逻辑中的 CLK 的时钟延迟取消，看结果，并思考为什么结果错误
- 5 把动态 CMOS 逻辑中的所有的 MOSFET 换成标准模型（NMOS PMOS），观察输出结果，并想一下为什么结果不正确