

数字集成电路实验讲义

写在前面

为什么写这本手册

这里我想先和大家分享一下，我为什么产生了设计这一个系列实验，以及希望编写这本手册的动机，或者说初心。事情还要从一个暑假开始讲起。。。

2024 年的大三暑假，在经历了各个学校保研夏令营面试的“拷打”集成电路的专业知识后，我终于有时间可以参加“一生一芯”项目。高中时的我对 DIY 装机很痴迷，因此认为设计芯片就是体系结构设计，比如 Intel 和 AMD 的新架构等等。“一生一芯”项目也和计算机体系结构方向密切贴合。但是，由于我本人是学微电子专业（偏向集成电路设计方向），经过大学本科三年的专业课程学习，我对芯片的理解比高中时候更深刻，我深刻的认识到：**设计芯片绝不只是 RTL 代码**。我不否认 RTL 代码的作用，但是要想更深入的理解芯片或者说集成电路产业，还是要和电路、工艺、物理打交道。FPGA 只是前期验证，最终一定要 ASIC 才是真正的芯片，而 ASIC 就需要数字集成电路、模拟集成电路、半导体物理、半导体工艺等这些课程的理论知识。

因此，我产生了一个想法：何不把数字集成电路的相关内容做一个开源的实验讲义？既是对自己大学本科几年学习的集成电路知识的总结和回顾，也算作是对一生一芯项目的补充知识。我感觉起码这是一件对于我个人来说有意义的事情！如果还可以有幸帮助到更多志同道合的同学，那鄙人不胜感激，也算对我这几天熬夜的一个回报吧！

您将学到什么？

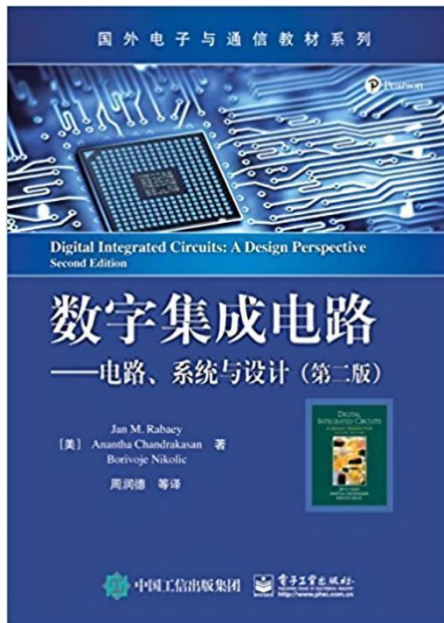
1. 本系列实验，您将通过使用免费的电路仿真工具 LTspice 仿真数字集成电路的许多典型电路和模块，例如与门、异或门、加法器、移位器等。在这个过程中，您将学习与门、加法器等数字电路中的基本模块，如何使用最基本的元件——晶体管（CMOS 工艺）来实现。
2. 您将了解数字集成电路中如何对于性能、功耗以及面积进行综合考虑，进而设计出一个合适的数字集成电路模块。
3. 您将学习数字集成电路设计中常用的优化手段，例如精心设计晶体管尺寸。

预估用时

在掌握基本的数字集成电路理论和仿真工具使用方法的情况下，我们预估您完成全部实验的用时为：10 小时。

参考教材

本系列实验的参考教材为《数字集成电路——电路、系统与设计（第二版）》。



实验环境

操作系统：Windows10 及以上

仿真软件：LTspice 版本 24.0.12（2024-08-29 更新）

项目文件内容

项目文件主要分为 2 部分：第一部分为讲义的 PDF 文件，包括了分章节讲义和汇总版本讲义，还有一些希望大家可以阅读的课外资料，目前只有 2 篇文章，一篇为摩尔提出摩尔定律的论文，另一篇为图灵提出图灵机概念的论文。第二部分为 LTspice 仿真文件，在 LTspice_project 文件夹中，其中包括各个章节的对应实验仿真文件以及我自己定义的库文件夹 my_lib（其中包括一个反相器和传输门），直接使用 LTspice 打开运行即可。

实验目录

- 实验 1 CMOS 反相器（非门）
- 实验 2 负载的概念
- 实验 3 （重要）MOSFET 的宽长比
- 实验 4 *（CS 专业选学）反相器链
- 实验 5 *（CS 专业选学）功耗、能量和延时
- 实验 6 CMOS 组合逻辑电路设计
- 实验 7 CMOS 时序逻辑电路设计
- 实验 8 运算功能模块设计

学习建议

对于微电子以及电子信息专业同学，希望大家把每一章节的实验全部学习一遍，并且思考其中每一个电路的原理以及思考题。

对于计算机专业的同学，可以忽略实验 4 和实验 5，以及实验 6 和实验 7 中带*的部分章节。

仿真局限性说明

由于本系列实验面向的对象是集成电路专业的同学，因此在本系列实验中使用的仿真晶体管模型**非常不准确**！仅可以用于本次教学的原理性展示，实验仿真结果也仅供大家参考。如果有条件的话，非常建议同学们将各个本系列实验使用厂家提供的 PDK 文件在 Cadence、华大九天等商用级 EDA 中进行复现。

内容局限性说明

由于本人学识较浅，也和大家一样，正在学习的过程中，因此难免手册中会出现一些讲解不全面甚至错误的地方，还请大家海涵，也非常欢迎大家及时指出错误，我们一同交流。

本手册也借鉴了“一生一芯”项目中 STFW，RTFM 等学习方法，希望可以调动大家的学习主动性，对于一些资料非常丰富的内容，我们不再赘述，例如 LTspice 的安装和使用等等。

本系列实验仅是我从我个人的理解出发，选取了一些我个人比较“偏爱”的电路进行讲解，因此难免会“有失偏颇”，难以覆盖到教材中的每一个知识点和每一个电路结构，如有未涉及的部分，请大家自行学习，也非常欢迎大家补充！

赵振宇

2024 年 8 月 31 日于南京

实验内容目录

实验 0 LTspice 工具的安装和使用

1. LTspice 工具的安装
2. LTspice 工具的使用
3. LTspice 工具的使用补充
 - 3.1. 快速更改晶体管的尺寸
 - 3.2. 通过原理图自定义元件
 - 3.3. 添加元件库搜索地址

实验 1 CMOS 反相器（非门）

1. CMOS 反相器电路设计
2. 晶体管等效导通电阻
3. 故事时间：CMOS 工艺
4. 使用自己定义的 MOSFET 模型
5. 构建自己的电路模块库
6. 动手实验内容

实验 2 负载的概念

1. 何为负载
2. 大负载？小负载？
3. 测试电路的驱动负载能力
 - 3.1. 测试反相器驱动能力
 - 3.2. 补充知识：数字集成电路的标准测试平台
4. 数字集成电路中的负载
5. 动手实验内容

实验 3 （重要）MOSFET 的宽长比

1. 再回首，MOSFET 的结构
2. 改变反相器的 W/L
3. NMOS 和 PMOS 完全对称吗
4. 动手实验内容

实验 4 （选学）反相器链

1. 反相器链
2. 动手实验内容

实验 5 （选学）功耗、能量和延时

1. 反相器的功耗
 - 1.1. 由充放电电容引起的动态功耗
降低功耗的方法
 - 1.2. 直接通路电流引起的动态功耗

想一想：为什么我们给 CPU 超频的时候温度会急剧上升？

- 1.3. 反相器静态功耗
2. 功耗-延时-面积积
3. 动手实验内容

实验 6 CMOS 组合逻辑电路设计

1. 上拉网络（PUN）和下拉网络（PDN）
2. 与非门（NAND）、或非门（NOR）、与门（AND）、或门（OR）
 - 2.1. 与非门（NAND）、或非门（NOR）
 - 2.2. 与门（AND）、或门（OR）
3. 构建 CMOS 复合门
 - 3.1. 异或门（XOR）
 - 3.2. 构建 CMOS 复合门
4. 传输门 30
5. *（选学）到此为止了吗？
6. 动态 CMOS 组合逻辑
7. 动手实验内容

实验 7 CMOS 时序逻辑电路设计

1. 时序电路的时间参数
 - 1.1. 建立时间 t_{su}
 - 1.2. 维持时间 t_{hold}
 - 1.3. 传播延时 t_{c-q}
2. 静态锁存器和寄存器
 - 2.1. 多路开关型锁存器
 - 2.2. 主从边沿触发寄存器
3. 动态锁存器和寄存器
 - 3.1. 动态传输门边沿触发寄存器
 - 3.2. 真单相正边沿触发寄存器
4. 脉冲寄存器
5. 动手实验内容

实验 8 运算功能模块设计

1. 全加器
2. 移位器
 - 2.1. 筒形移位器
 - 2.2. 对数移位器
3. 动手实验内容