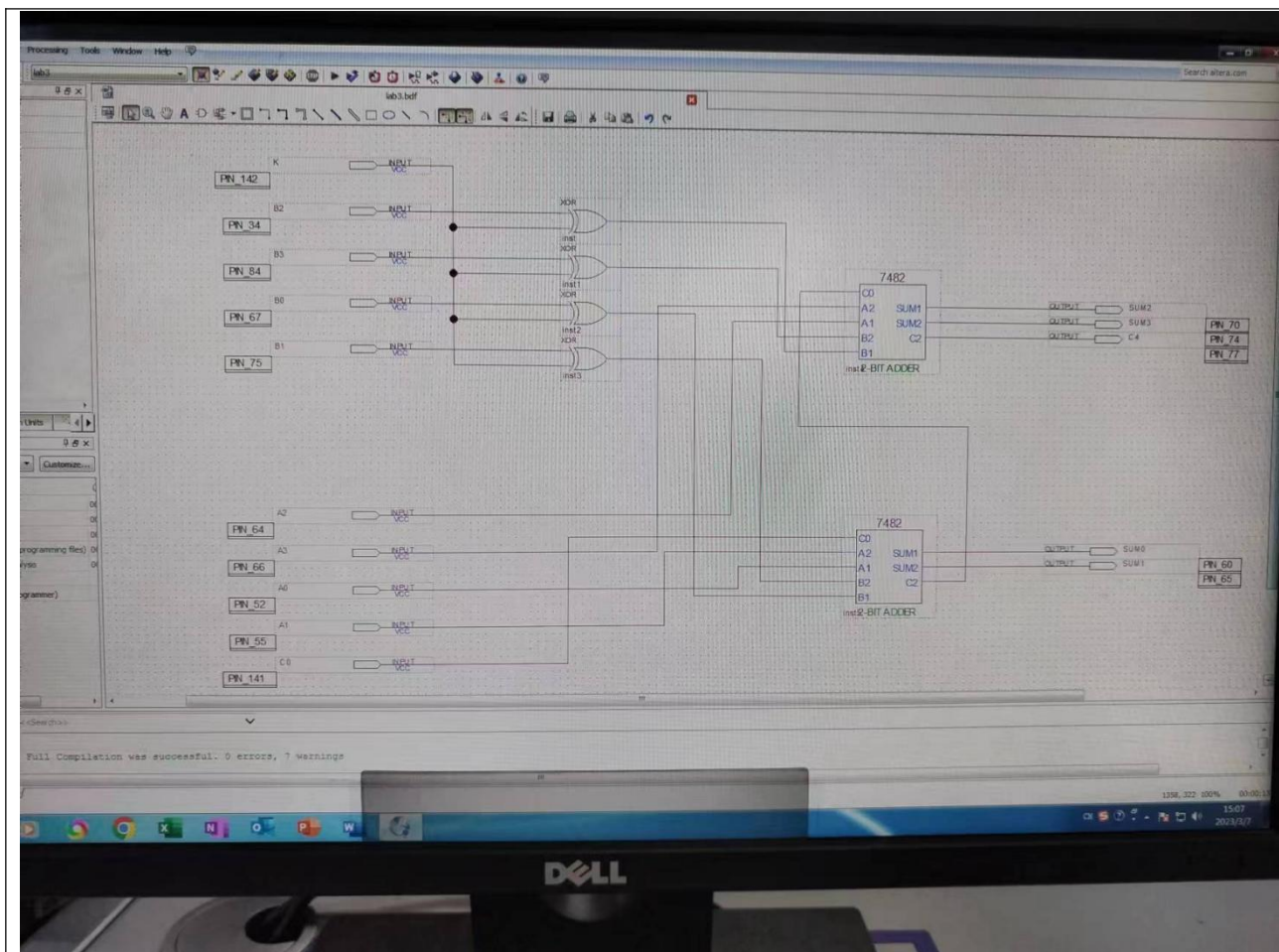
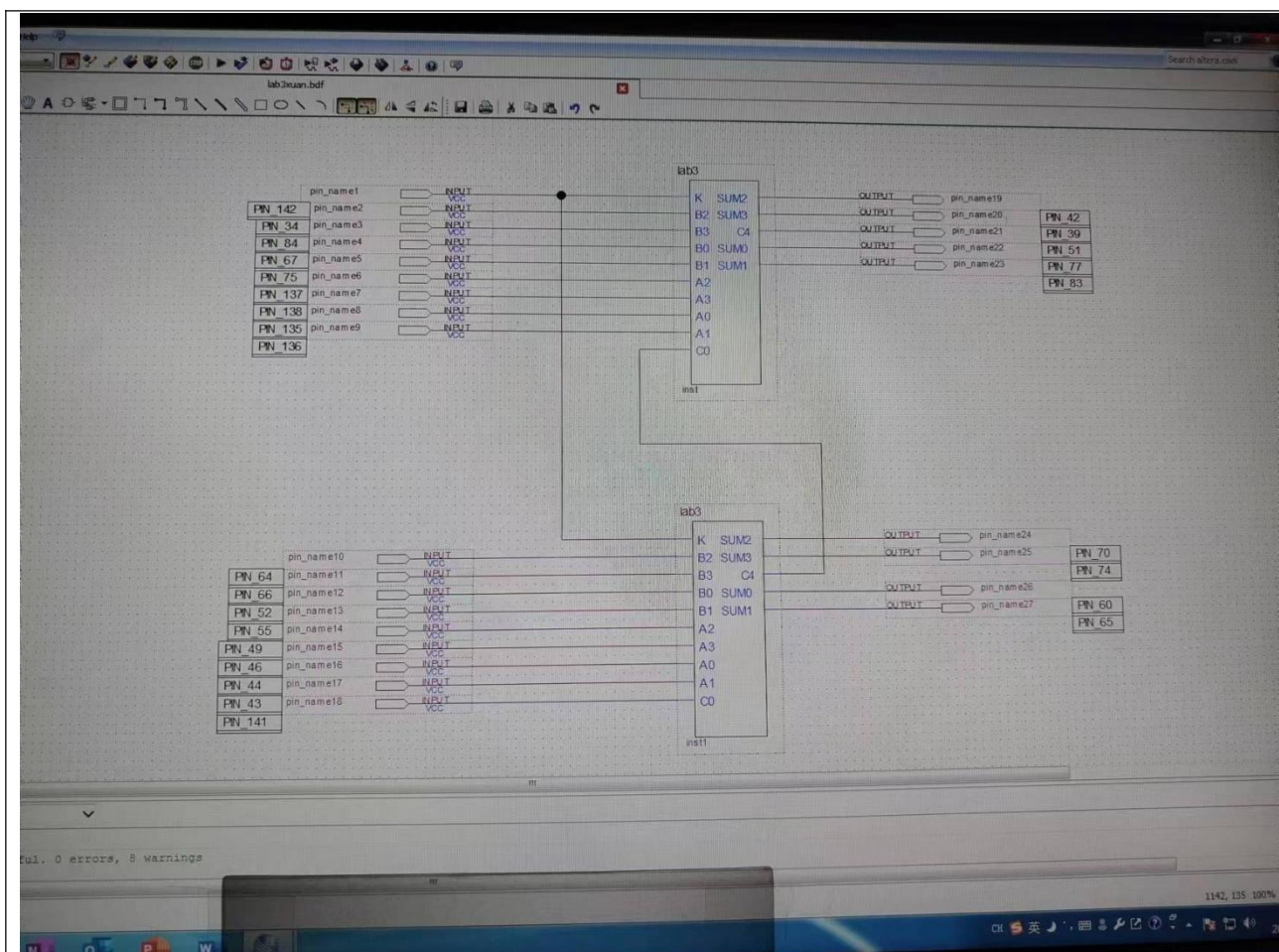


学号：	姓名：	班级：
实验题目： 补码加法器		
实验学时： 2	实验日期： 2023. 03. 07	
<p>实验目的：</p> <p>1. 采用一位全加器和异或门设计一个四位二进制补码加法器，操作数和运算结果均采用补码表示，该加法器要求可做补码加法，也可做补码减法运算。</p> <p>2. 利用四位补码加法运算的结果实现两个 8 位二进制数的逻辑运算</p>		
<p>硬件环境：</p> <p>1. 实验室台式机</p> <p>2. 计算机组成与设计实验箱</p>		
<p>软件环境：</p> <p>QuartusII 13.0</p>		
<p>实验内容与设计：</p> <p>1、实验内容</p> <p>1. 本实验要求采用一位全加器和异或门设计一个四位二进制补码加法器，操作数和运算结果均采用补码表示，该加法器要求可做补码加法，也可做补码减法运算。</p> <p>在补码运算中：</p> $(X)_{补} + (Y)_{补} = (X + Y)_{补}$ $(X)_{补} - (Y)_{补} = (X)_{补} + (-Y)_{补}$ <p>2. 利用四位二进制补码加法器，实现两个 8 位二进制数的逻辑运算并生成元件符号</p> <p>2、实验原理图</p> <p>四位二进制补码加法器</p>		



选做部分



3、实验步骤

(1) 原理图输入：从元件库中选取相应器件实现四位补码加法器电路设计。

(2) 管脚锁定：平台工作于模式 5，将 SUM3-SUM0、C4 依次定义在 LED 指示灯 D5-D1 上，将 K、C0、A3-A0、B3-B0 依次绑定在红色拨码开关 dout1、dout2、键 8-键 5、键 4-键 1 上。

(3) 原理图编译、适配和下载：在 Quartus II 环境中选择 EP4CE6/10E 器件，进行原理图的编译和适配，无误后完成下载。

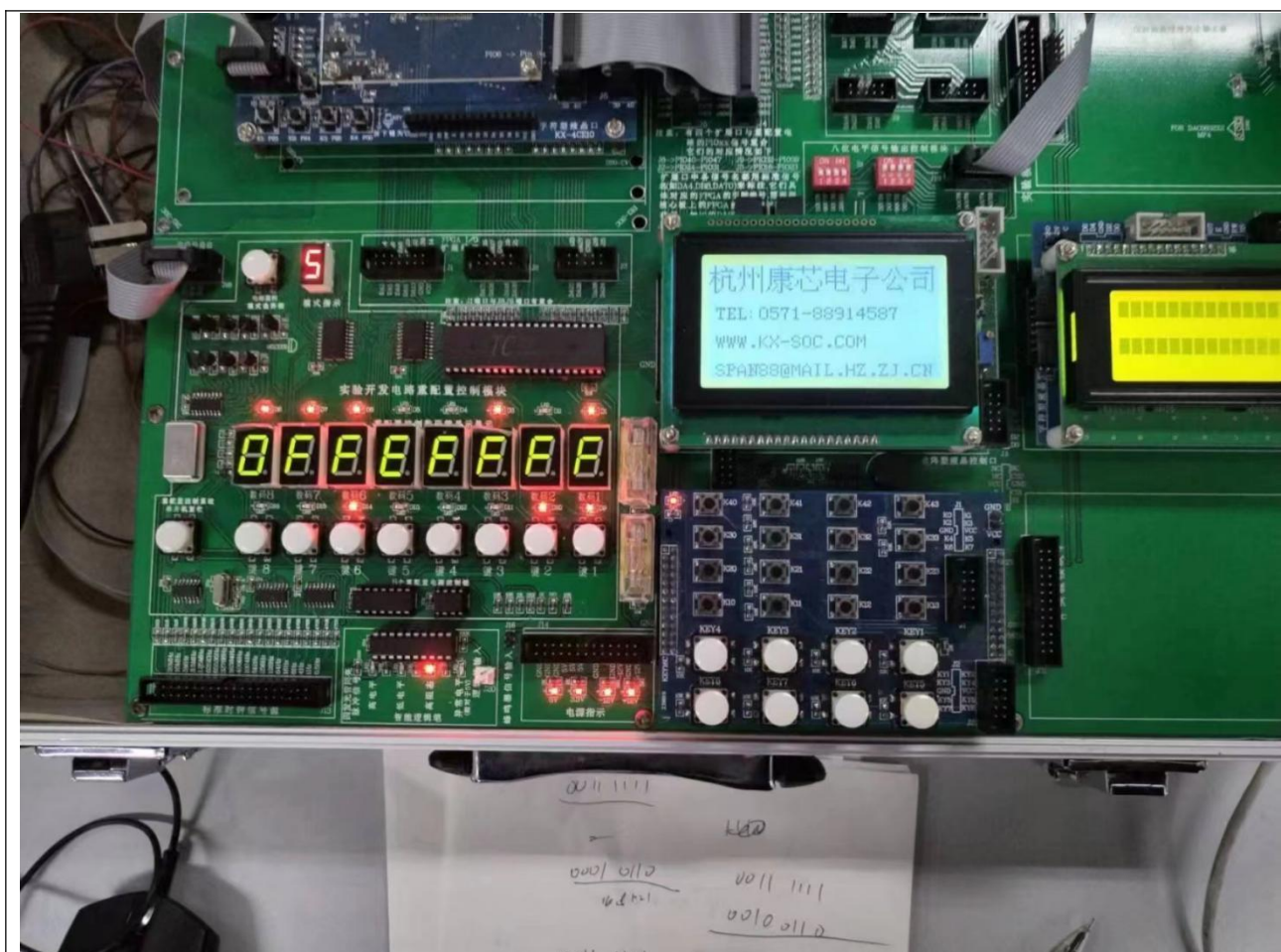
(4) 功能测试：利用输入开关键改变 K、C0 和 A、B 操作数的值，看 LED 指示灯显示的结果是否正确并记录结果。

(5) 生成元件符号。

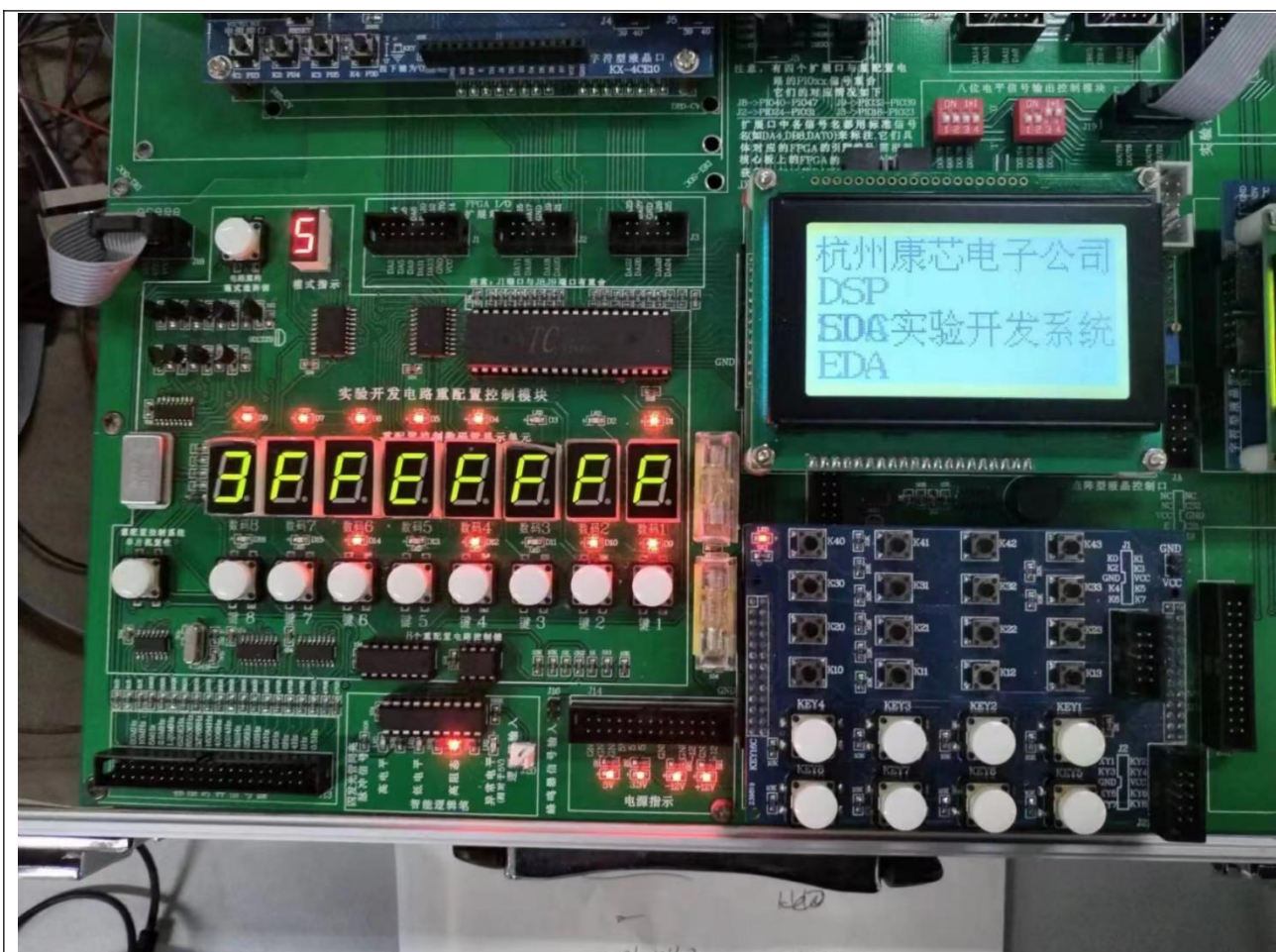
4、实验结果

四位二进制补码加法器

当我们利用做加法运算时，将进位 C0 置为 0，同时将 A3A2A1A0 置为 0011，将 B3B2B1B0 置为 0010，那么最后的结果即为 0101，实验结果如下：

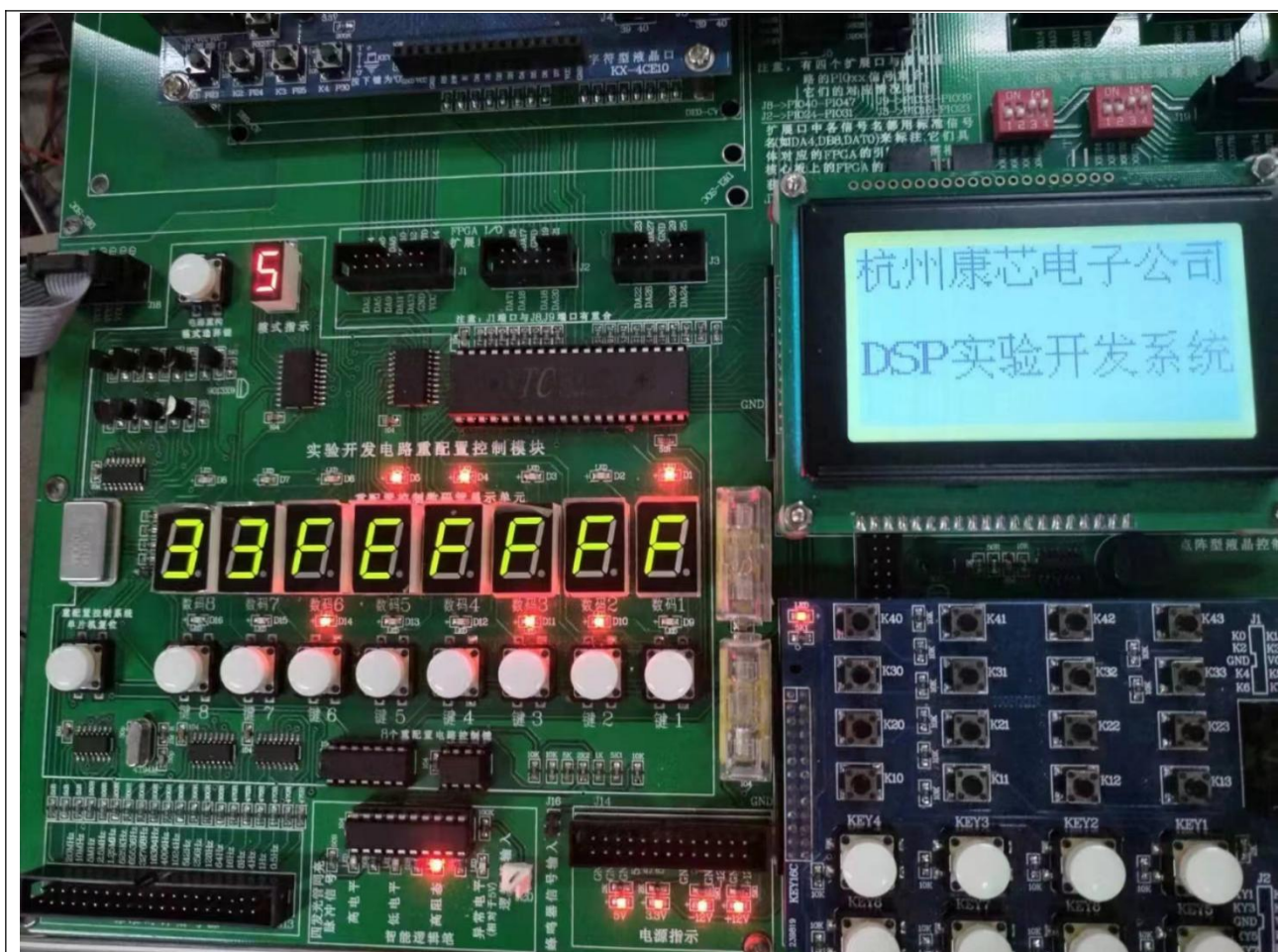


后我们测试减法运算，当我们将 A3A2A1A0 置为 1011，将 B3B2B1B0 置为 0010，那么最后得到的结果为 1001，实验结果如下：



实验三选做：

这里由于是两个 8 位二进制数做逻辑运算，分别为 A (a7a6a5a4a3a2a1a0) 和 B (b7b6b5b4b3b2b1b0)，考虑到实验器材原因，因此我们将 A 的低四位即 (a3a2a1a0) 全部置为 1，然后 A 的高四位和 B 的八位是可变的，我们做相减运算，A 取 63 (即 00111111)，B 取 38 (即为 00100110)，相减后得到 00011001，实验结果如下：



结论分析与体会：

这次的实验让我对于通过利用不同的元件如一位全加器和异或门，来实现更多功能的其他设备有了一个深入的理解。我们利用两个一位全加器实现一个四位补码加法器，后又通过使用四位补码加法器又实现了2个8位二进制数相加相减的逻辑运算，通过自己动手实践，更好了解了在计算机底层硬件是如何实现相加相减运算的。