山东大学	计算机科学与技术_	学院
	计算机组成原理	_课程实验报告

学号:	姓名:	班级:

实验题目:实验九 RAM 扩展实验

实验学时: 2 | 实验日期: 2023.04.04

实验目的:

- 1. 了解半导体静态随机读写存储器 RAM 的工作原理及其使用方法。
- 2. 掌握半导体存储器的字、位扩展技术。

硬件环境:

- 1. 实验室台式机
- 2. 计算机组成与设计实验箱

软件环境:

Quartus II 13.0

实验内容与设计:

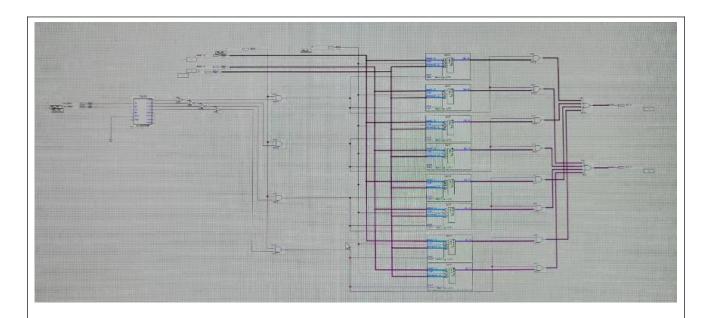
1、实验内容

实验要求:

- 1. 采用实验 8 所设计的 256 x 4 的 RAM 的结构(参考实验 8 生成器件),构成 1Kx8 的存储器。根据课本第 4 章的内容自行设计实现方案。
- 2. 实验 8 中, 因为 RAM 的数据输入和数据输出是不同的端口,设计时不用隔离器件。要利用 2-4 译码器 74139.
- 3. 选择五个不连续的存贮单元地址,分别存入不同内容,作单个存贮器单元的读/写操作实验。

首先我们要设计一个 1K*8 的 RAM 存储器,则根据实验要求我们需要使用到一个 2-4 译码器 74139,和 8 个 256*4 的 RAM 存储器。对于 RAM 元件来说,需要有地址线输入单元地址,数据线输入数据,在本实验中,我们先用两个 RAM 进行位拓展,构成一个 256*8 的 RAM 存储器,接下来在进行字拓展,即用四个 256*8 的 RAM 存储器来构成一个 1K*8 的 RAM 存储器,我们使用 2-4 译码器的输出来做片选信号。

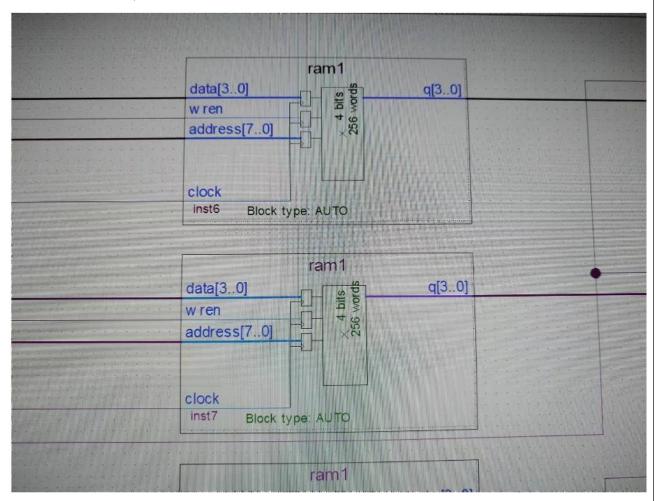
2、实验原理图



3、实验步骤

(1) 设计 RAM

首先我们需要设计一个 256*4 的 RAM 存储器,并且我们在初始时并不会往 RAM 中写入数据,而是在过程中写入, RAM 示意图:



(2) 原理图输入

我们先做 RAM 位拓展, 即先由两个 256*4 的 RAM 存储器构成一个 256*8 的 RAM 存储器, 再有

四个 256*8 的 RAM 存储器构成一个 1K*8 的 RAM 存储器,同时我们还需要 and2 和 or4 以及 2-4 译码器 74139,按照上图即可完成原理图的输入。

(3) 管脚锁定

通过键 1、键 2输入 RAM 的 8位数据(选择实验台工作模式 1),键 3、键 4输入存储器的低 8位地址,高 2位地址由红色的拨码开关提供。键 8控制读/写允许,低电平时读允许,高电平时写允许;键 7(CLKO)产生读/写时钟脉冲,即生成写地址锁存脉冲,对 RAM 进行写/读操作;下为管脚图:

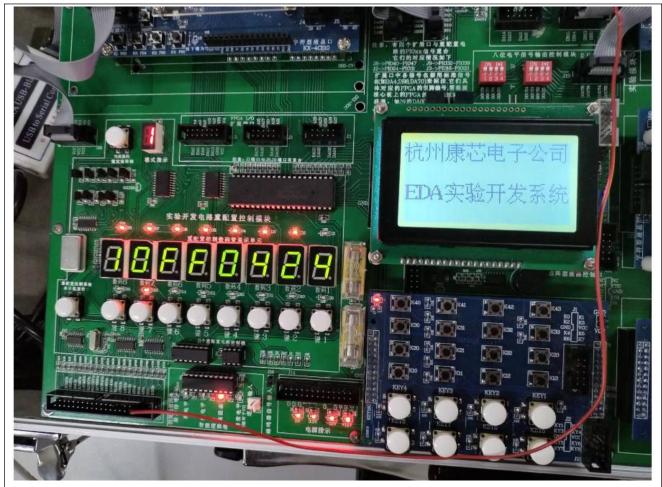
address[7]	Input	PIN 39	3	B3_N0	PIN_39	2.5 V (default)	BmA (default)	
address[6]	Input	PIN_42	3	B3_N0	PIN_42	2.5 V (default)	8mA (default)	
address[5]	Input	PIN_83	5	B5_N0	PIN 83	2.5 V (default)	BmA (default)	
address[4]	Input	PIN_77	5	85_N0	PIN_77	2.5 V (default)	8mA (default)	
address[3]	Input	PIN 74	5	B5_N0	PIN_74	2.5 V (default)	8mA (default)	
address[2]	Input	PIN_70	4	B4_N0	PIN_70	2.5 V (default)	8mA (default)	
address[1]	Input	PIN 65	4	B4_N0	PIN_65	2.5 V (default)	8mA (default)	
address[0]	Input	PIN_60	4	B4_N0	PIN_60	2.5 V (default)	8mA (default)	
THE REAL PROPERTY AND ADDRESS OF THE PERSON NAMED IN COLUMN TWO IN COLUMN TO THE PERSON NAMED IN	Input	PIN_58	4	B4_N0	PIN_58	2.5 V (default)	8mA (default)	
data[7]	Input	PIN_84	5	B5 NO	PIN 84	2.5 V (default)	8mA (default)	
data[7]	Input	PIN_34	2	B2_N0	PIN_34	2.5 V (default)	8mA (default)	
	Input	PIN_75	5	B5_N0	PIN_75	2.5 V (default)	8mA (default)	
data[5]	Input	PIN_67	4	B4 N0	PIN_67	2.5 V (default)	8mA (default)	
data[4]	Input	PIN 66	4	84 NO	PIN_66	2.5 V (default)	8mA (default)	
data[3]	Input	PIN_64	4	B4 NO	PIN 64	2.5 V (default)	8mA (default)	
data[2]		PIN_55	4	B4 N0	PIN_55	2,5 V (default)	8mA (default)	
_data[1]	Input	PIN_52	3	B3_N0	PIN_52	2.5 V (default)	8mA (default)	
data[0]	Input	PIN 133	8	B8_N0	PIN_133	2.5 V (default)	8mA (default)	
pin_name1	Input	PIN 129	8	B8 N0	PIN_129	2.5 V (default)	BmA (default)	
pin_name2	Input	PIN 80	5	85_NO	PIN_80	2.5 V (default)	8mA (default)	2 (default)
q[7]	Output		5	85_N0	PIN_85	2.5 V (default)	8mA (default)	2 (default)
q[6]	Output	PIN 85	-	85_N0	PIN_73	2.5 V (default)	8mA (default)	2 (default)
q[5]	Output	PIN_73	5	B5_N0	PIN_76	2.5 V (default)	8mA (default)	2 (default)
q[4]	Output	PIN_76		B4_N0	PIN_71	2.5 V (default)	8mA (default)	2 (default)
q[3]	Output	PIN_71		B4_N0	PIN_72	2.5 V (default)	8mA (default)	2 (default)
q[2]	Output	PIN_72	-	84 NO	PIN_68	2.5 V (default)	8mA (default)	2 (default)
q[1]	Output	PIN_68		84_N0	PIN_69	2.5 V (default)	8mA (default)	2 (default)
4[0]	Output	PIN_69	1		PIN_53	2.5 V (default)	8mA (default)	
WI	Input	PIN_53	3	B3_N0				

4、实验结果

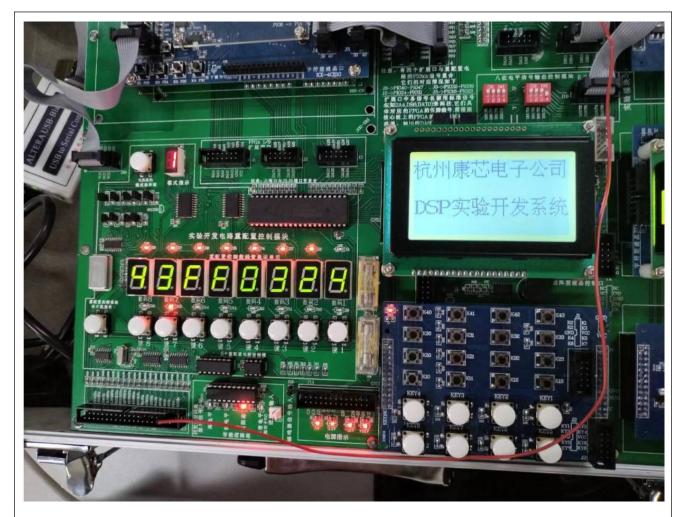
如下图所示,是我们在实验过程中8个RAM存储器中存储的数据

Index			Ins	tan	ce l	ID:			Sta	atus				10	Wid	th				- 1	Omp1	t)					ype					MOC	Æ.												-		
0			rant	7					Not	Leur	win	a:		-	4					- 3	256					R	AM!	RO	М			Rea	dN	Vrite													
1			rant							tru		_		- 53	4					12	256					R	AM,	RO	М			Rea															
2			ran							tna					4					- 2	256							RO				Rea												-			
3			ran							tru				1	4						256						100,000	RO				Rea															
4			ran	12					No	tru	nenien	9		3	4						256							RO				Rea															
5			rees	12					No	tru	min	g _		13	4						256							RO				Rea															
6			ran							tru				-	4						256 256							ALC:				Rea															
7			ran	11.2					No	tru	OF ME	g			1											,,,	55.0	1300	A					3430													
Instance 0; ra	m2																																									-			-		-
000000	0 (0 0		0	0	y 0	0	0	D	0	0	0	0	0		0	0 1	0 .	0 0	0 0	0	0	0	0	0	0	0	0	0 0		9	Q	8	0	0	9	0	0	9		0	0	O	0	0	0	
000077	0 1	Y 0		n o	10	3 0		10		0	0	0	O.	0		0.1	0.1	0. 1			0	0	0	9	0	19	3	0	4 1	3 0	0	-	3	0	U	0	13	43	1		2	-	0	14	4	u	
0000e4	0	7 0	1.0) 0	0	1 0	1 0	0	0	0	Q	0	0	0	0	0	0 1	9 1	0 6	0	0.0	.0	0	0	0	0																					
Instance 1: ra	m2																																														
000000	5 3	1 2		1 6	1 5	5 6	7	13	9	A	B	C	D	E	E	0 1	and	0	0.0	3 0	0		0	0	0	0	0	0	5	0 0	0	0	0	0	0	0	0	0		2 5	0 0	0	0	0	0	0	
000072	0 1	5 1	500	1 0	0				0	0	6	0	0	D	0		0:3	0	0 () 6	0	0	0	0	(0)	9	0	0	9 1	0 0	0	0	0	0.	0	0		0		3 1			0	0		4	
0000e4	0 (1 0	1 0	0 0	10	3.6	0	0	0	0	G	0	0	0	0			0		2 6	0	0	0	0	0	0																					
Dectarios 7: re	an'r																										0	24	00	Ph. P	TEP.	1 0	0		0	0	0	0		0 1		0	0	0	0	0	
000000	0 1	1 3		3 1	133	5 8	5 7	8	9	A	B		D	-	5	0		2	0 0			1	0	· ·	N.	0	0	2	0	D S	0	0	D	0	0	0	0	0	0 1	3		0		0	0	0	
000072	0		21	3 0		9 (1 0	0	0	0	0	0		0	9		0			100	0	n	0	n	175	-	400	400																	
0000e4	00		Y. 3	2 6	27.5	0 (2)//9	2).0	2 0	15.0		.9	Ö	b.						4.1				-	100	-																					
Instance 3: ra	sen2														_			_							-	-	-	-	-	m 1					n	0	(2)	n				YOR				O	
000000	0	1 7	21.3	3 3	N/S	5 4	5.7	1/3	1 9	A	B	C	D	东	1	9		9	0	9 15		9	0	0	0	0	0	0	0	0 0	3 6			0	0		20	0	0	0			3 0		0		
000072	0	0 6	936	0 6	0 6	0 1	3 6			0	0	0	8	0	0	0	9	9	0		9 0		D	0	0	0		M	36/-				17.75	- 14		(UE)	70	175									
0000e4	0	0 (3 (0 0	0) (0 1	0.00) (0 0	119	0.	0.	0	0	0		9			0 0	3.8	1	0	14	U	· Y																					
Instance 4: ra	am2																																			17.00	E.A.	100									
000000	1	1 1	100	1 1	L	10	100	1000	1 1	UI	1	1	1	31	1	0			0	0 1	9 6	1 6	0	0		0		0	0	0 4	3 5			0	0	0	0	0	N		0. 5					0	
000023	-		5			es la	0 0					(a)	10	0	0				ο						: 99	-0	1.56	0	Q;	0. 1	3 16		1,30			374	4	T	e						100	1	
0000e4	0	0 1	0	0 1		D.	0.0	011	0 6	0 0	0	0	.0	0	0	0	0	0		011	0 0		0		D	M																					
Instance S: n	am2																																				-										
000000	ama 2	2 :	20	2	2	20	2 1	3015	2 2	2/2	1.2	2	2	2	2	0		0	0	0		0 0		9	0	0	0	0	0		0 (0	0	0	0	0	0	U	0			1					
000072			0		0 1		0 1	5 1		9. 0	5 0				0	0		000	0			3 10				2.0	00	0	0	0	0 (0.0	0	O	10	34.	19.			T.II.		SEA.			
0000e4	0		6	0	0	0	0.0	0.4	0 0	0 0		0	0	0	0	0	0	0	0.	CITY		0.0		0	0	0																					
																																				-		17	n								
000000	3	3	3	3	3	3	3	3	3 1	1 62	1 3	3	3	3	3	0		0	0	0		1 5		9		18	0	0		2	Y S	4		No.		0	0	0	0				0 6	0 0			
000072													0	10				0.	0								- 92	-0	U-	4		-				· W	- 10	-	-								
0000e4	0		0		9	0		9,1	0 (0 0		0			0	0	0	D		0.	0.1	3 6	2016	0		130																					
Instance 7: r	am2																												- 0		0 1																
000000	4	4	4	4	4	1	4	1	4 1	4 4	5 4	-	4	9	9		0.	0	0	0	9	0 (0	2	2	0	2 2	1			6	300	0	0	0	0			0 0	0 0		
000072				0	01		0						0.0				10				000	013		7,000			- 9	1	10	4		-			3	4	-				0						
0000e4	0			0	0	Q;	0			0 1		0			0	.0	0	10	12	U	V.			216																							

其中 RAM4 和 RAM0 是一组, RAM5 和 RAM1 是一组, RAM6 和 RAM2 是一组, RAM7 和 RAM3 是一组, 并且 RAM4、RAM5、RAM6、RAM7 中数据是高位, RAM0、RAM1、RAM2、RAM3 中数据是低位。 我们先选中 RAM4 和 RAM0 这一组,输入地址 04(十六进制数),得到的数据是 10(十六进制数),经过对比测试正确。



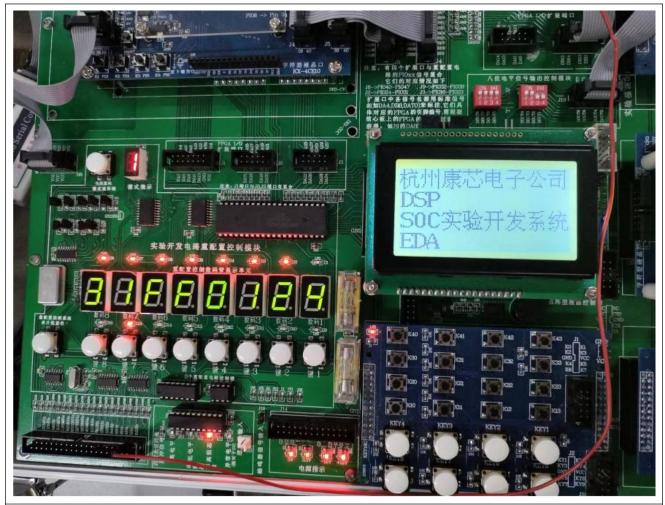
接下来我们选中 RAM7 和 RAM3 这一组,并且输入地址是 03(十六进制数),得到的数据是 43(十六进制数),经过对比测试正确。



接下来我们选中 RAM5 和 RAM1 这一组,并且输入地址是 00(十六进制数),得到的数据是 24 (十六进制数),经过对比测试正确。



最后我们选中 RAM6 和 RAM2 这一组,并且输入地址是 01(十六进制数),得到的数据是 31(十六进制数),经过对比测试正确。



结论分析与体会:

通过本次实验,了解到了如何进行字拓展和位拓展,同时对片选信号有了进一步的认知。对于位拓展来说,使用同种输入控制信号,同时输入两个 RAM,其中输入的数据,一部分为高位,一部分为低位,对应的输出亦然,就实现了存储字长的扩展。对于字扩展,可以使用部分高位地址作为译码信号输入到译码器,从而生成对两个 RAM 的片选信号,但在本实验中,我们采用的是 2-4 译码器 74139。