

6.4 实验四 桶形移位器

1. 实验介绍

在本次实验中，我们将使用 Verilog HDL 语言实现 32 位桶形移位器的设计和仿真。

2. 实验目标

- 深入了解桶形移位器的原理。
- 使用 logicsim 软件搭建一个 8 位的桶形移位器。
- 学习使用 Verilog HDL 语言设计实现一个 32 位桶形移位器。

3. 实验原理

桶形移位器是一种组合逻辑电路，通常作为微处理器 CPU 的一部分。它具有 n 个数据输入和 n 个数据输出，以及指定如何移动数据的控制输入，指定移位方向、移位类型（循环、算术还是逻辑移位）及移动的位数等等。

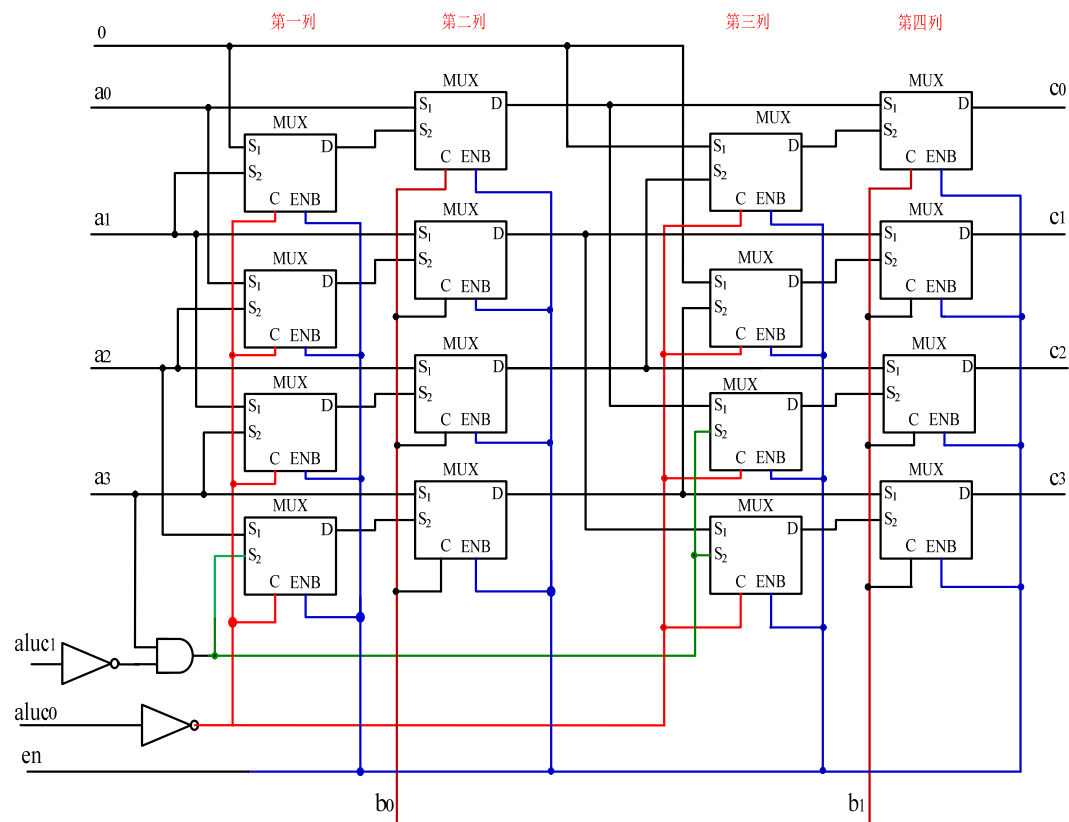


图 6.4.1 4 位桶形移位器原理图

图 6.4.1 给出了一个简单的 4 位桶形移位器原理图示例。其中的主要部件为二选一数据选择器 MUX，该数据选择器的 S1 和 S2 为两路数据输入端，D 为数据输出端，C 为选择控制端，ENB 为使能控制端。该桶形移位器的所有输入输出信号规定如下：

- 输入信号 a0~a3 左移以及右移一位的数据被输入第一列数据选择器；
- 输入信号 aluc0 选择左移还是右移，将数据输入第二列数据选择器；
- 输入信号 aluc1 控制右移时进行算数右移还是逻辑右移；
- 输入信号 a0~a3 的原始数据也被输入第二列数据选择器；
- 输入信号 b0 和 b1 的值决定移多少位；
- 输入信号 b0 选择将原始数据还是移位数据输入第三列数据选择器，实验中将这组数据暂记为 temp；
- 数据 temp 由第三列选择器继续处理，生成 temp 左移以及右移两位的数据；
- b1 选择将 temp 还是 temp 经过移位的数据进行输出，得到输出信号 c0~c3；
- 输入信号 en 为桶形移位器的使能端。

图 6.4.2 为图 6.4.1 所示桶形移位器的逻辑流程图，可根据其流程编写行为级的桶形移位器。表 6.4.1 给出了 aluc1 和 aluc0 的值所对应的逻辑运算的说明。

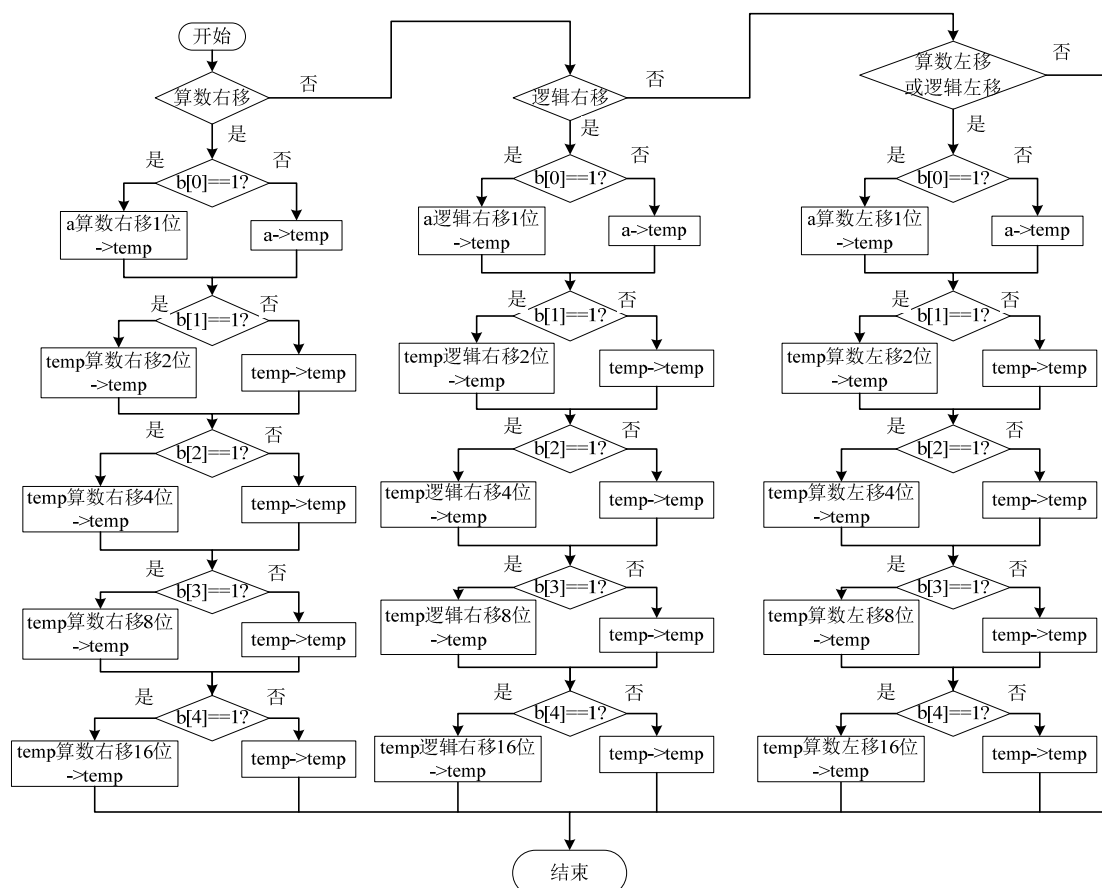


图 6.4.2 桶形移位器的逻辑流程图

表 6.4.1 aluc1 和 aluc0 的值所对应的逻辑运算

MIPS 指令	aluc1	aluc0	说明
算术右移(sra)	0	0	a 向右移动 b 位, 最高位补 b 位符号位
逻辑右移(srl)	1	0	a 向右移动 b 位, 最高位补 b 位 0
算术左移(sll)	0	1	a 向左移动 b 位, 最低位补 b 位 0
逻辑左移(sll)	1	1	a 向左移动 b 位, 最低位补 b 位 0

根据上面所描述的 4 位桶形移位器的原理,设计者可以开发其他位数的桶形移位器。当移位器的位数较多时,采用原理图设计的方式将非常繁琐。而采用 Verilog HDL 行为描述方式则能够很容易的对其建模。这里我们给出本实验所要求建模的 32 位桶形移位器的接口定义。

● 接口定义:

```
module barrelshifter32(
    input [31:0] a,          //32 位原始输入数据
    input [4:0] b,           //5 位输入信号, 控制移位的位数
    input [1:0] aluc,        //2 位输入信号, 控制移位的方式
    output reg [31:0] c      //32 位移位后的输出数据
);
```

4. 实验步骤

1. 使用 logicsim 画出一个 8 位桶形移位器的原理图, 验证逻辑。
2. 新建 Vivado 工程, 编写各个模块实现一个 32 位的桶形移位器。
3. 用 ModelSim 仿真测试模块。
4. 按照要求书写实验报告。