

第一章

1. 说明高级语言、汇编语言和机器语言三者的差别和联系。

答：用二进制代码表示的指令系统称之为机器语言。用一串二进制代码（0 和 1）来编制程序是很困难的，容易出错，也不便于检查，于是产生了汇编语言，它利用符号来表示指令。例如一条加法运算指令可用符号 ADD A, B 来表示，其中 ADD 表示加法操作，A、B 为两操作数（通常为操作数的地址）。同样可用 SUB 表示减法运算，MUL 表示乘法运算等。汇编语言表示的一条语句基本上与机器语言表示的一条指令相对应，但计算机的硬件只能执行用机器语言编写的程序，因此需要由编译程序将汇编语言程序转换成机器语言程序。

无论用汇编语言还是用机器语言编写程序都需要对计算机硬件结构和指令系统有深入的理解，这对编程人员的要求是很高的，不易推广。

高级语言程序是由英文字母、数字、符号和计算公式等按照一定的语法规则组成的，编写程序时不需要了解硬件结构和指令系统，高级语言的一条语句的功能比汇编语言（或机器语言）的一条指令的功能强得多，相对来说，编程也比较容易。但是在执行该程序时要先将它翻译成机器语言，翻译工作是由系统程序员预先设计好的编译程序在计算机上运行而自动完成的。

2. 计算机硬件由哪几部分组成？各部分的作用是什么？各部分之间是怎样联系的？

答：组成计算机的基本部件有中央处理部件(CPU)、存储器和输入输出设备。

CPU 主要用于处理数据和控制程序（指令流）的执行，发出执行每条指令所需要的控制信号。

存储器用于存储信息（程序和数据）。存储器芯片中的最小存储单元是 1 位二进制代码（0 或 1）。若干个二进制代码组成 1 个字，字长可以是 8 位、16 位、32 位或 64 位等，由各个机器自行定义。8 位代码组成一个字节。存储器的每个字（或字节）都有一个唯一的地址。一般存储器本身没有处理数据的能力，仅能根据 CPU 送来的地址和读写命令取出或写入信息（指令或数据）。

输入设备用来输入原始数据和处理这些数据的程序。输入的内容存放在存储器中，可以通过 CPU 传送，也可以直接从输入设备传送到存储器中，后者由输入设备给出存储器地址和写命令。

输出设备用来输出计算机的处理结果，同样可以由 CPU 或存储器直接送来输出的内容，后者由输出设备给出存储器地址和读命令。当前的计算机一般都能连接网络，联网设备可看作是输入输出设备的一种。

计算机各部件之间是通过总线联系的，根据作用的不同，分成地址总线、数据总线和控制总线 3 种，如图 1.1 所示。其中数据总线能双向传送数据。控制总线传送命令和应答信号，各部件之间的控制或应答信号也要相互传送。唯有地址线有所不同，CPU 仅送出地址，存储器仅接收地址，输入输出设备可接收从 CPU 送来的地址或向存储器送出地址。

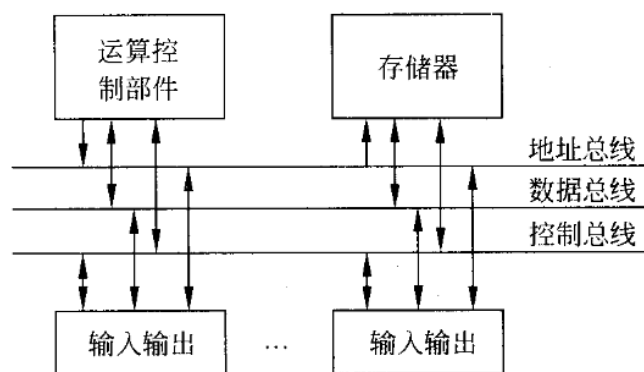


图 1.1 以总线连接的计算机框图

3. 计算机系统可分为哪几个层次？

答：如果用户用高级语言编写程序，该系统的层次结构如图 1.2 所示。但是应用程序并不一定要使用高级语言，此时实际运行时的层次结构将有所变化。

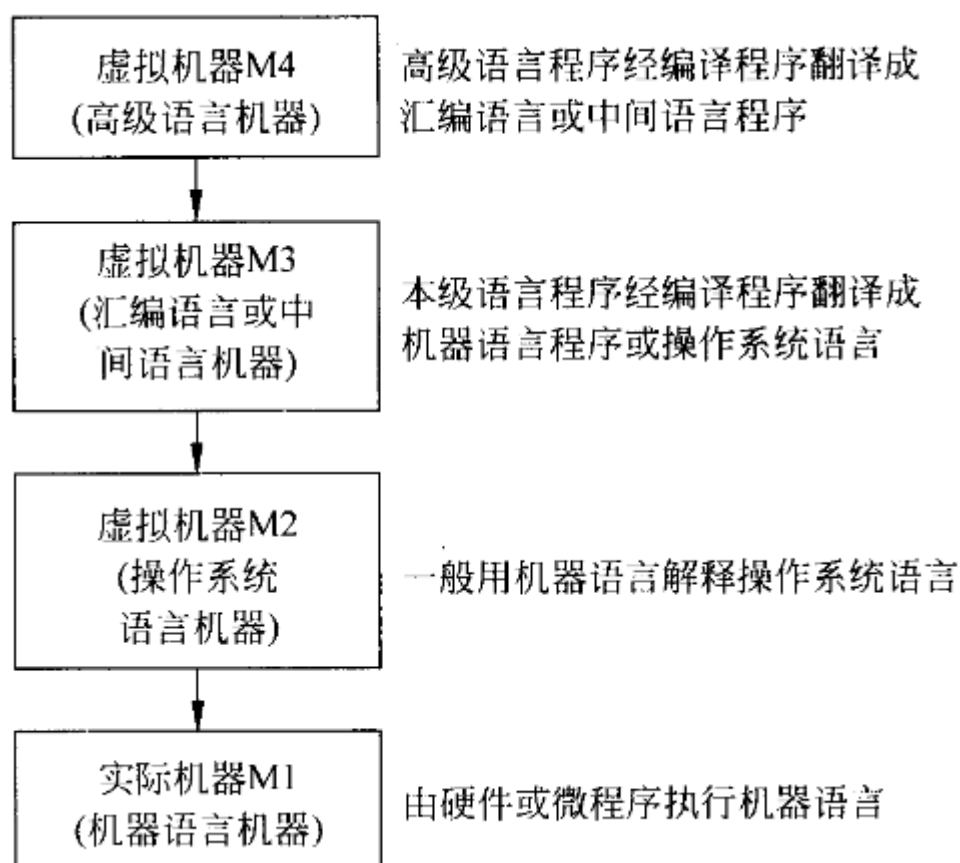


图 1.2 计算机系统的多级层次结构

5. 如何划分计算机发展的 4 个阶段（第一代到第四代）？当前广泛应用的计算机主要采用哪种电路？

答：可以根据计算机采用的物理器件划分其发展的 4 个阶段。第一代主要采用电子管器件，第二代主要采用晶体管器件，第三代主要采用集成电路器件，第四代主要采用大规模集成电路器件。根据摩尔定律，集成电路的集成度每隔 18 个月翻一番。当前广泛应用的计算机主要采用超大规模集成电路。

9. 冯·诺依曼机结构的特点是什么？近年来有哪些主要变化？

答：一般认为冯·诺依曼机具有如下基本特点：

(1) 计算机由运算器、控制器、存储器、输入设备和输出设备 5 部分组成。

(2) 采用存储程序的方式，程序和数据放在同一个存储器中，指令和数据一样可以送到运算器运算，即由指令组成的程序是可以修改的。

(3) 数据以二进制码表示。

(4) 指令由操作码和地址码组成。

(5) 指令在存储器中按执行顺序存放，由指令计数器（即程序计数器 PC）指明要执行的指令所在的单元地址，一般按顺序递增，但可按运算结果或外界条件而改变。

(6) 机器以运算器为中心，输入输出设备与存储器间的数据传送都通过运算器。

60 多年来，随着技术的发展和 new 应用领域的开拓，对冯·诺依曼机做了很多改革，使计算机系统结构有了很大发展，例如程序与数据分开存放在不同的存储器区域中，程序不允许修改，机器不再以运算器为中心，而是以存储器为中心等，虽然有以上这些突破，但原则变化不大，习惯上仍称之为冯·诺依曼机。

11. 试用汇编语言编写求 5 个数的平均值程序（自定指令系统）。

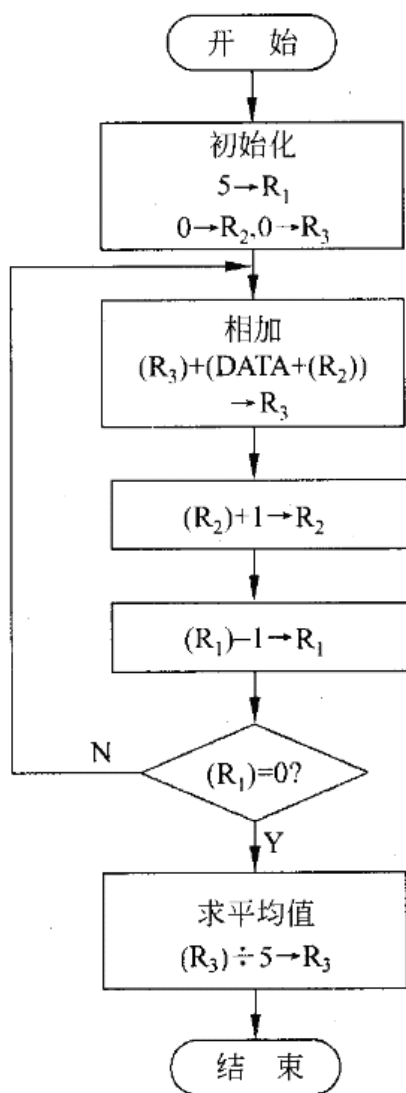
答：假设计算机至少有 3 个寄存器（R_i、R₉ 和 R₀）。R₁ 存放被加数的个数，其初始值为 5。R₂ 用作变址寄存器，5 个数据(a、b、c、d、e)顺序存放在存储器中以 DATA 为起始地址的存储单元中。R₃ 为累加器，存放运算的中间结果和最后的累加和。

程序的流程图如图 1.3 所示。图中用 R_i 表示寄存器地址，(R₁)为 R₁ 中的内容，DATA 为存储器地址，(DATA)为 DATA 中的内容，其余类推。程序循环执行，第 1 次的加数 a 从 DATA 中取出，第 2 次的加数 b 从 DATA+1 中取出，……。每执行一次加法运算，变址寄存器的内容+1，循环次数(R₁)-1，当(R₁)-0 时，5 个数相加完毕，除以 5 即得平均值。

用汇编语言编写的程序如下：

START:	MOV R ₁ , 5	;将常数 5 传送到 R ₁	(结 束)
	CLR R ₂	;R ₂ 清 0(0→R ₂)	
	CLR R ₃	;R ₃ 清 0(0→R ₃)	图 1.3 求平均值的程序流程
LOOP:	AOD R ₃ , DATA+(R ₂)	;R ₃ 中得累加和	
	INC R ₂	; (R ₂) + 1 → R ₂	
	DEC R ₁	; (R ₁) - 1 → R ₁ , 根据结果置状态位 Z, 如果结果 (R ₁) 为 0, Z=1, 否则 Z=0	
	JMPZ LOOP	; (R ₁) ≠ 0, 转移到 LOOP; (R ₁) = 0, 顺序执行下一条指令	
	DIV R ₃ , 5	; (R ₃) / 5 → R ₃ , R ₃ 中为平均值	
	HLT	; 停机	
DATA:	a	; 数据	
	b		
	c		
	d		
	e		

START、LOOP、DATA 是用符号表示的存储器地址。符号“;”后面的内容为注释。



第二章

2. 将下列逻辑表达式化简,并画出(1)的逻辑图。

$$(1) F = A\bar{B} + A\bar{C}D + \bar{A}C + B\bar{C}$$

$$(2) F = AC + \bar{A}\bar{B} + B\bar{C}\bar{D} + B\bar{C}E + \bar{C}DE$$

$$\begin{aligned} \text{答: (1) } A\bar{B} + A\bar{C}D + \bar{A}C + B\bar{C} &= A\bar{B} + A\bar{C}D(B + \bar{B}) + \bar{A}C + B\bar{C} \\ &= A\bar{B} + A\bar{B}\bar{C}D + AB\bar{C}D + \bar{A}C + B\bar{C} \\ &= A\bar{B}(1 + \bar{C}D) + B\bar{C}(AD + 1) + \bar{A}C \\ &= A\bar{B} + B\bar{C} + \bar{A}C \end{aligned}$$

用卡诺图化简:

4 变量卡诺图如图 2.3 所示。其中 $A\bar{C}D$ 包含在 $A\bar{B}$ 和 $B\bar{C}$ 中,可消去。所以 $A\bar{B} + A\bar{C}D + \bar{A}C + B\bar{C} = A\bar{B} + \bar{A}C + B\bar{C}$ 。

其逻辑图如图 2.4 所示。

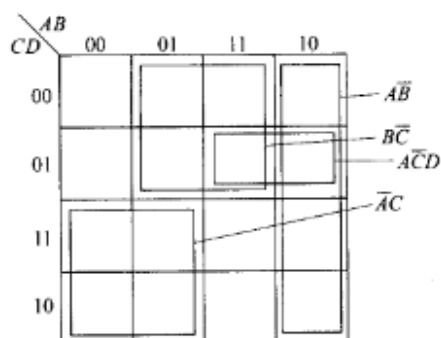


图 2.3 卡诺图(4 变量)

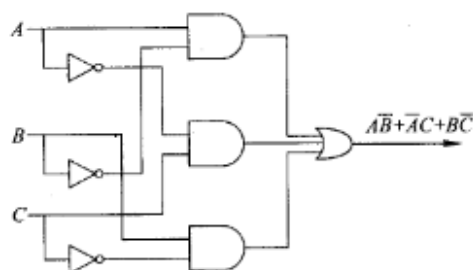


图 2.4 逻辑图

如果将公式变换如下:

$$\begin{aligned} A\bar{B} + B\bar{C} + \bar{A}C &= \overline{\overline{A\bar{B} + B\bar{C} + \bar{A}C}} = \overline{(\overline{A\bar{B}})(\overline{B\bar{C}})(\overline{\bar{A}C})} \\ &= \overline{(\bar{A} + B)(\bar{B} + C)(A + \bar{C})} \\ &= \overline{(\bar{A}\bar{B} + AC + BC)(A + \bar{C})} \\ &= \overline{\bar{A}\bar{B}\bar{C} + ABC} \end{aligned}$$

则可用“与或非门”构成,逻辑图如图 2.5 所示。

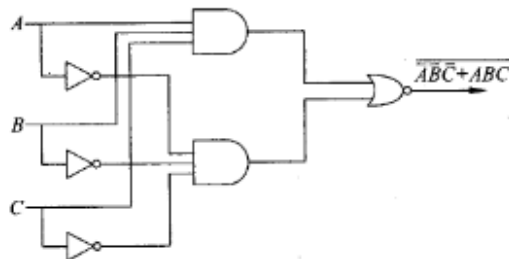


图 2.5 逻辑图

(2) 用卡诺图化简公式:

$$F = AC + \overline{A}\overline{B} + B\overline{C}\overline{D} + B\overline{C}E + \overline{C}DE$$

5 变量卡诺图如图 2.6 所示, 图中 AC 、 $\overline{A}\overline{B}$ 和 $B\overline{C}E$ 已用文字标出, $B\overline{C}\overline{D}$ 由 00, 10, 04, 14 构成, $\overline{C}DE$ 由 30, 32, 36, 34 构成。

化简后, 得 $F = AC + \overline{A}\overline{B} + \overline{B}\overline{D} + \overline{C}E$, 其中 AC 和 $\overline{A}\overline{B}$ 从原公式中保留下来, $\overline{B}\overline{D}$ 由卡诺图中的 00, 01, 10, 11 和 05, 04, 15, 14 组成(用圆圈表示), $\overline{C}E$ 由 10, 30, 12, 16, 32, 36, 14, 34 组成(用椭圆表示)。

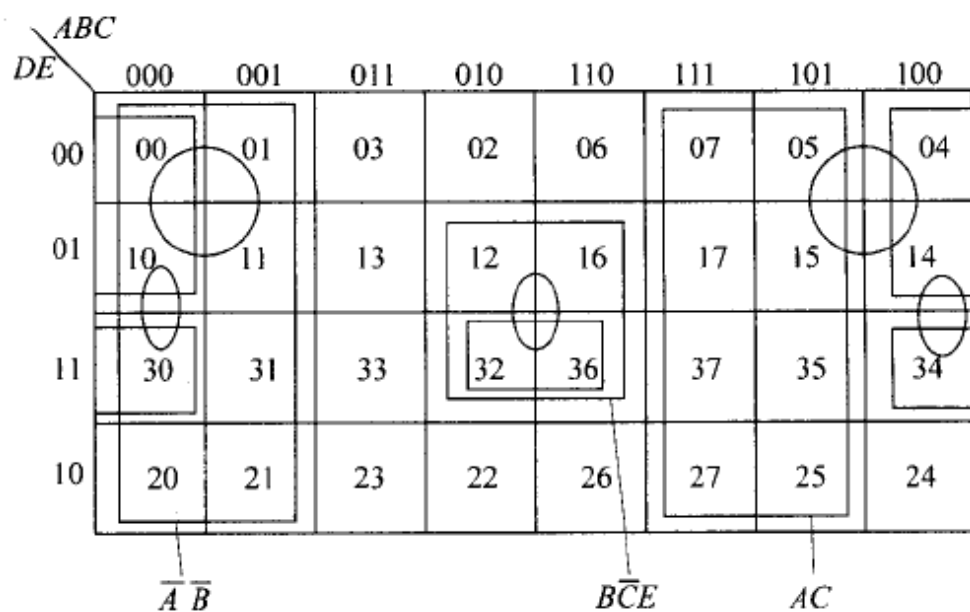


图 2.6 卡诺图(5 变量)

5. 今用两片 74181 芯片构成 8 位带符号整数的加法器, 实现输入 $A=A_7A_6\cdots A_0$ 与 $B=B_7B_6\cdots B_0$ 之间的加法运算, 结果为 $F=F_7F_6\cdots F_0$, 其中 A_7 、 B_7 和 F_7 为符号位。试写出判断溢出的逻辑表达式。

答: 本题可在学习第 3 章加减法运算后再做。

根据计算机中数值的表示方法。符号位为 0, 表示正数, 符号位为 1, 表示负数。符号位参与运算。

(1) 加法运算: 当相加两数皆为正数或皆为负数时有可能溢出(数值超出计算机所能表示的范围称为溢出)。如果结果的符号位与加数/被加数不同为溢出。即溢出条件 = $\overline{A_7} \overline{B_7} F_7 + A_7 B_7 \overline{F_7}$ 。

也可以有其他答案, 举例如下(例子中只列出 4 位, 从左到右为第 7 位到第 4 位, 最高位的进位用 C_8 表示):

• 两正数相加:

$$\begin{array}{r} 0 \times \times \times \\ + 0 \times \times \times \\ \hline 0 \times \times \times \\ F_7=0, C_8=0 \\ \text{(不溢出)} \end{array} \quad \begin{array}{r} 0 \times \times \times \\ + 0 \times \times \times \\ \hline 1 \times \times \times \\ F_7=1, C_8=0 \\ \text{(溢出)} \end{array}$$

• 两负数相加:

$$\begin{array}{r} 1 \times \times \times \\ + 1 \times \times \times \\ \hline 11 \times \times \times \\ F_7=1, C_8=1 \\ \text{(不溢出)} \end{array} \quad \begin{array}{r} 1 \times \times \times \\ + 1 \times \times \times \\ \hline 10 \times \times \times \\ F_7=0, C_8=1 \\ \text{(溢出)} \end{array}$$

可以看出: 两正数相加, 不可能产生进位 C_8 ; 两负数相加, 必产生进位 C_8 。

• 正、负数相加: (不会溢出)

$$\begin{array}{r} 0 \times \times \times \\ + 1 \times \times \times \\ \hline 10 \times \times \times \\ F_7=0, C_8=1 \end{array} \quad \begin{array}{r} 0 \times \times \times \\ + 1 \times \times \times \\ \hline 01 \times \times \times \\ F_7=1, C_8=0 \end{array}$$

将上例用真值表(表 2.2)表示。

表 2.2 加法运算的溢出条件

A_7	B_7	溢出 F_7 C_8	不溢出 F_7 C_8	A_7	B_7	溢出 F_7 C_8	不溢出 F_7 C_8
0	0	1 0	0 0	1	0	—	0 1
1	1	0 1	1 1			—	1 0
0	1	—	0 1 1 0				

由表 2.2 可得出加法运算的溢出条件为:

$$A_7 \oplus B_7 \oplus F_7 \oplus C_8 = 1$$

(2) 减法运算($A-B$): 减数与被减数符号不同才可能溢出。如果 A 为正数, B 为负数, 结果 F 为正数时不溢出; 如果 A 为负数, B 为正数, 结果 F 为负数时不溢出, 否则为溢出。所以溢出条件 = $\overline{A_7} B_7 F_7 + A_7 \overline{B_7} \overline{F_7}$ 。

也可采用类似于加法运算方法列出减法运算的真值表, 得出减法运算的溢出条件为:

$$A_7 \oplus \overline{B_7} \oplus F_7 \oplus C_8 = 1$$

实际上在 A_7, B_7, F_7 和 C_8 中取任意 1 个为反码,其结果都是相同的。

根据以上所述,判断是否溢出有多种方法,还可以有其他方法。选择的原则是:①电路数量少;②产生结果的延迟时间短。在不能兼顾时,根据实际情况折中选择之。

本题选择下述方法较为合适:

溢出=加法运算 $(\overline{A_7} \overline{B_7} F_7 + A_7 B_7 \overline{F_7})$ + 减法指令 $(\overline{A_7} B_7 F_7 + A_7 \overline{B_7} \overline{F_7})$ 。

4. 设计用若干个全加器和若干个与门实现的 8421 码十进制加法器单元电路,运算结果保存在 D 触发器(寄存器)中。如果全加器的输出不用触发器保存是否可以?

答:采用 8421 码的十进制数,当运算结果 ≥ 10 (十进制)时应产生进位信号,设 $A_3 \sim A_0$ 和 $B_3 \sim B_0$ 是参加运算的两个数,其中 A_3 和 B_3 是高位, $F_3 \sim F_0$ 是运算结果, $C_4 \sim C_1$ 是全加器的进位输出,那么 8421 码向高位进位的条件是 $C_4 + F_3 (F_2 + F_1)$,其中 C_4 是运算结果 ≥ 16 时的进位信号, $F_3 (F_2 + F_1)$ 是运算结果在 10~15 之间的进位信号。有关 8421 码的十进制运算规则参见教材,本题也可以在学习了有关内容时再做。当产生进位信号时,本位数据应该加 6,即二进制的 0110。所以十进制加法分 2 步进行,步骤如下:

①执行 $A+B$,将 F 保存在寄存器中。

②如果上次加法结果有进位,即 $C_4 = F_3 (F_2 + F_1) = 1$,再进行一次+6 运算,将相加结果(最后的结果)再次保存到寄存器。

如果上次加法结果无进位,则不再进行+6 操作。

十进制加法器单元电路如图 2.7 所示。图 2.8 是外部送来的控制信号时序图。如果时钟 CP 直接加在 D 触发器的脉冲输入端,则触发器的电位输入端逻辑图将按图 2.18(第 12 题的 (1))修改。

第 1 次执行 $A+B$ 运算的结果与进位保存在寄存器中,(其输出用 $F_3'F_2'F_1'F_0'$ 和 C_4' 来表示),以保证执行+6 运算时,+6 命令'的完整性,否则由于全加器无记忆功能其输出随输入而变化,而造成+6 命令'信号的不稳定。

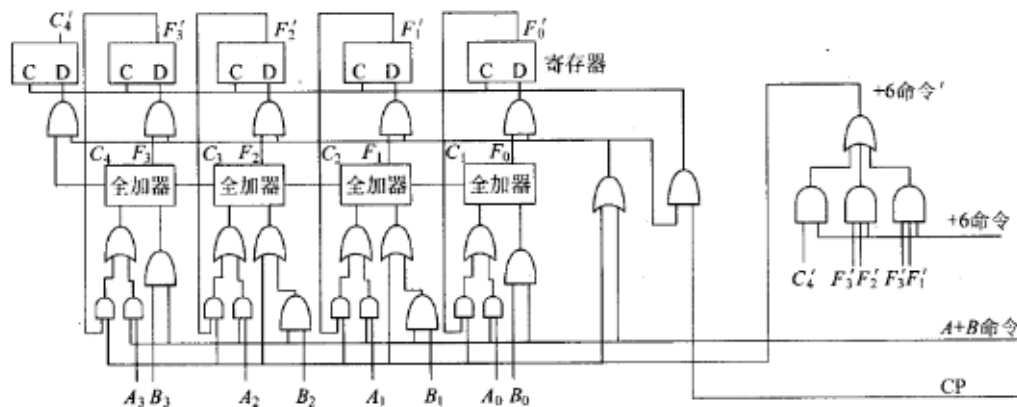


图 2.7 十进制加法器

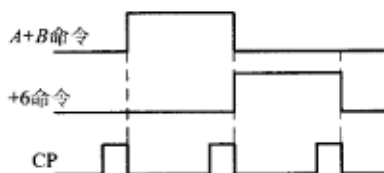


图 2.8 加法器的控制信号

6.把4个触发器中的1个输出送到某一输出线上,可使用4选1多路选择器(与一或门),也可使用三态门,请画出逻辑图,它们对开门信号的要求有什么差别?

答:4选1多路选择器的逻辑图如图2.14所示。选择信号由译码器输出,译码器输入 S_0S_1 的值分别表示选择4路数据中的某1路,如果输入 S_0 和 S_1 之间的信号有延迟,或者译码器内部电路的不一致性,译码器的输出端会产生一些毛刺(尖脉冲),但时间很短,很快会稳定,一般不影响使用,如果需要去除毛刺,可以在译码器上加入译码允许信号 E ,当 E 为高电位时,译码器的4个输出均为低电位。

三态门电路的逻辑图如图2.15所示。译码器的某一输出为低电位时选中三态门。要求三态门的开门信号不能同时有2个或2个以上处于低电平。

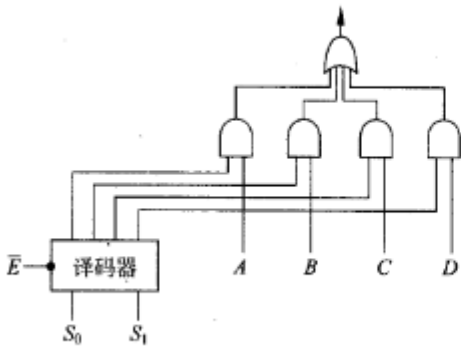


图 2.14 与或门多路选择器

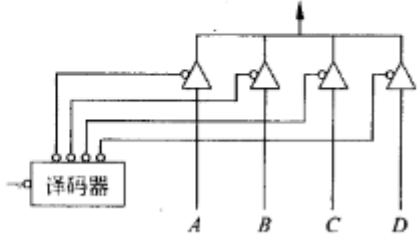


图 2.15 三态门多路选择器

7.

11. 设A为锁存器,B为D触发器,给出输入信号和触发信号关系如图2.16所示,画出输出端波形(设A,B原状态均为0)。

答:输出波形如图2.17所示。

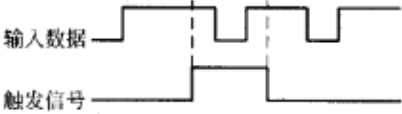


图 2.16 输入数据和触发信号的时序

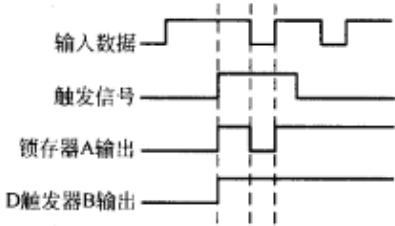


图 2.17 锁存器和D触发器的输出波形

锁存器的特点:当触发信号为高电位时,输出随输入数据而变,当触发信号为低电平时,输出保持不变。

D触发器特点:触发器在触发信号的上升沿时接收输入数据。

8.

15. 用 PLA 和一个 4D 寄存器组成 4 位双向移位寄存器。要求当控制信号 $M=0$ 时, 左移; $M=1$ 时, 右移。左移时, 最低位输入为 D_L , 右移时最高位输入为 D_R 。

答: 4 位双向移位寄存器如图 2.20 所示。

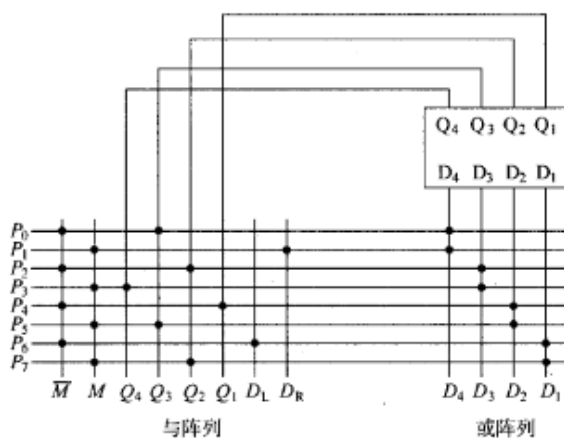


图 2.20 双向移位寄存器

$M=0$, 左移, 即 $Q_4 \leftarrow Q_3 \leftarrow Q_2 \leftarrow Q_1 \leftarrow D_L$ 。

$M=1$, 右移, 即 $D_R \rightarrow Q_4 \rightarrow Q_3 \rightarrow Q_2 \rightarrow Q_1$ 。

因此,

$$D_4 = \overline{M}Q_3 + MD_R = P_0 + P_1$$

$$D_3 = \overline{M}Q_2 + MQ_4 = P_2 + P_3$$

$$D_2 = \overline{M}Q_1 + MQ_3 = P_4 + P_5$$

$$D_1 = \overline{M}D_L + MQ_2 = P_6 + P_7$$

11. 今要生产 10 台计算机样机, 用于试验定型, 预计需根据试验结果修改设计, 然后正式生产, 今有 4 种芯片(门阵列 GA, 宏单元阵列 MA、标准单元阵列 SCA 和可编程序门阵列 PGA)可供选择, 你认为应该选择哪一种芯片来生产样机和正式产品比较合理?

答: 生产样机使用 PGA 较好, 因为 PGA 可通过编程修改设计, 而其他 3 种芯片是半定制或定制芯片, 修改设计需要重新生产, 费用高, 时间长。

正式生产, 且批量大时, 采用 GA、MA 或 SCA 比较合理, 根据集成度、生产条件、生产周期、价格等因素综合考虑后决定采用其中哪~种芯片。

第四章

2. 为什么 DRAM 芯片的地址一般要分两次接收？今有容量为 1GB 的芯片，当其内部结构各为 $1\text{G} \times 1$ 位和 $256\text{M} \times 4$ 位时，其引出端有何不同？

答：当芯片容量增大时，其地址线数量相应增加，分两次接收地址可将地址线的数量减少一半。引出端多，芯片面积大。

$1\text{G} \times 1$ 位的 DRAM，其地址为 30 位，地址线为 $30/2 = 15$ 根，即芯片地址的引出端为 15 个。数据引出端 1 个，当读出时，数据从该端输出，当写入时，数据从该端输入。

$256\text{M} \times 4$ 位的 DRAM，其地址为 28 位，芯片地址引出端为 14 个，数据引出端为 4 个。

3. 对于 SRAM 芯片，如果片选信号始终是有效的。问：

(1) 若读信号有效后，地址仍在变化，或数据线上有其他电路送来的信号，问对读出有什么影响？有什么其他问题？

(2) 若写信号有效后，地址仍在变化，或写入数据仍不稳定，对写入有什么影响？有什么其他问题？

答：(1) 若读信号有效后，地址仍在变化，则输出的数据将受地址而变化，而且输出可能会延迟，因为数据要在地址稳定一定时间后才能正常输出。但不影响芯片中存储的数据。如果数据端有其他电路送来的信号，则发生短路现象，会影响输出信号、甚至损坏芯片。

(2) 若写信号有效后，地址仍在变化，则可能会误写入（地址变化前的无关单元也可能写入数据），也有可能因地址或数据的稳定时间不够而不能对要求的地址写入正确的数据。

4. 图 4.1 是某 SRAM 的写入时序图，其中 $\overline{\text{R/W}}$ 是读写命令控制线，当 $\overline{\text{R/W}}$ 线为低电平时，存储器按给定地址 24A8H 把数据线上的数据写入存储器。请指出该图写入时序中的错误，并画出正确的写入时序图。

答： $\overline{\text{R/W}}$ 命令应往后延，写时地址不允许变化，数据可以在 $\overline{\text{R/W}}$ 命令之前或之后给出，但要注意写入时间是否足够。图 4.2 为正确的写入时序图。

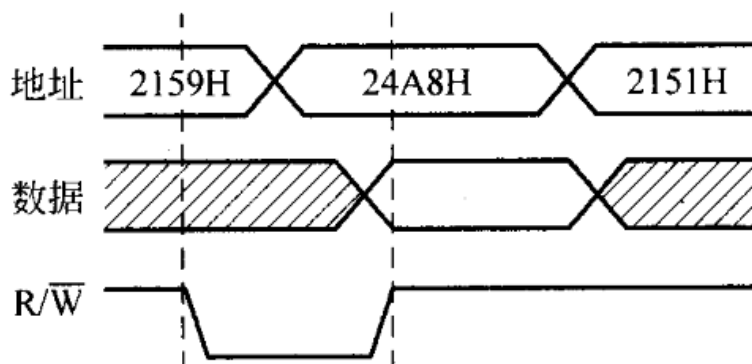


图 4.1 有错误的 SRAM 写入时序图

4. 设有一个 4 体交叉存储器，但使用时经常遇到连续访问同一存储体的情况，会产生怎样的结果？

答：4 体交叉存储器连续访问同一存储体，其作用与单体存储器相似，相邻两次访问的时间间隔等于存储器的存取周期。

5. 有一个 $512\text{K} \times 16$ 位的存储器，由 $64\text{K} \times 1$ 位的 2164RAM 芯片构成（芯片内是 4 个 128×128 结构），问：

(1) 总共需要多少个 RAM 芯片？

(2) 采用分散刷新方式，如单元刷新间隔不超过 2ms，则刷新信号的周期是多少？

(3) 如采用集中刷新方式，设读 / 写周期 $T = 0.1\mu\text{s}$ ，存储器刷新一遍最少用多少时间？

答：(1) 总共需要 $(512/64) \times 16 = 128$ 片。

(2) 由于芯片内部是 4 个 128×128 结构，所以访问 128 个行地址可刷新一遍。

分散刷新的刷新信号周期 $= 2\text{ms}/128 = 15.6\mu\text{s}$ 。

(3) 集中刷新一遍的时间 $= 0.1\mu\text{s} \times 128 = 12.8\mu\text{s}$ 。

7. SRAM 和 DRAM 分别进行位扩展和字扩展时应如何进行连接？

答：SRAM 的位扩展：将各芯片的 CE(或 CS)端连接在一起，相对应的地址线连接在一起（即所有芯片的 A₀ 连接在一起，所有芯片的 A₁ 连接在一起，……），数据线各自连接到数据总线上。

SRAM 的字扩展，相对应的低位地址端连接在一起（地址的长度由芯片的容量决定），高位地址经译码后分别连到各芯片的 CE(或 CS)端，相应位的数据端连接在一起。

DRAM 的连接方法基本上与 SRAM 相同，但因 DRAM 没有 CE 端，而用 RAS 代替。各芯片的 CAS 可连接在一起，因为不来 RAS 时，CAS 不起作用（参见 DRAM 的逻辑框图）。

第五章

1. 某指令系统指令长 16 位，每个操作数的地址码长 6 位，指令分无操作数、单操作数和双操作数三类。若双操作数指令有 K 条，无操作数指令有 L 条，问单操作数指令最多可能有多少条？

答：本指令系统的操作码位数—指令长度—地址码长度— $16-2\times 6=4$ 位。设单操作数指令最多有 N 条，则：

$$\text{无操作数指令数 } L = ((2^4 - K) \times 2^6 - N) \times 2^6$$

$$N = (2^4 - K) \times 2^6 - L/2^6$$

如果 $L/2^6$ 不是整数，则取 $>L/2^6$ 的最小整数。

2. 基址寄存器的内容为 2000H (H 表示十六进制)，变址寄存器内容为 03A0H，指令的地址码部分是 3FH，当前正在执行的指令所在地址为 2BO0H，请求出变址编址（考虑基址）和相对编址两种情况的访存有效地址（即实际地址）。

答：变址编址的有效地址 = (基址寄存器) + (变址寄存器) + 3F = $2000 + 03A0 + 3F = 23DFH$ 。

相对编址 = (PC) + 3F = $2B00 + 3F = 2B3FH$ 。

注：(基址寄存器) 表示基址寄存器的内容。

3. 接上题

(1) 设变址编址用于取数指令，相对编址用于转移指令，存储器内存放的内容如下：

地址	内 容
003FH	2300H
2000H	2400H
203FH	2500H
233FH	2600H
23A0H	2700H
23DFH	2800H
2B00H	063FH

请写出从存储器中所取的数据以及转移地址。

(2) 若采取直接编址；请写出从存储器取出的数据。

答：(1) 从存储器所取的数据 = (23DF) = 2800H。

转移地址为 2B3FH。

(2) 若机内没有基址寄存器，所取数据 = (3F) = 2300H。若机内设有基址寄存器，所取数据的地址 = (基址寄存器) + 3F = 203FH，所取数据 = (203F) = 2500H。

4. 加法指令和逻辑加指令的区别何在？

答：加法指令执行算术运算，并根据运算结果置状态位。逻辑加指令执行逻辑运算，不改变状态位的状态。

假设计算机的状态位 N, Z, V, C 依次为 0001，执行一条算术指令后得运算结果为 10000000，不溢出，有进位，则其状态位应是 1001；如果执行的是逻辑指令，则状态位仍是 0001。

5. 在下列有关计算机指令系统的描述中, 选择出正确答案。对于不正确的描述请解释之。

(1)浮点运算指令对用于科学计算的计算机是很必要的, 可以提高机器的运算速度。

(2)不设置浮点运算指令的计算机, 就不能用于科学计算。

(3)处理大量输入输出数据的计算机, 一定要设置十进制运算指令。

(4)兼容机之间指令系统是相同的, 但硬件的实现方法可以不同。

(5)同一系列中的不同型号计算机, 保持软件向上兼容的特点。

(6)在计算机的指令系统中, 真正必需的指令数是不多的, 其余的指令都是为了提高机器速度和 / 或便于编程而引入的。

答: (1)、(4)、(5)和(6)是正确的, (2)和(3)不正确。对(2)的解释如下: 不设置浮点运算的计算机可以预先编制好浮点运算的子程序(使用定点指令), 运算时调用它即可。对(3)的解释如下: 有大量输入输出数据而处理又比较简单的计算机, 设置十进制运算指令后就不必进行十进制与二进制数据之间的转换操作, 可提高数据的处理速度, 但是如果不设置十进制运算指令, 也可通过程序来解决。

7.假设某 RISC 机寄存器 R_0 的内容恒为 0, 要求用加法指令和减法指令将寄存器 R_2 的内容清除($R_2=0$), 如何实现?

答: 假设加法 / 减法指令为三地址指令, 可用下面任意一条指令将 R_2 的内容清除:

指令	说明
(1) ADD R_0, R_0, R_2	$R_2 \leftarrow (R_0) + (R_0)$
(2) SUB R_2, R_2, R_2	$R_2 \leftarrow (R_2) - (R_2)$
(3) ADD $R_0, \#0, R_2$	$\#0$ 为立即数 0, $R_2 \leftarrow (R_0) + 0$

11.讨论 RISC 和 CISC 在指令系统方面的主要差别。

答: RISC 的指令系统具有下述一些特点(CISC 不具备):

(1)优先选取使用频率最高的一些简单指令, 以及一些很有用但不复杂的指令。避免复杂指令。

(2)指令长度固定, 指令格式种类少, 寻址方式种类少。指令之间各字段的划分比较一致, 各字段的功能也比较规整。

(3)只有取数 / 存数指令(load/store)访问存储器, 其余指令的操作都在寄存器之间进行。

(4)CPU 中通用寄存器数量相当多。算术逻辑运算指令的操作数都在通用寄存器中存取。

第六章

3. CPU 结构如图 6.1 所示, 其中有一个累加寄存器 AC、1 个状态寄存器和其他 4 个寄存器, 各部分之间的连线表示数据通路, 箭头表示信息传送方向。要求:

- (1) 标明图中 a、b、c、d 4 个寄存器的名称。
- (2) 简述指令从主存取到控制器的数据通路。
- (3) 简述数据在运算器和主存之间进行存 / 取访问的数据通路。

答: (1) 已知 AC 为累加器, ALU 为算逻运算部件。其输入的 2 个数来源为(AC)和(a)。运算结果送 AC。主存 M 与 CPU 之间的连线有地址线与数据线, 其中地址线的信息仅从 CPU 传送到主存, 数据则允许双方向传送, 由此可见 a 与 c 分别是主存的数据寄存器 MDR 和地址寄存器 MAR。MDR 和 MAR 一般设置在主存中。在 CPU 中 必须有一个程序计数器 PC 和指令寄存器 IR。PC 送地址到地址寄存器, 并有自动+1 的功能, 因此 d 寄存器为 PC。IR 接收从主存来的指令, 并控制微操作信号发生器, 因此 b 寄存器是 IR。IR 向 PC 传送的是转移地址 (当转移时, IR 的地址码字段存放的是 转移地址)。

(2) 指令地址从 d(PC)送到 c(地址寄存器 MAR), 数据从主存送到 b (指令寄存器 IR)。

(3) 读写地址由 b (IR 的地址段) → c(MAR), 读时数据从主存 → a(MDR) → ALU → AC, 写时数据从 AC → a(MDR) → 主存。

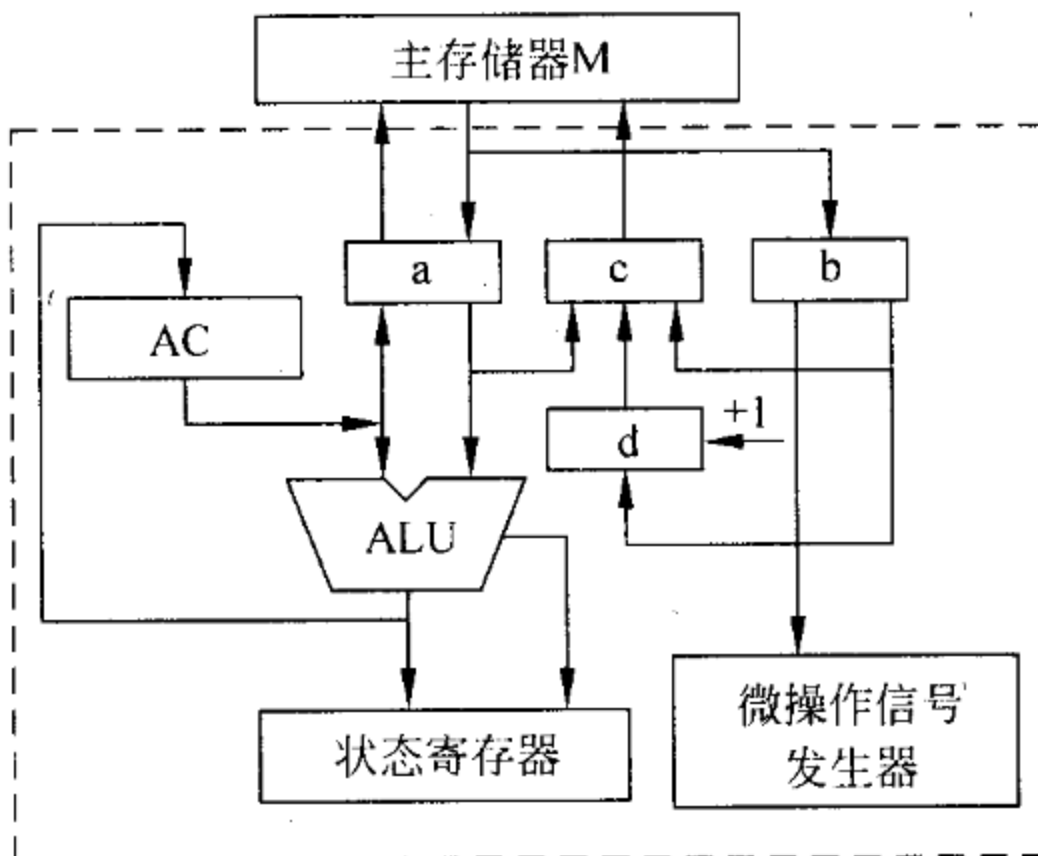
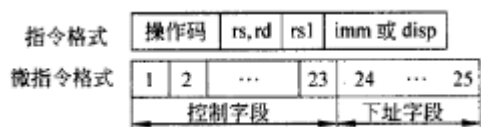


图 6.1 CPU 结构

2. 设某计算机运算控制器逻辑图和控制信号如教材中的图 6.8 和表 6.1 所示（见本章附录）。

已知指令格式和微指令格式如下所示。



其中 1~23 位代表的 1~23 号控制信号见教材表 6.1。

试写出下述 3 条指令的微程序编码（下址字段略）：

(1) JMP(无条件转移到(rs1)+disp)

(2) Load(从(rs1)+disp 指示的内存单元取数，送 rd 保存)

(3) Store(把 rs 内容送到(rs1) +disp 指示的内存单元)

提示：先列出各指令执行步骤和每步所需控制信号，最后再写出编码。

答：每条指令都要执行取指令到指令寄存器的微指令，这是一条公用的微指令。所需的控制信号如下：

- PC→AB(该信号由上一条指令结束前发出)。

- 指令→IR₀：ADS²¹，M/ \overline{IO} ²²，读(W/ \overline{R} =0)²³，主存自动将读出数据送数据总线 DB，DB→IR⁵。以上信号控制完成取指令操作。控制信号右上角的编号即为其在主教材表 6.1 中的序号。

- PC+1³：为顺序执行的下一条指令地址作准备。

所以第一条取指微指令的编码如下：

<1> 0010, 1000, 0000, 0000, 0000, 110

然后由指令译码器(ROM)根据操作码产生下一条微指令的地址。

下面讨论执行各条指令的微程序。

(1) JMP 指令，所需控制信号如下。

- 计算转移地址((rs1) +disp)送 AR：rs1 →GR⁸，(rs1)→ALU¹⁰，disp→ALU⁴，+¹³，ALU→AR¹⁹

- 下一条指令地址送 PC：ALU→PC²

所以 JMP 的微指令为：

<2> 0101, 0001, 0100, 1000, 0010, 0××

(2) LOAD 指令。

- 计算主存地址((rs1)+disp)并送 AR：rs1→GR⁸，(rs1)→ALU¹⁰，disp→ALU⁴，+¹³，ALU→AR¹⁹。

所以第 2 条微指令为：

<2> 0001, 0001, 0100, 1000, 0010, 0××

- 从主存取数：AR→AB²⁰（地址送地址总线），ADS²¹，M/ \overline{IO} ²²读(W/ \overline{R} =0)，DB→DR⁶

（读出数据送数据寄存器）。

所以第 3 条微指令为：

<3> 0000, 0100, 0000, 0000, 0001, 110

- 存储器取出的数据经过 ALU 送 rd：

DR→ALU¹²，rd→GR（地址）⁹，+¹³，ALU→GR¹⁷（数据）

• 下一条指令地址送地址总线: $PC \rightarrow AB^1$

所以第 4 条微指令为:

<4> 1000,0000,1001,1000,1000,0××

(3) store 指令。

• 计算主存地址, 同 Load 指令。

所以第 2 条微指令为:

<2> 0001,0001,0100,1000,0010,0××

• 从 GR 取数到 DR: $rs \rightarrow GR^9$ (地址), $(rs) \rightarrow ALU^{11+13}$ (ALU 输入端仅有 1 个数据, 另一数据为 0), $ALU \rightarrow DR^{18}$ 。

所以第 3 条微指令为:

<3> 0000,0000,1010,1000,0100,0××

• 将数据存入主存: $AR \rightarrow AB^{20}$, $DR \rightarrow DB^7$, ADS^{21} , M/\overline{IO}^{22} , W/\overline{R}^{23}

• $PC \rightarrow AB^1$

所以第 4 条微指令为:

<4> 1000,0010,0000,0000,0001,111

注: ×表示可为任意值, 当 $ADS=0$ 时, 微指令最后两位不起作用。

现将 3 条指令的微程序编码总结如下 (未列出下址部分):

取指 <1>0010,1000,0000,0000,0000,110

JMP <2>0101,0001,0100,1000,0010,0XX

Load <2>0001,0001,0100,1000,0010,0XX

<3>0000,0100,0000,0000,0001,110

<4>1000,0000,1001,1000,1000,0XX

Store <2>0001,0001,0100,1000,0010,0XX

<3>0000,0000,1010,1000,0100,0XX

<4> 1000,0010,0000,0000,0001,111

JMP 指令执行 2 条微指令, Load 和 Store 指令各执行 4 条微指令 (包括取指微指令)。

本题没有考虑指令译码微指令。

15. 设有主频为 16MH. 的微处理器, 平均每条指令的执行时间为两个机器周期, 每个机器周期由两个时钟脉冲组成。

(1)存储器为“O 等待”, 求出机器速度。

(2)假如每两个机器周期中有一个是访存周期, 需插入 1 个时钟周期的等待时间, 求机器速度。“o 等待”表示存储器可在一个机器周期完成读 / 写操作, 因此不需要插入等待时间)

答: (1) 机器速度 = $\frac{\text{主频}}{\text{机器周期} \times \text{时钟脉冲}} = 16 \div (2 \times 2) = 4\text{MIPS}$

(2) 机器速度 = $16 \div (2 + (2 + 1)) = 3.2\text{MIPS}$

16. 从供选择的答案中选出正确答案。

微机 A 和 B 是采用不同主频的 CPU 芯片, 片内逻辑电路完全相同。若 A 机的 CPU 主频为 8MHz, B 机为 12MHz。则 A 机的 CPU 主振周期 125 μs 。如 A 机的平均指令执

行速度为 0.4MIPS, 那么 A 机的平均指令周期为 **/B/** μs , B 机的平均指令执行为回 MIPS。

供选择的答案

A~C:①0.125;②0.25;③0.5;④0.6;⑤1.25;⑥1.6;⑦2.5。

答: A-①, B-⑦, C-④。

A 机主振周期=1/8MHz=0.125 μs

A 机的平均指令周期=1/0.4MIPS=2.5 μs

B 机的平均指令执行速度=0.4MIPS $\times 12 \div 8$ =0.6MIPS

所以答案为: A-①, B-⑦, C-④。

第七章

3. 设某计算机有一个指令和数据合一的 cache，已知 cache 的读写时间为 10ns，主存的读写时间为 100ns，取指的命中率为 98%，数据的命中率为 95%，在执行程序时，约有 1/5 指令需要取一个数据，并假设流水线从不阻塞，问设置 cache 后，与无 cache 比较，计算机的运算速度可提高到多少倍？

答：有 cache 的情况

$$\begin{aligned} & \text{平均访存时间} = \text{平均取指时间} + \text{平均取数时间} \\ & = (10\text{ns} + (1-98\%) \times 100\text{ns}) + (10\text{ns} + (1-95\%) \times 100\text{ns}) / 5 \\ & = 12\text{ns} \sim 3\text{ns} \\ & = 15\text{ns} \end{aligned}$$

无 cache 的情况

$$\begin{aligned} & \text{平均访存时间} = \text{平均取指时间} + \text{平均取数时间} \\ & = 100 \times 1 + 100 \times 1/5 = 120\text{ns} \end{aligned}$$

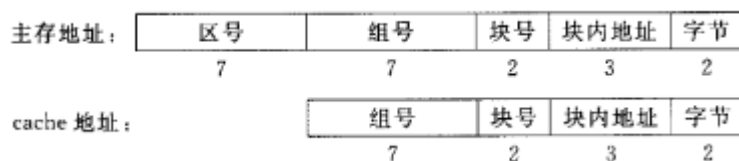
速度提高倍数 = $120\text{ns} / 15\text{ns} = 8$ 倍。

5. 设某计算机的 cache 采用 4 路组相联 cache，已知 cache 容量为 16KB，主存容量为 2MB，每个字块有 8 个字，每个字有 32 位。请回答：

(1) 主存地址多少位（按字节编址），各段如何划分（各需多少位）？

(2) 设 cache 开始为空，CPU 从主存单元 0, 1, ..., 100 依次读出 101 个字（主存为单体，即非交叉存储器，每次读出一个字），并重复按此次序总共读 11 次，问命中率是多少？若 cache 的速度是其不命中时从主存读数速度的 5 倍，问采用 cache 与无 cache 比较速度可提高到多少倍？

答：(1) 主存与 cache 的容量都不考虑扩充。2MB 容量的主存地址为 21 位。16KB 容量的 cache 地址为 14 位，主存地址各段的分配如下：



(2) 第一轮全部不命中，以后 10 次全部命中，所以命中率 = $10/11 = 91\%$ 设 cache 的读出时间为 1，主存的读数时间为 5，则：

均访问时间

$$\text{速度可提高到: } \frac{\text{无cache时的访问时间}}{\text{有cache时的访问时间}} = 11 \times 5 / (10 \times 1 + 1 \times 5) = 55/15 = 3.67 \text{ 倍。略小于}$$

此数，因为不设置 cache 时，访问主存的速度会稍快些，无需询问 cache 是否命中。

6. 设某计算机采用直接映像 cache，已知容量为 4096 字。

(1)若 CPU 依次从主存单元 0, 1, ..., 99 和 4096, 4097, ..., 4195 交替取指令，循环执行 10 次，问命中率为多少？

(2)如 cache 存取时间为 10ns，主存存取时间为 100ns，cache 命中率为 95%，求平均存取时间。

答：(1) cache 容量为 4096 字，其地址从 0~4095。从 0~99 和 4096~4195 轮流取指，每次都不命中，所以命中率为 0。

(2)平均存取时间=10ns+(1-95%)×100ns=10+5=15ns。

7.一个组相联 cache 由 64 个存储块组成，每组包含 4 个存储块，主存包含 8192 个存储块，每块由 32 字组成，4 字节组成 1 字。

(1)求主存地址有多少位？cache 地址有多少位？其地址映像是几路组相联？

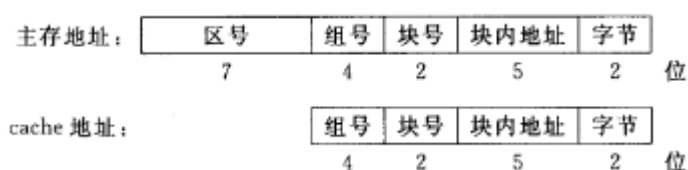
(2)计算主存地址格式中，区号、组号、块号和块内地址字段的位数。

答：(1)主存容量=8192×32×4=2¹³×2⁵×2²=2²⁰字节，主存地址为 20 位。

cache 容量=64×32×4=2⁶×2⁵×2²=2¹³字节，cache 地址为 13 位。

地址映像为 4 路组相联。

(2)主存地址：块号 2 位；组数=64/4=16 组，组号 4 位；组内地址 5 位；字节号 2 位；所以区号=20-4-2-5-2=7 位。



9. 设可供用户使用的主存容量为 100KB，而某用户的程序和数据所占的主存容量超过 100KB，但小于逻辑地址所表示的范围。问具有虚存与不具有虚存对用户有何影响？

答：对于非虚拟存储器，由用户负责分配存储器。对于虚拟存储器，用户可按逻辑地址编程，不必考虑实际的主存容量，所以编程方便得多，但是主存容量小会增加主存与辅存之间交换数据的次数，所以还是会影响解题速度。

10. 主存储器容量为 4MB，虚存容量为 1GB(1×10⁹ B)，虚拟地址和物理地址各为多少位？根据寻址方式计算出来的有效地址是虚拟地址还是物理地址？如果页面大小为 4KB，页表长度是多少？

答：主存容量=4MB=2²²B，虚存容量=1GB=2³⁰B，所以虚拟地址 30 位，物理地址 22 位。

根据寻址方式计算出来的有效地址是虚拟地址。

如果页面大小为 4KB，采用页式管理时，页面的数量=1GB/4KB=2¹⁸，即页表长度为 2¹⁸。

12. 某程序对页面要求的序列为 P3 P4 P2 P6 P4 P3 P7 P4 P3 P6 P3 P4 P8 P4 P6。(1)设主存容量为 3 个页面，求 FIFO 和 LRU 替换算法时各自的命中率（假设开始时主存为空）。(2)当主存容量增加到 4 个页面时，两替换算法各自的命中率又是多少？

答：表 7.10 和表 7.11 分别表示主存为 3 个和 4 个页面时的调页情况，表中每一列表示页面淘汰次序，编号最大者（表 7.10 中的③和表 7.11 中的④）表示将被调出的页面。

(1)主存页面为 3 时的调页情况。

表 7.10 主存页面为 3 时的调页情况

页面请求		3	4	2	6	4	3	7	4	3	6	3	4	8	4	6
LRU	③	3	3	3	4	2	6	4	3	7	4	4	6	3	3	8
	②	/	4	4	2	6	4	3	7	4	3	6	3	4	8	4
	①	/	/	2	6	4	3	7	4	3	6	3	4	8	4	6
	命中	m	m	m	m	h	m	m	h	h	m	h	h	m	h	m
FIFO	③	3	3	3	4	4	2	6	3	3	7	4	4	6	3	8
	②	/	4	4	2	2	6	3	7	7	4	6	6	3	8	4
	①	/	/	2	6	6	3	7	4	4	6	3	3	8	4	6
	命中	m	m	m	m	h	m	m	m	h	m	m	h	m	m	m

注：表中 h 表示命中，m 表示不命中。

采用 LRU 算法的命中率为 $6 \div 15 = 40\%$ ，采用 FIFO 算法的命中率为 $3 \div 15 = 20\%$ 。

(2) 主存页面为 4 时的调页情况。

表 7.11 主存页面为 4 时的调页情况

页面请求		3	4	2	6	4	3	7	4	3	6	3	4	8	4	6
LRU	④	3	3	3	3	3	2	6	6	6	7	7	7	6	6	3
	③	/	4	4	4	2	6	4	3	7	4	4	6	3	3	8
	②	/	/	2	2	6	4	3	7	4	3	6	3	4	8	4
	①	/	/	/	6	4	3	7	4	3	6	3	4	8	4	6
	命中	m	m	m	m	h	h	m	h	h	h	h	h	m	h	h

续表

页面请求		3	4	2	6	4	3	7	4	3	6	3	4	8	4	6
FIFO	④	3	3	3	3	3	3	4	4	2	2	2	6	7	7	3
	③	/	4	4	4	4	4	2	2	6	6	6	7	3	3	4
	②	/	/	2	2	2	2	6	6	7	7	7	3	4	4	8
	①	/	/	/	6	6	6	7	7	3	3	3	4	8	8	6
	命中	m	m	m	m	h	h	m	h	m	h	h	m	m	h	m

采用 LRU 算法的命中率为 $9 \div 15 = 60\%$, 采用 FIFO 算法的命中率为 $6 \div 15 = 40\%$ 。

若按主存页面对应的逻辑页面列表, 则当主存为 3 个页面时的变化情况如表 7.12 所示。

表 7.12 主存页面和对应的逻辑页面分配情况

页面请求			3	4	2	6	4	3	7	4	3	6	3	4	8	4	6
LRU	主存页面	1	3	3	3	6	6	6	7	7	7	6	6	6	8	8	8
		2		4	4	4	4	4	4	4	4	4	4	4	4	4	4
		3			2	2	2	3	3	3	3	3	3	3	3	3	6
	命中	m	m	m	m	h	m	m	h	h	m	h	h	m	h	m	
FIFO	主存页面	1	3*	3	3	6	6	6	6*	4	4	4	4*	4	8	8	8*
		2		4	4	4*	4	3	3	3*	3	6	6	6	6*	4	4
		3			2	2	2	2*	7	7	7	7*	3	3	3	3*	6
	命中	m	m	m	m	h	m	m	m	h	m	m	h	m	m	m	

LRU 的命中率 $= 6/15 = 40\%$, 最后在主存中的页面为 8、4、6。

FIFO 的命中率 $= 3/15 = 20\%$, 最后在主存中的页面为 8、4、6。

其结果与表 7.10 的结论相同。

主存页面为 4 时的情况类似。

表中带*号的页面为在采用 FIFO 算法的存储器 3 个页面中, 最早调入的页面, 也就是即将被淘汰的页面。

第八章

1. 设写入代码为 110101001，试画出 RZ, NRZ, NRZI, PM, FM, MFM 的写电流波形。

答：各记录方式写电流波形如图 8.4 所示。

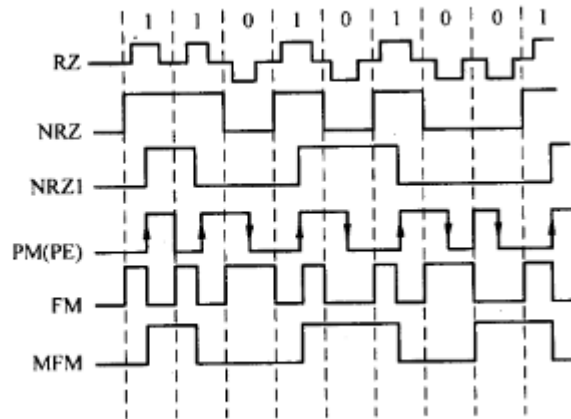


图 8.4 各种记录方式的写电流波形

6. 某软盘盘面有 80 个磁道，每磁道 15 扇区，每扇区存储 512B。已知磁盘的转速为 360r/min，今在一个磁道上写入 4096B 数据，平均需要多少时间？最长时间是多少？(假设找道时间为 10~40ms)。

答：磁盘转速 = 360r/min = 6r/s，转一圈的时间 = 1/6s。4096B 数据所占的扇区数 = 4096/512 = 8。

$$\begin{aligned} \text{写入的平均时间} &= \text{平均找道时间} + \text{平均等待时间} + \text{传输数据时间} \\ &= (10+40)/2\text{ms} + (1/2) \times (1/6)\text{s} + (8/15) \times (1/6)\text{s} \\ &= 25\text{ms} + 83\text{ms} + 89\text{ms} = 197\text{ms} \end{aligned}$$

$$\begin{aligned} \text{写入的最长时间} &= 40\text{ms} + 1/6\text{s} + 89\text{ms} \\ &= 40 + 167 + 89 = 296\text{ms} \end{aligned}$$

7. 一磁带机有 9 个磁道，带长 700m，带速 2m/s，每个数据块 1KB，块间间隔 14mm。若数据传输率为 128KB/s，试求：

(1) 记录位密度。

(2) 若带首尾各空 2m，求此带最大有效存储容量。

答：(1) 带速 2m/s，传输率为 128KB/s，位密度 = 128KB ÷ 2m = 64KB/m = 64B/mm，1 个磁道的位密度 = (64B/mm) ÷ 8 = 8B/mm。

(2) 有效存储长度 = 700 - 2 × 2 = 696m。

$$\begin{aligned} \text{每个数据块长度} &= \text{数据长度} + \text{块间间隔} = 1\text{KB} \div 64\text{b/mm} + 14\text{mm} \\ &= 16\text{mm} + 14\text{mm} = 30\text{mm} \end{aligned}$$

$$\begin{aligned} \text{磁带最大存储容量} &= \text{块数} \times \text{每块容量} = 696\text{m} \div 30\text{mm} \times 1\text{KB} \\ &= 23.2\text{MB} \end{aligned}$$

说明：9 个磁道中有 8 个磁道存储 1 字节数据，1 个磁道为该字节的奇偶校验位，9 个磁

道并行读出。每个数据块 1KB，所以在每一磁道上存储的是 1Kb。数据传输率是指整个磁带的传输率，对每一磁道而言，其传输率是 128Kb/s。

9. 填空题(题中(1)~(4)中的 A、B、C 和 D 是各不相同的)

(1) 一个完整的磁盘存储器由【A】三部分组成。其中【B】又称磁盘机是独立于主机的一个完整设备，【C】通常是插在主机总线插槽中的一块电路板，【D】是存储信息的介质。

(2) 驱动器的定位驱动系统实现【A】；主轴系统的作用是【B】；数据控制系统的作用是控制数据的写入和读出，包括【C】等。

(3) 磁盘控制器有两个方向的接口，一是与【A】的接口，与主机总线打交道，控制辅存与主机之间交换数据；另一个方向是与【B】的接口，根据主机命令控制磁盘驱动器操作。

(4) 光盘的读写头即光学头比硬盘的磁头【A】，光盘的定位速度回，即找道时间图，光盘写入时盘片需旋转 3 圈，以分别实现【D】，故光盘的速度【E】硬盘。

答：(1) A-驱动器、磁盘控制器和盘片，B-驱动器，C-磁盘控制器，D-盘片 如果驱动器中包括盘片，则磁盘存储器由驱动器和磁盘控制器两部分组成。

(2) A-快速精确的磁头定位，B-带动盘片按额定转速稳定地旋转，C-寻址操作（寻道和旋转等待）、磁头选择（当有多个盘片时选择盘面）、写电流控制（根据写入数据和记录方式产生写入电流）、读出放大（磁头读出线圈中读出的电压甚小，必须进行放大）、数据与同步信号的分离（读出的信号中包括数据与同步信号时）。

(3) A-主机，B-驱动器

与主机的接口中包括程序中断控制和直接存储器存取(DMA)控制部分，主机与磁盘之间的数据传送是由 DMA 控制部分直接进行控制的。

(4) A-大且重，B-低，C-长，D-擦除、写入和检验，E-低于

10. 光磁软盘与磁光盘有何本质不同？

答：光磁软盘是采用激光伺服定位的软磁盘。

磁光盘是利用激光在磁性薄膜上产生热磁效应而存储信息的可擦写光盘。

根据磁记录原理可以知道，在一定温度下如果在磁记录介质的表面上加一个强度低于该介质矫顽力的磁场，则不会发生磁通翻转，也就不能记录信息。但介质的矫顽力可随温度而变，假如我们能设法控制温度，降低介质的矫顽力，使其低于外加弱磁场强度，则将发生磁通翻转。磁光存储就是根据这一原理存储信息的。它利用激光照射磁性薄膜，被照射处温度上升，矫顽力下降，在外加磁场 H_R 的作用下发生磁通翻转，使该处的磁化方向与外加磁场 H_R 一致。

12. 什么是固态盘？

答：采用半导体存储介质和磁盘接口的存储器称为固态盘(solid state disk, SSD)，SSD 的存储介质可以是 DRAM 或 NVRAM(非易失性随机存储器，例如闪存)。

DRAM 的缺点是断电时会丢失所存信息，因此需要在固体盘中安装电池，而且数据丢失后不能再恢复。磁盘上的数据虽然也可能丢失，但通过专业的数据恢复公司大多能挽救回来。当采用闪存作为存储介质时，无需电源即可保存信息，提高了可靠性和可用性。

第九章

1. 从供选择的答案中选出正确答案填入【】中。

显示器的控制逻辑和存储逻辑一般都在【A】中。终端是由【B】组成的一套独立完整的【C】设备。它能够完成显示控制与存储，键盘管理及通信控制等功能，还可完成简单的编辑操作。

供选择的答案：

A：①主机内部；②显示器内部；③主机与显示器的接口板中。

B：①显示器和控制逻辑；②键盘和显示器；③键盘和控制逻辑。

C：①输入；②输出；③输入输出。

答：A-③，B-②，C-③

终端是由键盘和显示器组成的输入输出设备，其中键盘是输入设备，显示器是输出设备。

9.2. 解释下述与显示器有关的概念：图形，图像，分辨率，灰度级，刷新，刷新频率，帧存储器，视频随机存储器，显示存储器，光栅扫描，随机扫描。

答：(1)图形是指用计算机表示现实世界的各种事物，并且形象逼真地加以显示。如动画设计、花布图案设计、地图的显示等平面图，飞机、汽车、建筑物的造型设计等立体图。需要有深浅和颜色。它所用的技术包括点、线、面、体等平面和立体图的表示和生成。同时，由于要在平面上显示立体图，还要研究阴影的产生，隐藏线、隐藏面的消除技术以及光照方向与颜色的模拟等技术。

(2)图像 数字图像处理所处理的对象多半来自客观世界，例如由摄像机摄取下来存入计算机的数字图像（遥感图像、医用图像等）。可能充满噪音，图像很不清晰。由于摄取的位置随机，图像可能发生畸变。图像处理的任务是去除噪音，恢复原形，使图像清晰。

在显示屏幕上，图形和图像都是由称作像素的光点组成的。数字图像是逐点存储的，所以需要占用的主存空间很大。在计算机中表示图形，只需存储绘图命令和坐标点，没有必要存储每个像素点。例如，用两点式表示一条直线 $L(x_0, y_0; x_1, y_1)$ ，计算机中只存储这两个坐标，坐标点到图形像素点的转换由计算机或显示设备自动完成。

(3)分辨率和灰度级 分辨率(resolution)指的是显示设备所能表示的像素个数。像素越密，分辨率越高，图像越清晰。分辨率取决于荧光粉的粒度，屏的尺寸和电子束的聚焦能力。

例如 16 英寸分辨率为 1024×768 的显示器表示其水平方向有 1024 个像素点，垂直方向有 768 个像素点。

灰度级(gray level)指的是所显示像素点的亮暗差别，在彩色显示器中则表现为颜色的不同。灰度级越多，图像层次越清楚逼真。如果用 8 位表示一个像素，则可表示 $2^8 = 256$ 级灰度或颜色，存储 1024×768 分辨率显示器 1 幅图像的容量为 $1024 \times 768 \times 8$ 位。字符显示器只用“0”，“1”两级灰度就可以表示字符的有无，这种只有两级灰度的显示器称为单色显示器或黑白显示器。具有多种颜色的显示器称为彩色显示器，具有多种灰度级的黑白显示器称为多灰度级黑白显示器。

(4)刷新和刷新频率 CRT 器件的发光是由电子束射在荧光粉上引起的。电子束扫过之后，其发光亮度只能维持短暂一瞬（大约几十毫秒）便消失。为了使人眼能看到稳定的图像，就必须在图像消失之前使电子束不断地重复扫描整个屏幕。这个过程叫做刷新(refresh)。每秒

刷新的次数称刷新频率或扫描频率。结合人的视觉生理，刷新频率应大于 30 次 / 秒，人眼才不会感到闪烁。显示设备中通常选用电视中的标准，每秒刷新 50 帧(frame)图像。

(5)帧存储器和视频随机存储器(VRAM) 为了不断提供刷新图像的信号，必须把图像存储起来，存储图像的存储器叫“帧存储器”或“视频存储器”(VRAM) (电视不用帧存储器也可以看到图像，是因为电视接收机不断接收从天线来的信号)。帧存储器的容量由图像分辨率和灰度级决定，分辨率为 1024×1024 ，256 级灰度的图像，存储容量为 $1024 \times 1024 \times 8 \text{ bit} = 1\text{MB}$ 。帧存储器的存取周期必须满足刷新频率的要求。 VRAM 的设计考虑了图形数据存取的特点，在 VRAM 芯片中实现了移位功能，双端口 VRAM 能同时读、写图形数据，性能比一般 DRAM 好，但价格贵。

(6)显示存储器早朝的显示图形适配器只起到 CPU 与显示器之间的接口作用，如今的适配器还起到处理图形 / 图像数据，加速显示等作用，在适配器中的存储器称为显示存储器。

(7)光栅扫描和随机扫描 电子束在荧光屏上按某种轨迹运动称为扫描。随机扫描是控制电子束在需要作图或显示字符的地方扫描，而不必扫描整个屏幕。光栅扫描是电视中采用的方法，要求电子束扫过整个屏幕，采用从上至下顺序扫描的方法，有逐行扫描和隔行扫描两种方式。在计算机的显示器中广泛采用光栅扫描。

10.从供选择的答案中，选出正确答案填入【】中：

几种打印机（串行点阵针式打印机、行式点阵打印机、激光打印机、喷墨打印机）的特点可归纳如下：串行点阵针式打印机是按【A】打印的，打印速度【B】；喷墨打印机是按【C】打印的，速度【D】；激光打印机是按【E】打印的，速度【F】。行式点阵针式打印机是按【G】打印的，速度【H】。

所有打印机的打印都受到打印字符的点阵的控制。打印字符的点阵信息在点阵针式打印中控制打印针【I】，在激光打印机中控制激光束的【J】。

供选择的答案：

A, C, E, G: ①字符；②行；③页。

B, D, F, H: ①最快；②最慢；③较快；④中等。

I, J: ①运动方向；②有无；③是否动作。

答：A-①,B-②,C-①,D-④,E-③,F-③,G-②,H-③, I-③, J-②

第十章

1. 填空

(1). 从供选择的答案中, 选出正确答案填入【】中。

计算机系统的输入输出接口是【A】之间的交接界面。主机一侧通常是标准的【B】。一般这个接口就是各种【C】。

供选择的答案:

A: ①存储器与 CPU; ②主机与外围设备; ③存储器与外围设备。

B: ①内部总线; ②外部总线; ③系统总线。

C: ①设备控制器; ②总线适配器。

答: A-②和③, B-③, C-①。

(2) 从供选择答案中, 选出正确答案填入【】中。

中断处理过程中保存现场的工作是【A】的。保存现场中最基本的工作是保存断点和当前状态, 其他工作是保存当前寄存器的内容等。后者与具体的中断处理有关, 常在【B】用【C】实现, 前者常在【D】用【E】完成。

设 CPU 中有 16 个通用寄存器, 某中断处理程序运行时仅用到其中的 2 个, 则进入该处理程序前要把这【F】个寄存器内容保存到内存中去。

若某机器在响应中断时, 由硬件将 PC 保存到主存 00001 单元中, 而该机允许多重中断, 则进入中断程序后, 【G】将此单元的内容转存到其他单元中。

供选择的答案:

A: ①必需的; ②可有可无的。

B, D: ①中断发生前; ②响应中断前; ③具体的中断服务程序执行时; ④响应中断时。

C, E: ①硬件; ②软件。

F: ①16; ②2。

G: ①不必; ②必须。

答: A-①, B-③, C-②, D-④, E-①, F-②, G-②。

(3) 从供选择的答案中, 选出正确答案, 填入[]中。

设置中断触发器保存外设提出的中断请求, 是因为【A】和【B】。后者也是中断分级、中断排队、中断屏蔽、中断禁止与允许、多重中断等概念提出的缘由。

供选择的答案:

A, B: ①中断不需要立即处理; ②中断设备与 CPU 不同步; ③CPU 无法对发生的中断请求立即进行处理; ④可能有多个中断同时发生。

答: A-③, B-④。

2. 程序中断设备接口由哪些逻辑电路组成? 各逻辑电路的作用是什么?

答: 一般由下列逻辑电路组成:

(1) 设备码寄存器和设备选中电路 当 CPU 需使用某外设时, 通过 I/O 指令或其他访问 I/O 设备地址的指令, 将设备码通过地址线送往所有外围设备接口, 但仅仅具有该设备号的设备才产生选中信号。于是, 该外围设备及其接口才能响应主机的控制并进行数据传送。

(2) 中断请求触发器设备向 CPU 申请中断时, 将该触发器置“1”, CPU 响应中断后

将其置“0”。每一个设备有一个中断请求触发器。

(3)中断排队电路 当有多个中断源时，根据各个设备的优先级，选出请求中断的各个中断源中优先级最高的设备。

(4)中断屏蔽触发器（或寄存器） 每一个设备分配有 1 个屏蔽触发器，当该触发器为“1”时，屏蔽该设备的中断请求，中断屏蔽触发器的状态是由程序设置的，因此可以利用程序改变设备的优先级。所有设备的中断屏蔽触发器集中在一起，组成中断屏蔽寄存器。

(5)中断类型码寄存器（中断向量） 设备接收到 CPU 发出的“响应中断”信号后，由设备送出中断类型码（中断向量），从而得到中断服务，程序的入口地址。也可以用设备码来代替中断类型码。

(6)数据寄存器存放设备与 CPU 之间传送的数据。

6.从供选择的答案中选出正确答案填入【】中。

某行式打印机打印速度为每分钟 760 行，每行 132 字节。打印机经异步串行口与主机相连。设传送效率为 0.8，但在传输前将数据进行压缩处理，使得传送效率提高一倍。串口的波特率应选择【A】。若打印机以中断方式与 CPU 传输数据，则在接口应有【B】逻辑电路。

供选择的答案：

A:①2400b/s,②4800b/s,③9600b/s.

B: ①串一并转换, ②并一串转换。

答：A——③，串行传输率—警字 $\times 132B \div 0.8 \div 2 = 1045B/s = 8360b/s$ ，所以选择③。

B-②，CPU 将数据并行传送到打印机控制器（接口），转换成串行数据送打印机，所以接口中有并一串转换逻辑电路。

12. 今有一磁盘存储器，磁盘转速为 3000r/min，分 8 个扇区，每扇区存储 1KB，主存与磁盘之间每次传送 1 个字，字长 16 位。

(1)描述从磁盘处于静止状态开始，到将主存中的 2KB 数据传送到磁盘的全过程。

(2)假如 CPU 执行一条指令的最长时间为 30 μs ，是否可采用 CPU 在指令结束时响应 DMA 请求的方案？如果不行，应采用怎样的方案？

答：(1)数据传送过程

①主程序应先启动磁盘驱动器，然后继续执行主程序。

②磁盘转速正常后，接口向 CPU 发中断请求。CPU 响应后，由中断服务程序向接口发送设备地址，主存初始地址，传送字数（2KB- 1K 字）等，然后返回主程序继续工作。

③磁头找道，并等待磁盘转到访问的扇区后，通过接口向 CPU 发 DMA 请求，传送数据，因为传送 1K 字，所以总共发出 1K 个 DMA 请求。

④传送数据结束，接口向 CPU 发中断请求，CPU 响应中断后，由中断服务程序判断是继续传送还是停止传送，在这里应该是停止磁盘工作。

(2)转速=3000r/min=50r/s，转一圈的时间=1/50s=20ms，每一磁道的存储容量=8KB=4K 字。

磁盘写入 1 个字的时间= $\frac{\text{转1圈的时间}}{\text{磁道存储量}} = 20ms/4K = 5 \mu s$ ，由于 CPU 执行一条指令的

最长时间为 30 μs ，如果要待指令结束后响应 DMA 请求，则有可能产生错误。解决办法是让 CPU 在每个机器周期都能响应 DMA 请求。

20.简单介绍 DAS、SAN 和 NAS 三种存储体系结构。

答：1. DAS（direct attached storage，直接连接存储器）是存储设备通过 IDE、SCSI 等 I/O 总线直接连接到计算机总线上的一种存储结构，计算机可以直接访问存储设备。

由于网络的发展，促成了网络存储结构(SAN 和 NAS)的出现。

2. SAN（storage area network，存储区域网络）是以数据块为传输单位的存储网络，是图 10.7 一个典型的 SAN 连接结构建立在 FC(fibre channel)技术上，使用专用的通道交换机通过光纤将存储设备连接在一起，建立一个能够进行高速数据存储的专用存储网络如图 10.7 所示。由于 SAN 的存储设备是用专用网络相连的，是与 LAN 分开的，与共享带宽的网络相比，具有更高的数据传输率。



图 10.7 一个典型的 SAN 连接结构

根据存储网络所采用的传输协议以及传输介质的不同，SAN 有很多种实现方式，目前比较流行的是 FC-SAN 和 IP-SAN。FC-SAN 通过 FCP(fibre channel protocol)协议传输 SCSI 命令和数据，由于光纤通道的远距连接能力以及高速的传输能力，使得 FC-SAN 获得极好的性能，但是由于光纤网络的价格较高以及需要培训专业人员等因素影响，使得 FC-SAN 局限在大型计算机系统中使用。

IP-SAN 是采用 iSCSI 协议构架在 IP 网络上的 SAN，iSCSI 协议通过 IP 协议来封装 SCSI 命令，并在 IP 网络上传输 SCSI 命令和数据。与 FC-SAN 不同的是，在 FC-SAN 结构中，服务器的消息传送使用的是前端局域网，而数据传输在后端的存储网络中进行，而 IP-SAN 存储系统使用 IP 网络进行消息传递和数据传输。因此 IP-SAN 可充分利用目前普遍使用的 IP 网络基础设施，因而建设费用便宜。另外 IP-SAN 的数据传输路径和 FC-SAN 的传输路径相比，只是光纤通道卡和 FCP 协议变为 iSCSI 卡和 iSCSI 协议，其他完全相同。

3. NAS（network attached storage，网络附加存储）是以文件为传输单位的存储网络，按照 TCP/IP 协议进行数据传输，一个典型的 NAS 结构如图 10.8 所示。其中 NAS 服务器包括处理器、文件服务管理模块和多个存储设备（例如硬盘驱动器等），NAS 服务器可以看成专门用来在网络上提供文件服务的服务器。

图 10.8-个典型的 NAS 连接结构



图 10.8 一个典型的 NAS 连接结构