

计算机组成原理

-实验2: 时序逻辑与状态机

陈刚，教授
人工智能与无人系统研究所
计算机学院
中山大学



中山大學

SUN YAT-SEN UNIVERSITY

数据科学与计算机学院

School of Data and Computer Science

实验目的

- 熟悉使用Xilinx vivado软件
 - 熟悉流程
 - 仿真流程
- 掌握时序逻辑基本概念
- 熟练掌握状态机设计与使用

实验内容1

- 使用FSM有限状态机进行序列检测
- 使用状态机检测“1011”，串行输入的测试序列为“1110110110111011”，输出信号为valid有效信号，检测到时输出高，否则为低，考虑序列叠加情况，比如“1011011”，则有两个“1011”，这需要输出两个valid有效信号

实验要求

- 给出完整的设计：状态机转移图，状态机实现代码
- 给出完整的测试仿真程序：TestBench代码
- 验收仿真代码
- 提交完整的实验报告

Questions?

Comments?

Discussion?