

Rockchip平台以太网硬件 调试基础

深圳硬件中心 刘楚鸿
2019.07.18



◆ RK平台以太网常用接口

- MII接口：实现百兆以太网功能，可以接PHY或MAC；
- RMII接口：实现百兆以太网功能，可以接PHY或MAC；
- RGMII接口：实现千兆以太网功能，可以接PHY或MAC；
- USB接口:板载案例不多，多应用于USB 网卡接USB口扩展以太网，后面不做过多介绍；
- Embed FEPHY接口：外部接变压器及RJ45座子就能实现百兆以太网功能；

SoC	MII	RMII	RGMII	SoC 内置 PHY	MAC 数目
RK2918	√	√			
RK2908	√	√			
RK3066		√			
RK3188		√			
RK3288		√	√		
RK3368		√	√		
RK3036		√			
RK3128		√	√		
RK322x		√	√	√	
RK3366		√	√		
RK3399		√	√		
RK3328 RK3228H		√	√	√	2

RMII接口介绍

什么是RMII

- MII即媒体独立接口，RMII接口（Reduced MII接口）是简化的MII接口。它分为MAC模式和PHY模式。RMII口和MII口的区别在于RMII口是用2根线来传输数据，MII口是用4根线来传输数据，MII/RMII只是一种接口，对于10M线速，MII的时钟是2.5M，RMII则是5M；对于100M线速，MII的时钟是25M，RMII则是50M。MII/RMII用于传输以太网包，在MII/RMII接口是4/2bit的，在以太网的PHY里需要做串并转换、编解码等才能在双绞线和光纤上进行传输，其帧格式遵循IEEE 802.3(10M)/IEEE 802.3u(100M)/IEEE 802.1q(VLAN)。以太网帧的格式为：前导符+开始位+目的mac地址+源mac地址+类型/长度+数据+padding(optional)+32bitCRC，如果有vlan，则要在类型/长度后面加上2个字节的vlan tag，其中12bit来表示vlan id，另外4bit表示数据的优先级。

RMII接口信号定义

- RMII接口接收、发送和控制的同步参考时钟REF_CLK是由外部时钟源提供的50MHz信号。RK平台可以是由PHY提供或由内部PLL分频提供（**RK3288不建议使用内部PLL分频的方案**）。由于数据接收时钟是由外部提供而不是由载波信号提取的，所以在物理层芯片内的数据接收部分要设计一个FIFO，用来协调两个不同的时钟，在发送接收的数据时提供缓冲。物理层芯片的发送部分则不需要一个FIFO，它直接将接收到的数据发送出去就可以了。CRS_DV是MII中的RXDV和CRS(Carrier_Sense)两个信号合并而成，当介质不空闲时CRS_DV以和REF_CLK相异步的方式给出。当CRS比RX_DV早结束时(即载波消失而队列中还有数据要传输时)，就会出现CRS_DV在半位元组的边界以25MHz(在100MHz模式下)或2.5MHz(在10MHz模式下)的频率在0、1之间来回切换。因此，MAC能够从CRS_DV中精确的恢复出RX_DV和CRS

RMII总线RK平台连接示意简图

RMII				
RK平台端信号定义	PHY端信号定义	连接方式	功能说明（以RK平台端进行说明）	备注
MAC_CLK	详见备注	串接22ohm电阻连接	参考时钟	<p>input模式：参考时钟RK平台端为接收端，PHY需要25M晶体，且有专门的输出PIN提供50M时钟给MAC端，PHY有相应的配置管脚需要上下拉来配置模式，详见PHY datasheet;</p> <p>output模式：参考时钟由RK平台端提供，PHY为接收端，信号多为从晶体的XIN脚输入，PHY不需要外部晶体，同时要修改PHY的时钟方向配置电阻（有的PHY是专用IO，有的是晶体XOUT接地）；</p> <p>参考时钟的input与output是相对RK平台端而言与dts相对应，并非是相对PHY而言，注意概念。</p>
TXD[1:0]	TXD[1:0]	串接22ohm电阻连接	数据发送	<p>注意：若是对接MAC(多为Switch芯片),则RK端的TX要接MAC端的RX；RK端的RX要接对端的TX，需要交叉连接。</p>
TXEN	TXEN	串接22ohm电阻连接	数据发送使能	
RXD[1:0]	RXD[1:0]	串接22ohm电阻连接	数据接收	
RXER	RXER	串接22ohm电阻连接	数据接收错误指示	<p>需要注意一下接法，VMAC主控端接CSR_VALID，GMAC接RXDV而不是MAC_CRS。</p> <p>规范要求MDC_CLK不能超过2.5M，如MDC频率过高，会导致MAC读写PHY出错，从而以太网出现异常。</p>
RXDV	CRS/CRSDV	串接22ohm电阻连接	物理层到MAC层的状态指示	
MDC	MDC	串接22ohm电阻连接	管理接口时钟	
MDIO	MDIO	串接22ohm电阻连接	管理接口数据（双向）	

- 若是测量到MDC_CLK有超过2.5M，则可以通过redmin系统提交，向我司索取修正补丁“fix_mdc_clock_2.5M.txt”
- RK3288平台不建议用output时钟方案，因分频方案限制，用内部时钟以太网不够稳定。

控制器信息对照表

SoC	控制器	Kernel 版本
RK2918	VMAC	2.6.x
RK2908	VMAC	2.6.x
RK3066	VMAC	3.0.36
RK3188	VMAC	3.0.36
RK3288	GMAC	3.10
RK3368	GMAC	3.10
RK3036	VMAC	3.10
RK3128	GMAC	3.10
RK322x	GMAC	3.10
RK3366	GMAC	4.4
RK3399	GMAC	4.4
RK3328 RK3228H	GMAC	3.10

百兆以太网常见问题排查

以太网能通，也能拿到IP地址，但是上网很慢丢包

- 拿掉参考时钟所串的电阻，上电分别量电阻两端是不是都有50M时钟，即软件dts虽然有配为input方案，但实际上RK平台端还有50M输出，这个问题是由软件配置不全面引起的。如下图所示（以PX30为例），RK平台端参考时钟可以由内部PLL分频所得（output），也可以由PHY输入（input），dts中的input/output要生效，需要软件配置相应的寄存器。

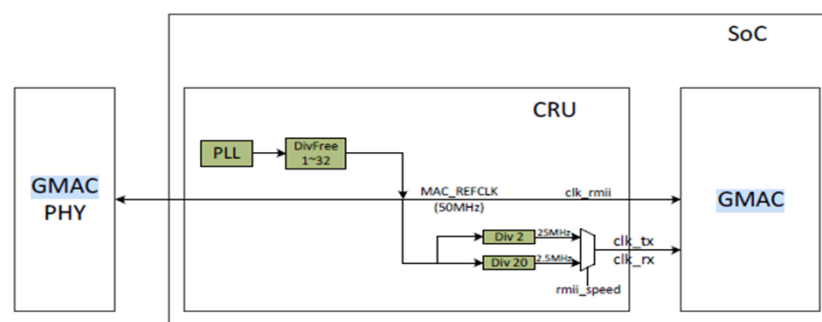


Fig. 12-13 RMII clock architecture when clock source from CRU

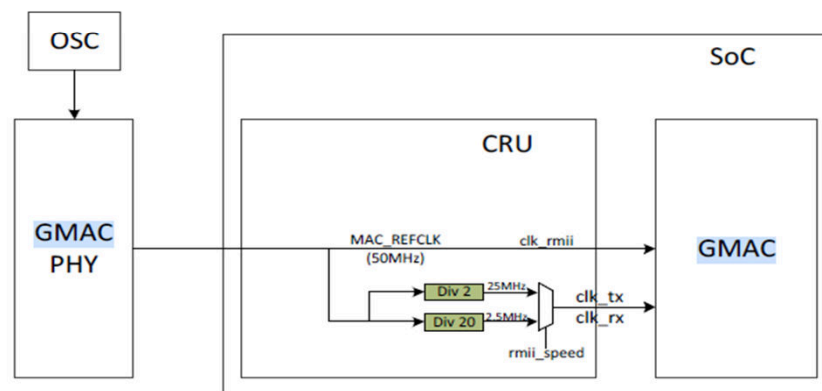


Fig. 12-14 RMII clock architecture when clock source from external OSC

那么我们怎么确认时钟方案配置是否正确呢，通过上页截图我们已知其配置寄存器为CRU_CLKSEL_CON23,我们先通过TRM手册查询到PX30 Address Mapping，得到CRU的基地址为FF2B0000，然后再查到CRU_CLKSEL_CON23 对应的偏移地址为0x015c，通过串口或adb用io命令读出即可，命令为“io -4 0xff2b015c”，再由返回的值核对BIT6的状态就一目了然了，其它型号的主控也是类似，查询到TRM手册相关章节，通过IO命令读出即可。

Addr	IP
	CRU
FF2B0000	32K
CRU_CLKSEL_CON23	0x015c
W	0x00000581
	Clock select and divide register23

CRU_CLKSEL_CON23

Address: Operational Base + offset (0x015c)

Bit	Attr	Reset Value	Description
31:16	WO	0x0000	write_mask When every bit HIGH, enable the writing corresponding bit; when every bit LOW, don't care the writing corresponding bit
15	RW	0x0	aclk_hclk_pclk_bus_pll_sel 1'b0:GPLL 1'b1:CPLL
14:13	RO	0x0	reserved
12:8	RW	0x05	aclk_bus_div_con aclk_bus=pll_clk_src/(div_con+1)
7	RW	0x1	rmii_clk_sel 1'b0:10M 1'b1:100M
6	RW	0x0	rmii_extclsrc_sel 1'b0:select clk_gmac as clk_gmac 1'b1:select external phy clock as clk_gmac
5:4	RO	0x0	reserved
3:0	RW	0x1	pclk_gmac_div_con pclk_gmac=aclk_peri/(div_con+1)

如排除了时钟方案设置的问题，还有丢包存在，再排查一下PHY端相应配置，各PHY不尽相同，此处不作过多描述，具体的案列对照对应的PHY Datasheet去排查。

PHY的25M晶体频偏也需要确认，频偏过大也会丢包，需调整负载电容，校正频偏，建议控制在25M +/-10ppm内。

RMII总线布线是否有与大电流的电源平面平行布线？与电源平面平行布线会受到电源纹波以及负载变化所产生的电磁场影响。

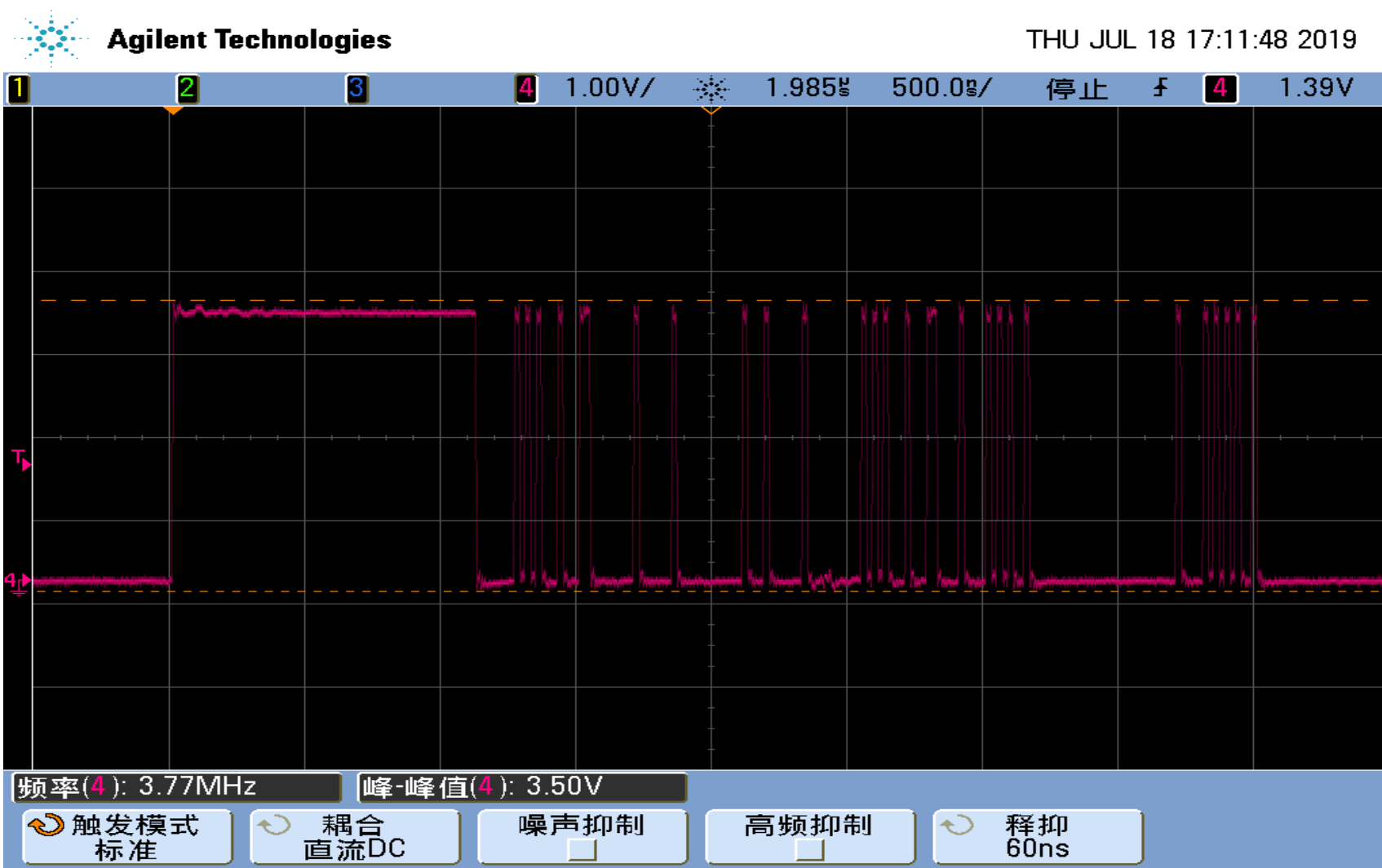
PHY挂载正常，但是网口不通，拿不到IP地址

连上串口或adb 输入busybox ifconfig或ifconfig，初步判断一下问题

```
/ # ifconfig
ifconfig
eth0      Link encap:Ethernet  HWaddr 12:CD:73:54:29:05
          UP BROADCAST MULTICAST  MTU:1500  Metric:1
          RX packets:0 errors:0 dropped:0 overruns:0 frame:0
          TX packets:1 errors:0 dropped:0 overruns:0 carrier:0
          collisions:0 txqueuelen:1000
          RX bytes:0 (0.0 B)  TX bytes:342 (342.0 B)
          Interrupt:26
```

- 如上图，命令下了以后返回值如是RX方向packets为0或包较少，先将示波器设为触发模式，然后在插网线瞬间观察RXD以及RXDV是否有波形，如RJ45座子端有接错，RMII总线RX方向在插网线时不会有数据，建议用上电的方式来抓波形再测一遍（或用busybox ifconfig eth0 down关掉以太网，再UP也可以），只要在挂载PHY，RX会有少量数据吐出，如若能正常抓到数据，可能是PHY到RK MAC端的线路不通或IOMUX不对，RK平台的以太网总线，一般都有与GPIO复用，dts虽然有配，但有可能被其他优先级较高的申请占用了，先在对应平台的TRM手册上找到GRF的基地址，然后找到对应复用GPIO归属GRF的偏移地址，用IO命令读出，对应TRM手册查询相应BIT对应的IOMUX状态即可判定，明确是IOMUX不对，由软件去查代码即可。如本身就抓不到RX方向的数据，要看PHY供电是否有异常，或配置电阻上件有异常。

RMII信号波形



PHY挂载正常，但是网口不通，拿不到IP地址

- 如是TX方向包较少，首先确认TX相关PIN上电时波形是是否有发包，如挂载PHY也没量到波形，问题出在GPIO IOMUX不对的概率大一些，也可以通过测LOOPBACK，如回环是通的，而TX包较少，有可能是RJ45到PHY的通路有问题，插网线时没有触发TX发包。

挂载不上PHY

- PHY原理连接性错误；
- 电源供电异常；
- MDC/MDIO管理接口通讯异常；
- IOMUX复用关系不正确；
- 复位信号是否正常，不同PHY对复位时长要求不同；

其它问题，后续补充

RGMII接口介绍

什么是RGMII

- 即Reduced GMII，是GMII的简化版本，将接口信号线数量从24根减少到14根(COL/CRS端口状态指示信号，这里没有画出)，时钟频率仍旧为125MHz，TX/RX数据宽度从8变为4位，为了保持1000Mbps的传输速率不变，RGMII接口在时钟的上升沿和下降沿都采样数据。在参考时钟的上升沿发送GMII接口中的TXD[3:0]/RXD[3:0]，在参考时钟的下降沿发送GMII接口中的TXD[7:4]/RXD[7:4]。

RGMII接口信号定义

- RGMII同时也兼容100Mbps和10Mbps两种速率，此时参考时钟速率分别为25MHz和2.5MHz。TX_EN信号线上传送TX_EN和TX_ER两种信息，在TX_CLK的上升沿发送TX_EN，下降沿发送TX_ER；同样的，RX_DV信号线上也传送RX_DV和RX_ER两种信息，在RX_CLK的上升沿发送RX_DV，下降沿发送RX_ER。TXD[3:0]为RK平台端数据发数，RXD[3:0]为RK平台端数据接收。

RGMII总线RK平台连接示意简图

RGMII				
RK平台端信号定义	PHY端信号定义	连接方式	功能说明（以RK平台端进行说明）	备注
MAC_CLK	CLK125M	串接22ohm连接，在靠主控方向预留一个下地分压电阻	MAC工作时钟，频率为125M	由PHY提供，部分PHY不能提供的，可以由125M有源晶体提供，或由RK PLL分频提供，一般不建议用内部分频（分频方案受限制或jitter过大会影响功能稳定）
TXCLK	TXCLK	串接22ohm连接靠近主控布局	数据发送参考时钟	注意：若是对接MAC(多为Switch芯片),则RK端的TX要接MAC端的RX；RK端的RX要接对端的TX，需要交叉连接。
TXD[3:0]	TXD[3:0]	串接22ohm连接靠近主控布局	数据发送	
TXEN	TXCTL	串接22ohm连接靠近主控布局	数据发送使能	
RXCLK	RXCLK	串接22ohm连接靠近PHY布局	数据接收参考时钟	
RXD[3:0]	RXD[3:0]	串接22ohm连接靠近PHY布局	数据接收	
RXDV	RXCTL	串接22ohm连接靠近PHY布局	数据接收有效	规范要求MDC_CLK不能超过2.5M，如MDC频率过高，会导致MAC读写PHY出错，从而以太网出现异常。
MDC	MDC	串接22ohm电阻连接	管理接口时钟	
MDIO	MDIO	串接22ohm电阻连接	管理接口数据（双向）	

说明：TXCLK与RXCLK在千兆时为125M频率；百兆为25MHz；十兆为2.5MHz

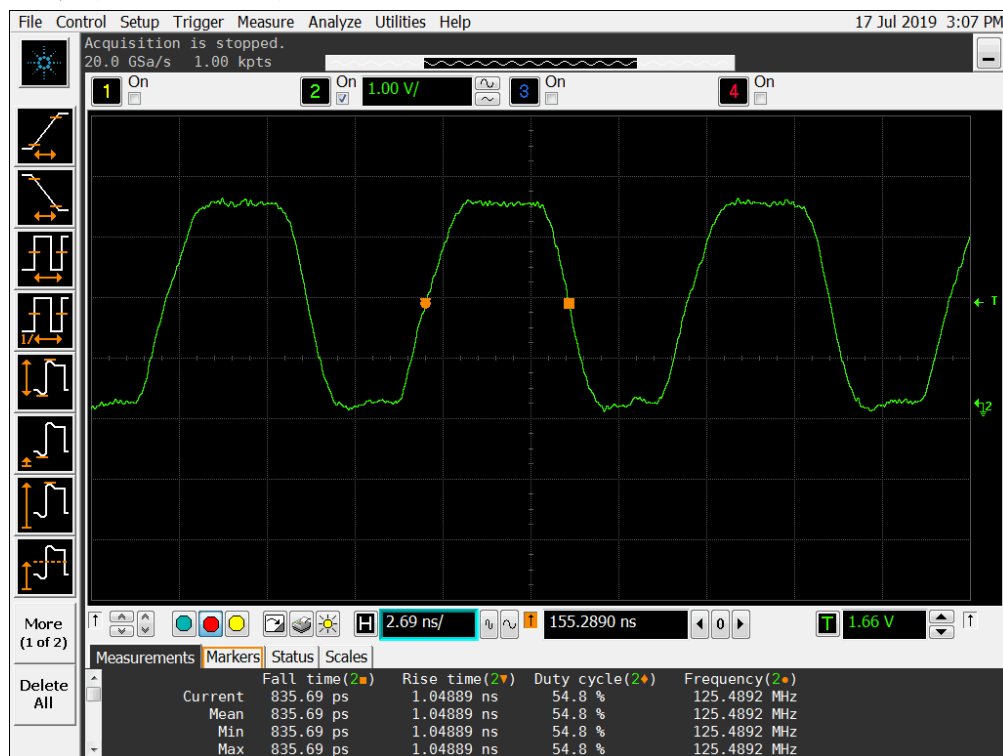
要保证千兆网功能较为稳定，RGMII布线长度不建议超过4000mil，TX/RX (RXC/RXD/RXCTL；TXC/TXD/TXEN)线建议组内等长不超过2.5mm的长度差，CLK与DATA不超过0.5mm长度差，不与其它信号线穿插走线，TX/RX分组布线并包地。原理图上靠近主控端放置的电阻，布局时也靠近主控端（TX组信号），放在PHY页的布局靠近PHY端（RX组信号）。以GND层作为参考完成布线，单线做50oh阻抗控制，切记不要伴随电流变化较大的电源层布线。

- 若是测量到MDC_CLK有超过2.5M，则可以通过redmin系统提交，向我司索取修正补丁“fix_mdc_clock_2.5M.txt”
- 千兆以太网不建议用output时钟方案，因分频方案限制，或时钟jitter受系统负载的影响，用内部时钟没有外部输入的稳定性。
- MAC_CLK在靠近主控方向预留下地电阻，避免因布线较长，导致PHY送出的125M在RK平台接收端占空比已超出规范或边沿过缓，导致bypass输出的TX_CLK信号不够好，留有下地电阻后，通过分压调整MAC_CLK的幅度，可以调整TX_CLK的信号质量。

千兆以太网常见问题排查

百兆以太网能拿IP上网，千兆拿不到IP，或能拿IP但是上不了网

- 先确认千兆时CLK的信号质量，分别在靠近**接收端**的位置（不要在发送端量取，发送端信号反射严重，波形不能反应实际信号质量），量MAC_CLK、TX_CLK、RX_CLK信号的波形，重点看占空比、幅度、以及上升下降时间，测量示波器及探头带宽需大于125M的5倍，如是单端探头注意接地回路要尽可能的短，最好是用差分探头测度，占空比控制在45—55%之间。在测试环境没问题时测出的信号应为方波，而非正弦波，一般客户自测是正弦波，且占空比为50%，基本都是测量不正确。

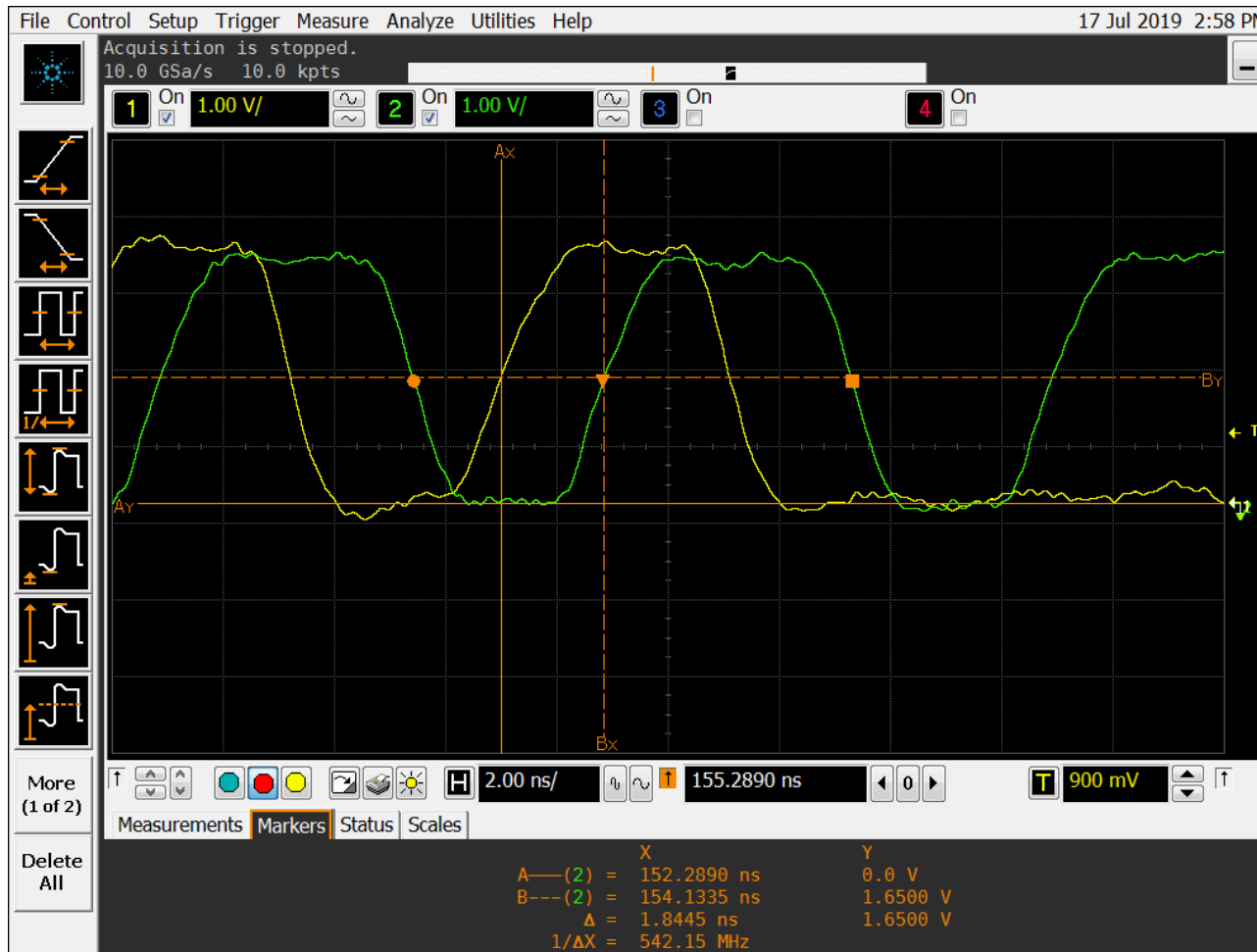


百兆以太网能拿IP上网，千兆拿不到IP，或能拿IP但是上不了网

- 如CLK测量信号完整性有问题，MAC_CLK或RXCLK由PHY提供，一般PHY端没有寄存器可调，只能通过硬件手段调整，可以通过在发送端串高频电感来改善边沿过缓（不能用普通电感，带宽要满足才可用），通过发送端电阻分压，降低幅值调整占空比；
- 如TX_CLK有问题，出现边沿过缓，可以通过IO读取相应寄存器，看驱动强度是否有调整到最大，可以接上示波器的同时，直接通过IO命令来调整驱动强度观察波形的变化，驱动调整改善不明显也可尝试串高频电感，或将串接22ohm电阻改大；如出现占空比不在规范内，可以通过分压MAC_CLK的幅度来调整TX_CLK占空比，分压值为串接100ohm，下地电阻值因布板而异，不同的板子值不一样，可以从100向上调，直到示波器观察到占空比符合要求为止，以上收效都不大，在PHY与RK平台端都支持1.8V IO的情况下，可以将IO电源改为1.8V再看信号完整性；
- 信号调整OK以后，再通过测试回环确定一下软件设定的delay值是否与硬件匹配，SDK默认值为开发配适配值，客户自行布板，由于布线长度及叠层发生变化，SDK的值不一定还是合适的，可以通过打上“GMAC tx rx delay动态调整补丁V2.0.rar”补丁测试，按操作说明文档测试出来的值设到软件dts即可。
- 如因SDK没有跟随基线更新，打不上loopback补丁，我们也可以基于示波器测信号来调试，有大于125M 5倍带宽的示波器，在靠近PHY端测量TXC与TXD之间的相位差，通过io命令将相位调整在1.5ns-2ns区间内（规范为1—2.6ns要留一定裕量），TX问题就不大；RX由于是在主控内部做延时，在loopback没用起来的情况下，只能借助于吞吐量来判断，在TXdelay寄存器确定的情况下，先将RXdelay设为0x10,改完后用iperf跑下行吞吐量，刚开始结果可能是不理想的，继续用IO命令去改rxdelay寄存器，以5为步进向上加（0x10-0x7f的区间），IO写完寄存器后，要重新插拔一下网线，当测到吞吐量大于900M以后，再缩小以2为步进，找出能上900M的寄存器区间然后取中间值设定到dts。

百兆以太网能拿IP上网，千兆拿不到IP，或能拿IP但是上不了网

- TXC&TXD相位测试波形如下图



DMA initialization failed

- 出现DMA initialization failed多为MAC没获取到工作主时钟，得点排查MAC_CLK的信号质量，以及IOMUX配置是否正确。

PHY挂载不上

参考RMII相关章节排查

能挂载PHY但是拿不到IP地址,ifconfig数据统计有问题

参考RMII相关章节排查



Thank You!



Contact Us

Building No.18, A District,
Fuzhou Software Park,
89 Soft Avenue, Tongpan Road,
Gulou District, Fuzhou, Fujian, China
P.C: 350003

TEL: 86-591-83991906 FAX: 86-591-83951833