

# 数字逻辑实验报告（1）

|  |  |  |
| --- | --- | --- |
| **数字逻辑实验1** | | |
| **一、系列二进制加法器设计50%** | **二、小型实验室门禁系统设计50%** | **总成绩** |
|  |  |  |

评语：（包含：预习报告内容、实验过程、实验结果及分析）

教师签名

**姓 名：**

**学 号：**

**班 级：**

**指 导 教 师：**

**计算机科学与技术学院**

**20 年 月 日**



**数字逻辑实验报告**

系列二进制加法器设计实验报告

一、系列二进制加法器设计

1、实验名称

系列二进制加法器设计。

2、实验目的

采用传统电路的设计方法，设计5种二进制加法器，并利用工具软件 logisim的虚拟仿真功能来检查电路设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握传统逻辑电路的设计、仿真和调试的方法。

3、实验所用设备

Logisim2.7.1软件一套。

4、实验内容

设计如下电路，并使用logisim软件进行虚拟仿真。除逻辑门、触发器外，不能直接使用logisim软件提供的逻辑库元件。

具体内容如下。

**（1）一位二进制半加器**

设计一个一位二进制半加器，电路有两个输入A、B，两个输出S和C。输入A、B分别为被加数、加数，输出S、C为本位和、向高位进位。

**（2）一位二进制全加器**

设计一个一位二进制全加器，电路有三个输入A、B和Ci，两个输出S和Co。输入A、B和Ci分别为被加数、加数和来自低位的进位，输出S和C，为本位和和向高位的进位。

**（3）串行进位的四位二进制并行加法器**

用四个一位二进制全加器设计一个串行进位的四位二进制并行加法器，电路有九个输入A3、A2、A1、A0、B3、B2、B1、B0和C0，五个输出S3、S2、S1、S0和C4。输入A= A3A2A1A0、B= B3B2B1B0和C0分别为被加数、加数和来自低位的进位，输出S= S3S2S1S0和Co为本位和和向高位的进位。

**（4）先行进位的四位二进制并行加法器**

利用先行进位的思想设计一个先行进位的四位二进制并行加法器，电路有九个输入A3、A2、A1、A0、B3、B2、B1、B0和C0，五个输出S3、S2、S1、S0和C4。

输入A= A3A2A1A0、B= B3B2B1B0和C0分别为被加数、加数和来自低位的进位，输出S= S3S2S1S0和Co分别为本位和和向高位的进位。

**（5）将先行进位的四位二进制并行加法器封装成一个组件，并验证它的正确性**

将设计好的先行进位的四位二进制并行加法器进行封装，生成一个“私有”元件，并验证它的正确性，以便后续实验使用。封装后的逻辑符号参见图1-1所示。

**S3 S2 S1 S0**

**C4 四位二进制并行加法器 C0**

**A3 A2 A1 A0  B3 B2 B1 B0**

图1-1先行进位的四位二进制并行加法器

5、实验方案设计

**（1）一位二进制半加器**

(A)建立给定问题的逻辑描述

本实验要求实现一位二进制半加器

|  |  |  |  |
| --- | --- | --- | --- |
| A | B | S | C |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |

(B)求出逻辑函数的最简表达式

(C)选择实验给定的逻辑门进行逻辑函数的变换

实验对具体的逻辑门没有要求，因此不需要变换

(D)给出“logisim”软件绘制的电路图（经过仿真验证基本正确）

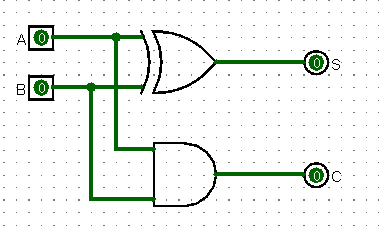


图1-2 一位二进制半加器

**（2）一位二进制全加器**

(A)建立给定问题的逻辑描述

本实验要求实现一位二进制全加器

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A | B |  | S | Co |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

(B)求出逻辑函数的最简表达式

(C)选择实验给定的逻辑门进行逻辑函数的变换

实验对具体的逻辑门没有要求，因此不需要变换

(D)给出“logisim”软件绘制的电路图（经过仿真验证基本正确）

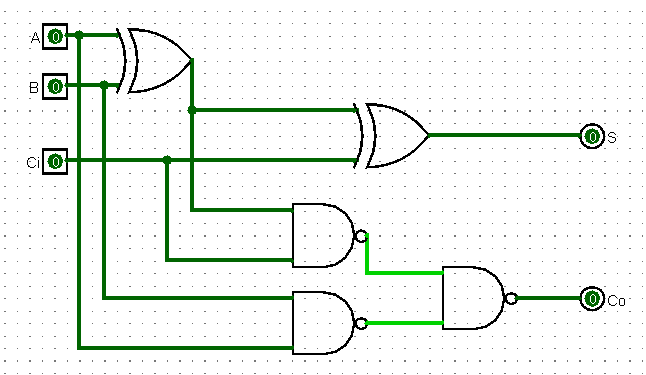


图1-3 一位二进制全加器

**（3）串行进位的四位二进制并行加法器**

(A)建立给定问题的逻辑描述

本实验要求四个一位二进制全加器实现串行进位的四位二进制并行加法器，本质上就是将四个一位二进制全加器连接起来起来，进而实现相应的功能。

(B)给出“logisim”软件绘制的电路图（经过仿真验证基本正确）

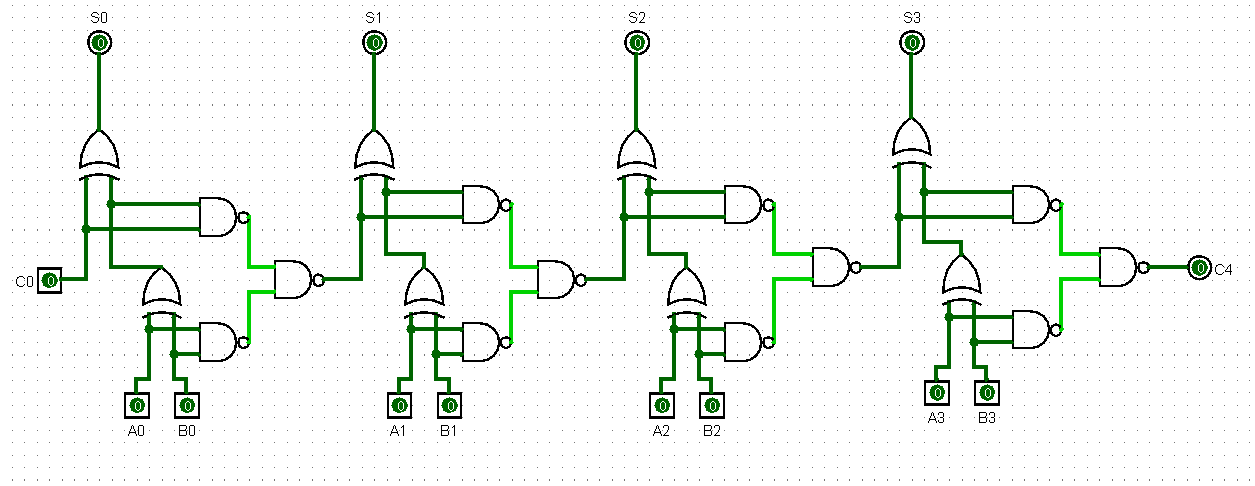


图1-4 串行进位的四位二进制并行加法器

**（4）先行进位的四位二进制并行加法器**

(A)求出逻辑函数的最简表达式

当第i位被加数Ai和Bi均为1时，有Ci=1，定义为进位产生函数。当1时，，定义为进位传递函数，将Pi和Ci代入和中得到

因此4位二进制并行加法器各位的进位输出函数和输出函数表达式分别为：

(B)选择实验给定的逻辑门进行逻辑函数的变换

实验对具体的逻辑门没有要求，因此不需要变换

(C)给出“logisim”软件绘制的电路图（经过仿真验证基本正确）

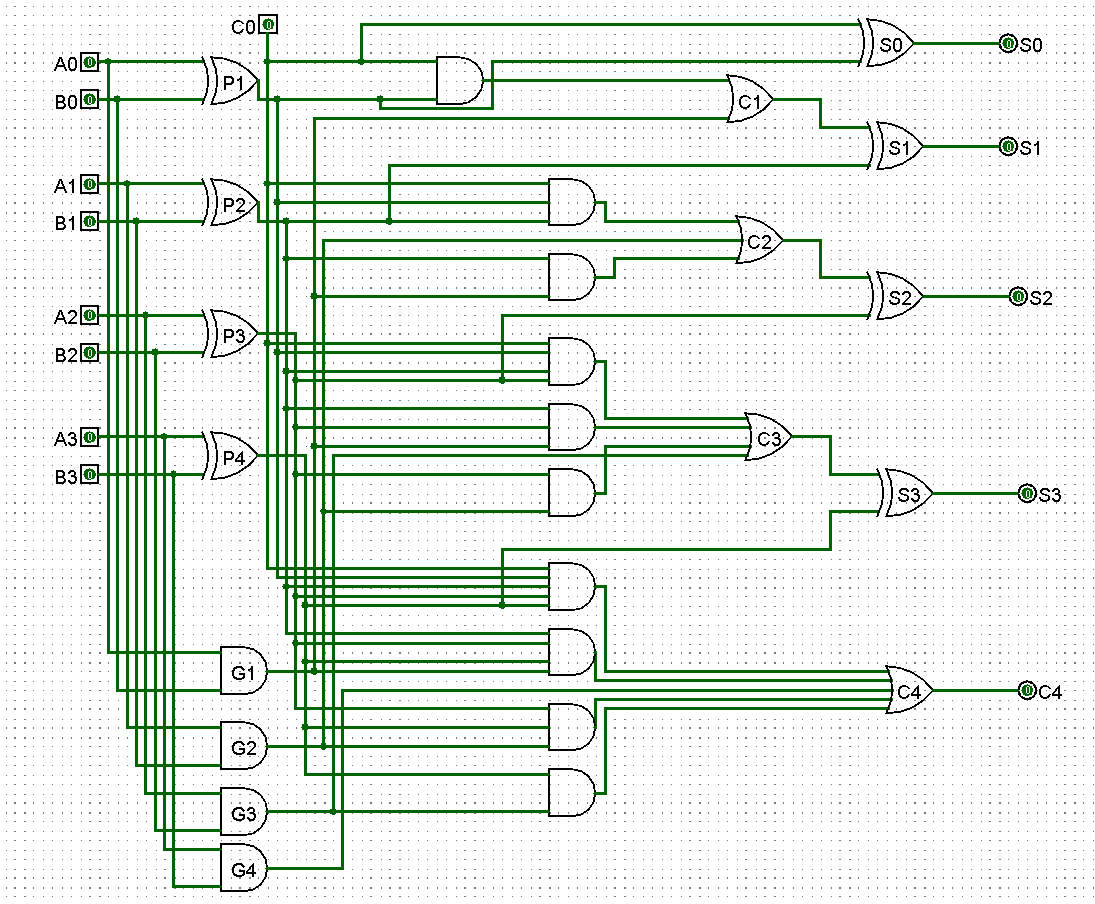


图1-5 先行进位的四位二进制并行加法器

**（5）封装“先行进位的四位二进制并行加法器电路”**

(A)给出“logisim”软件绘制的“私有”的先行进位的四位二进制并行加法器元件电路图

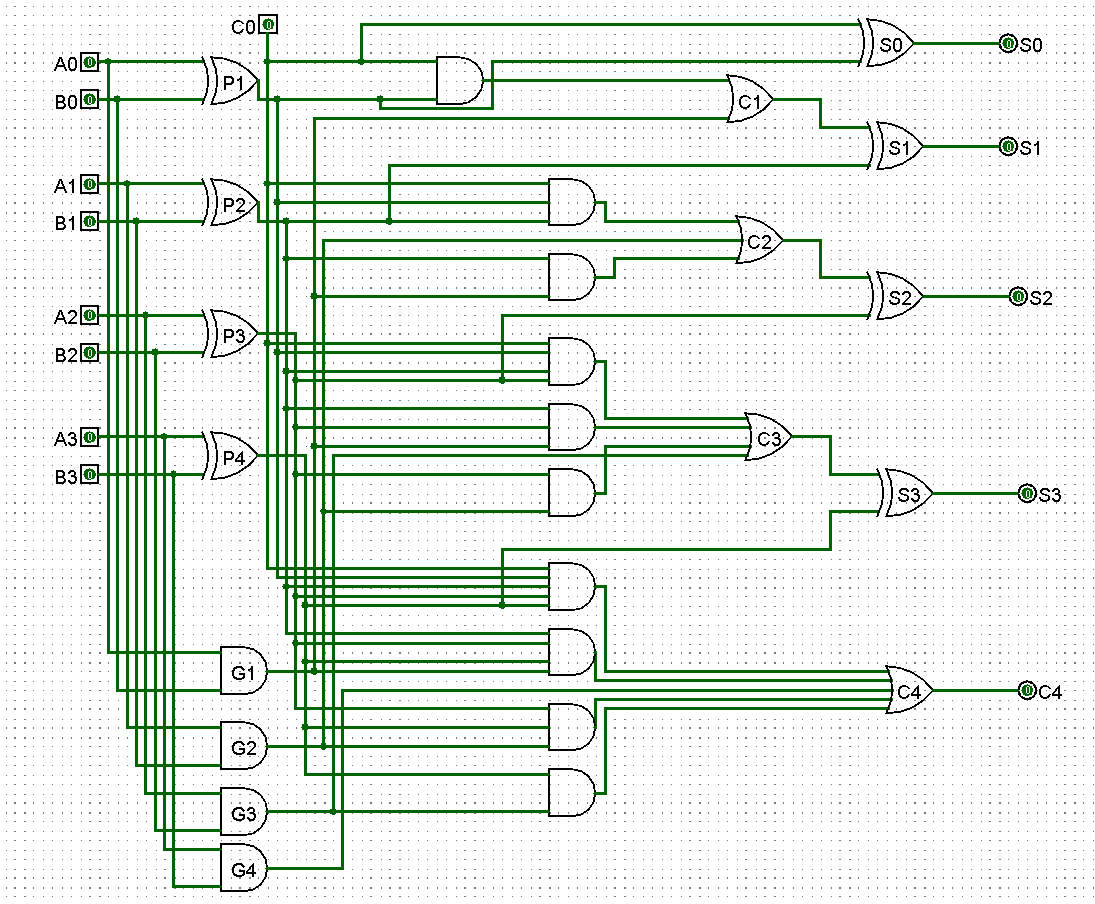


图1-6 “私有”的先行进位的四位二进制并行加法器元件

（B）给出“logisim”软件绘制的“私有”的先行进位的四位二进制并行加法器元件的测试电路图

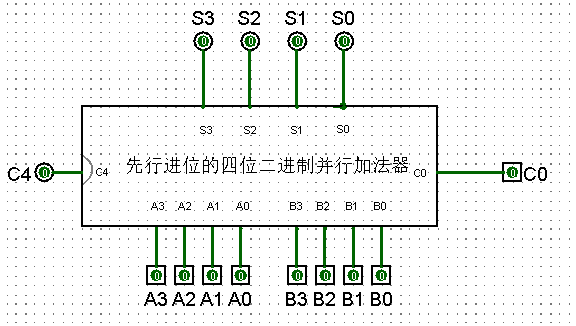


图1-7 “私有”的先行进位的四位二进制并行加法器元件测试电路

(C)验证“私有”的先行进位的四位二进制并行加法器元件测试电路的正确性。因为验证情况过于多，这里只简单列举几种情况。各个位的输入情况在图中均有显示。

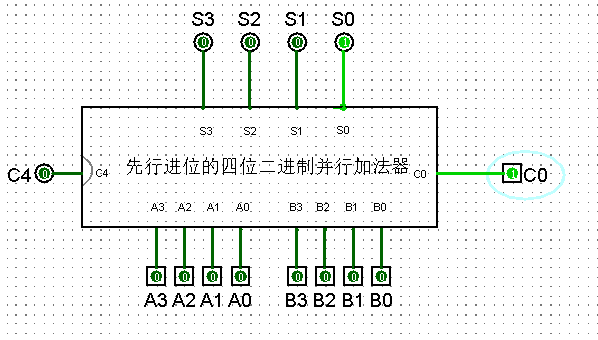


图1-8

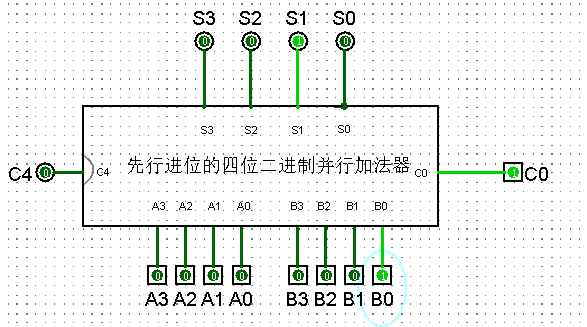


图1-9

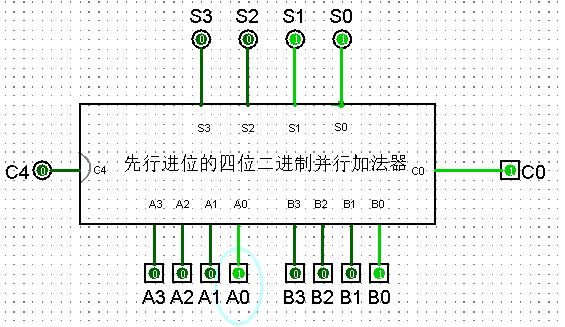


图1-10

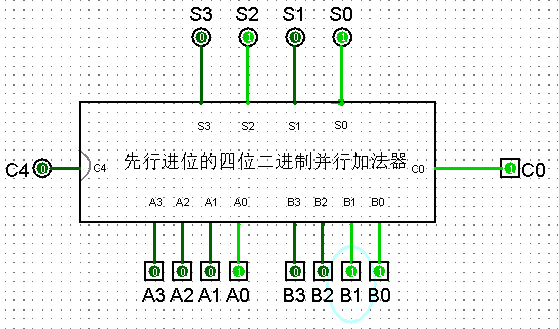


图1-11

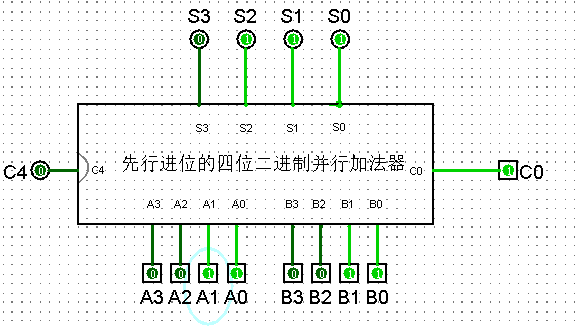


图1-12

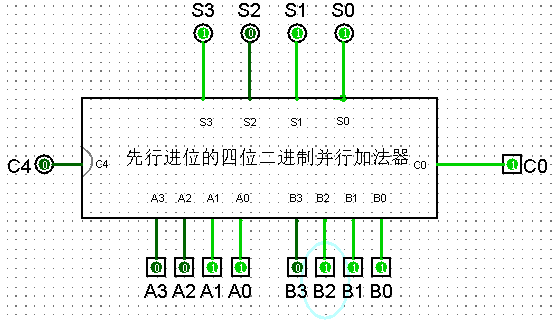


图1-13

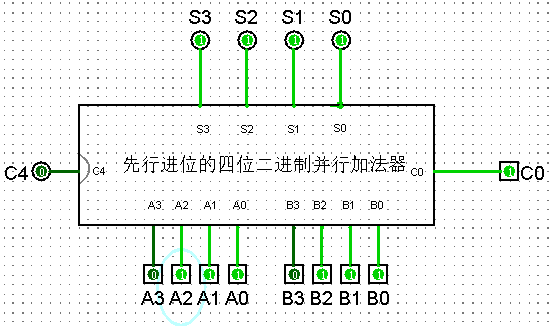


图1-14

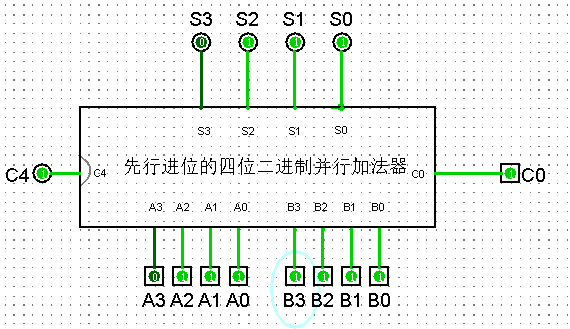


图1-15

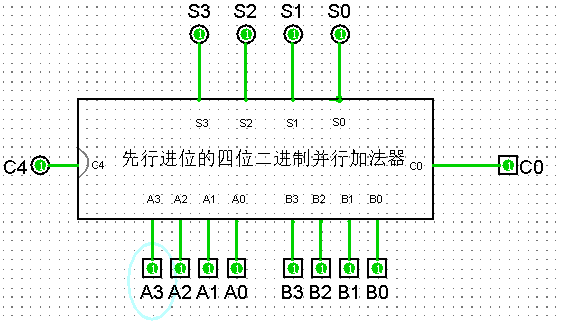


图1-16

由上可得出结论，“私有”的先行进位的四位二进制并行加法器元件设计正确！