

# 数字逻辑实验报告（1）

|  |  |  |
| --- | --- | --- |
| **数字逻辑实验1** | | |
| **一、系列二进制加法器设计50%** | **二、小型实验室门禁系统设计50%** | **总成绩** |
|  |  |  |

评语：（包含：预习报告内容、实验过程、实验结果及分析）

教师签名

**姓 名： 王占成**

**学 号： U201714786**

**班 级： CS1707**

**指 导 教 师： 胡迎松**

**计算机科学与技术学院**

**2019年5月5日**



**数字逻辑实验报告**

系列二进制加法器设计实验报告

一、系列二进制加法器设计

1、实验名称

系列二进制加法器设计。

2、实验目的

采用传统电路的设计方法，设计5种二进制加法器，并利用工具软件 logisim的虚拟仿真功能来检查电路设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握传统逻辑电路的设计、仿真和调试的方法。

3、实验所用设备

Logisim2.7.1软件一套。

4、实验内容

设计如下电路，并使用logisim软件进行虚拟仿真。除逻辑门、触发器外，不能直接使用logisim软件提供的逻辑库元件。

具体内容如下。

**（1）一位二进制半加器**

设计一个一位二进制半加器，电路有两个输入A、B，两个输出S和C。输入A、B分别为被加数、加数，输出S、C为本位和、向高位进位。

**（2）一位二进制全加器**

设计一个一位二进制全加器，电路有三个输入A、B和Ci，两个输出S和Co。输入A、B和Ci分别为被加数、加数和来自低位的进位，输出S和C，为本位和和向高位的进位。

**（3）串行进位的四位二进制并行加法器**

用四个一位二进制全加器设计一个串行进位的四位二进制并行加法器，电路有九个输入A3、A2、A1、A0、B3、B2、B1、B0和C0，五个输出S3、S2、S1、S0和C4。输入A= A3A2A1A0、B= B3B2B1B0和C0分别为被加数、加数和来自低位的进位，输出S= S3S2S1S0和Co为本位和和向高位的进位。

**（4）先行进位的四位二进制并行加法器**

利用先行进位的思想设计一个先行进位的四位二进制并行加法器，电路有九个输入A3、A2、A1、A0、B3、B2、B1、B0和C0，五个输出S3、S2、S1、S0和C4。

输入A= A3A2A1A0、B= B3B2B1B0和C0分别为被加数、加数和来自低位的进位，输出S= S3S2S1S0和Co分别为本位和和向高位的进位。

**（5）将先行进位的四位二进制并行加法器封装成一个组件，并验证它的正确性**

将设计好的先行进位的四位二进制并行加法器进行封装，生成一个“私有”元件，并验证它的正确性，以便后续实验使用。封装后的逻辑符号参见图1-1所示。

**S3 S2 S1 S0**

**C4 四位二进制并行加法器 C0**

**A3 A2 A1 A0  B3 B2 B1 B0**

图1-1先行进位的四位二进制并行加法器

5、实验方案设计

**（1）一位二进制半加器**

(A)建立给定问题的逻辑描述

本实验要求实现一位二进制半加器

|  |  |  |  |
| --- | --- | --- | --- |
| A | B | S | C |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |

(B)求出逻辑函数的最简表达式

(C)选择实验给定的逻辑门进行逻辑函数的变换

实验对具体的逻辑门没有要求，因此不需要变换

(D)给出“logisim”软件绘制的电路图（经过仿真验证基本正确）

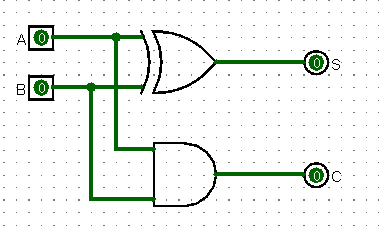


图1-2 一位二进制半加器

**（2）一位二进制全加器**

(A)建立给定问题的逻辑描述

本实验要求实现一位二进制全加器

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A | B |  | S | Co |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

(B)求出逻辑函数的最简表达式

(C)选择实验给定的逻辑门进行逻辑函数的变换

实验对具体的逻辑门没有要求，因此不需要变换

(D)给出“logisim”软件绘制的电路图（经过仿真验证基本正确）

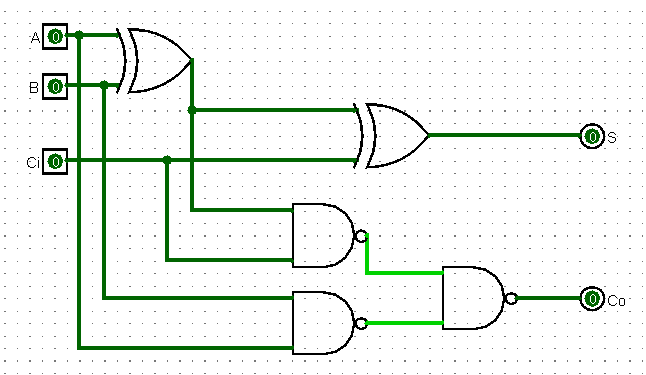


图1-3 一位二进制全加器

**（3）串行进位的四位二进制并行加法器**

(A)建立给定问题的逻辑描述

本实验要求四个一位二进制全加器实现串行进位的四位二进制并行加法器，本质上就是将四个一位二进制全加器连接起来起来，进而实现相应的功能。

(B)给出“logisim”软件绘制的电路图（经过仿真验证基本正确）

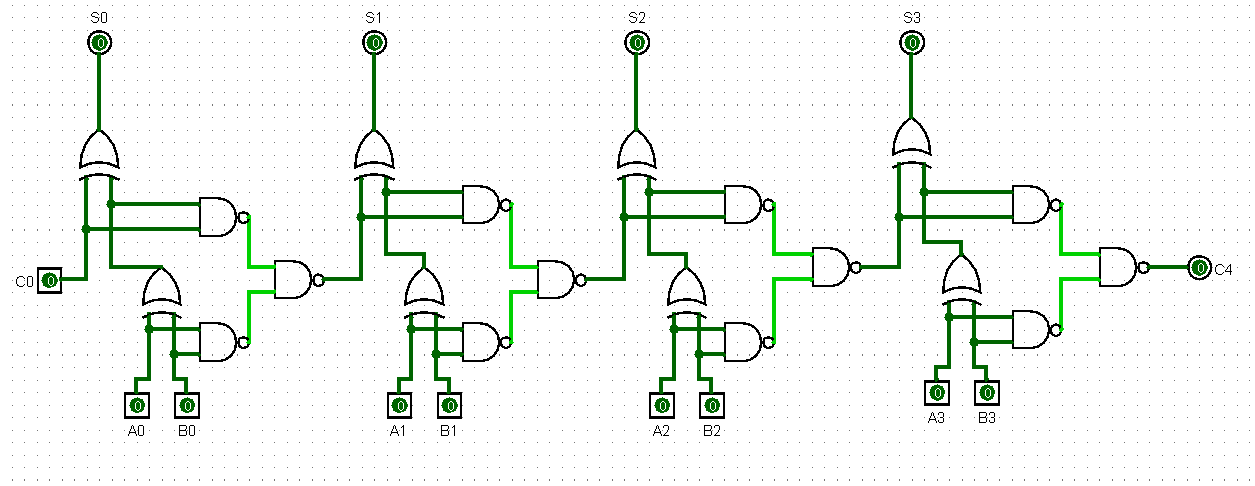


图1-4 串行进位的四位二进制并行加法器

**（4）先行进位的四位二进制并行加法器**

(A)求出逻辑函数的最简表达式

当第i位被加数Ai和Bi均为1时，有Ci=1，定义为进位产生函数。当1时，，定义为进位传递函数，将Pi和Ci代入和中得到

因此4位二进制并行加法器各位的进位输出函数和输出函数表达式分别为：

(B)选择实验给定的逻辑门进行逻辑函数的变换

实验对具体的逻辑门没有要求，因此不需要变换

(C)给出“logisim”软件绘制的电路图（经过仿真验证基本正确）

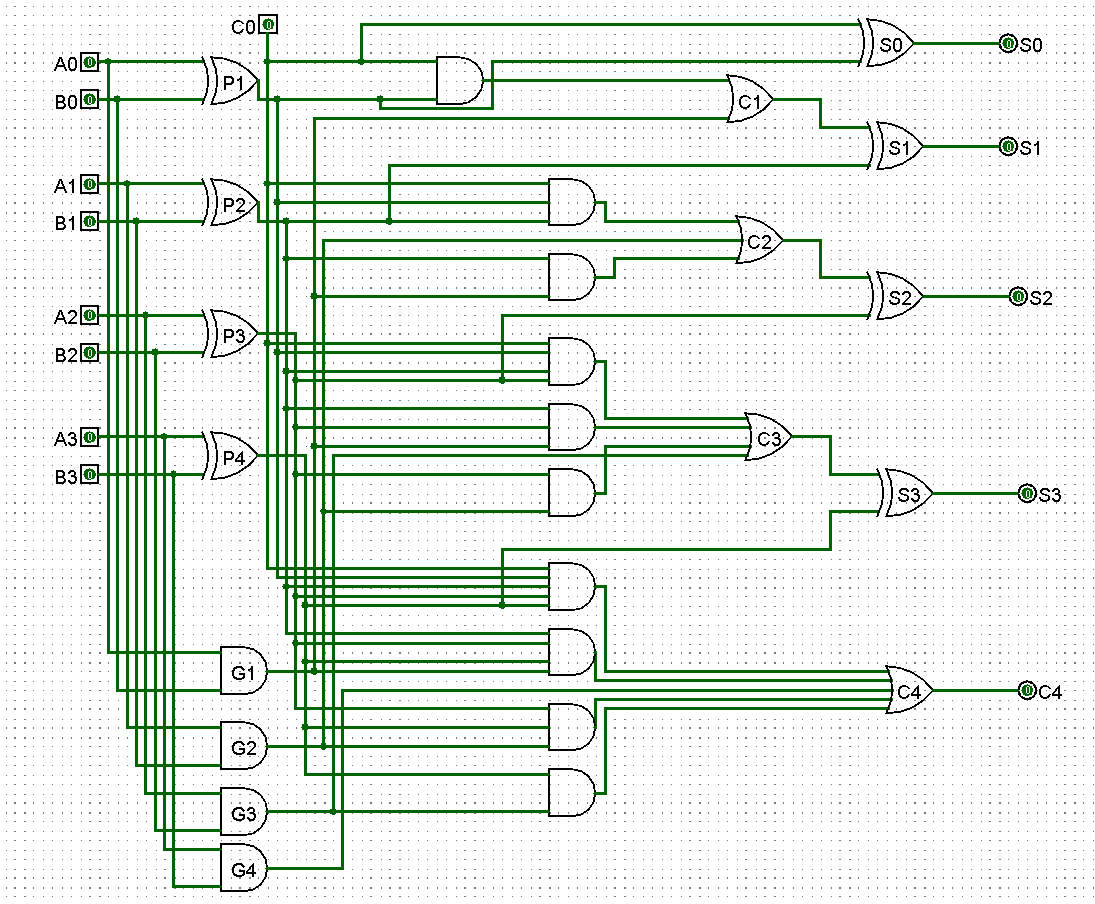


图1-5 先行进位的四位二进制并行加法器

**（5）封装“先行进位的四位二进制并行加法器电路”**

(A)给出“logisim”软件绘制的“私有”的先行进位的四位二进制并行加法器元件电路图

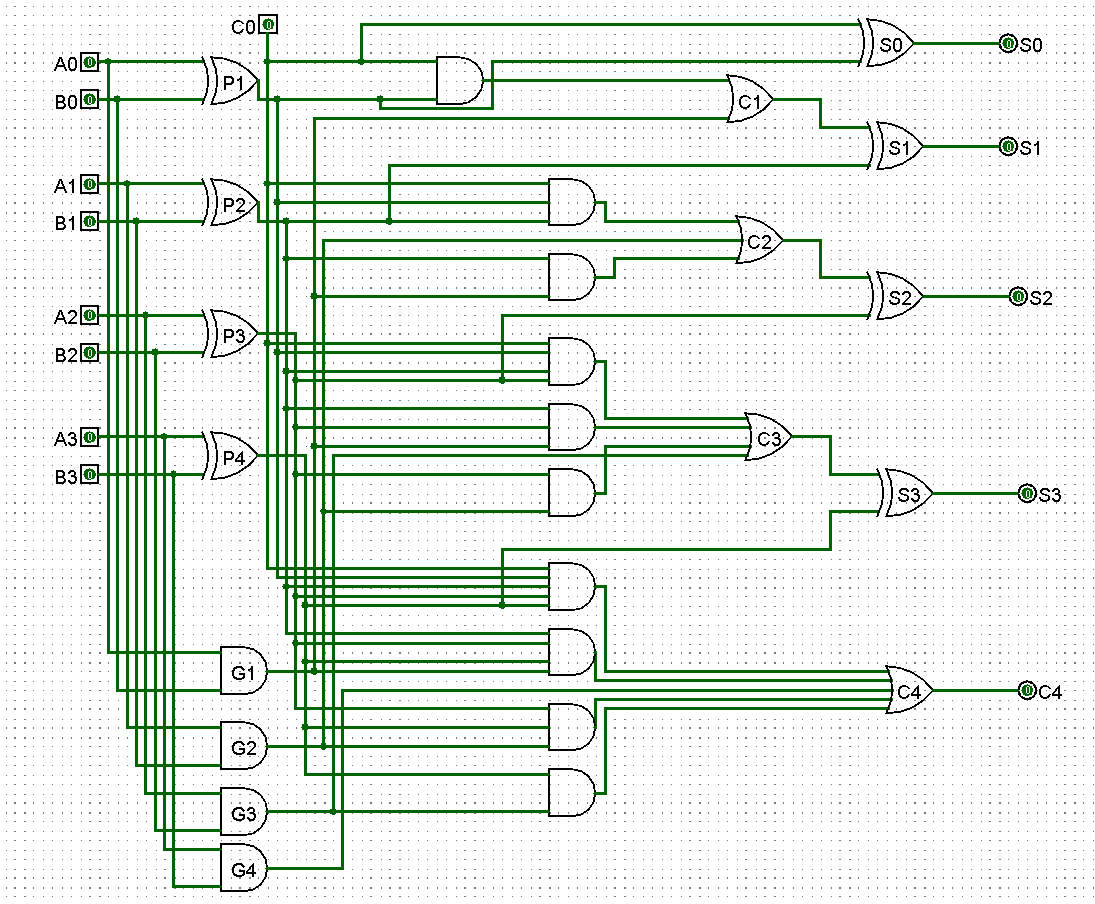


图1-6 “私有”的先行进位的四位二进制并行加法器元件

（B）给出“logisim”软件绘制的“私有”的先行进位的四位二进制并行加法器元件的测试电路图

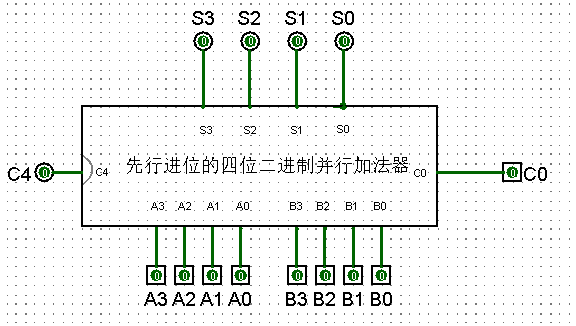


图1-7 “私有”的先行进位的四位二进制并行加法器元件测试电路

(C)验证“私有”的先行进位的四位二进制并行加法器元件测试电路的正确性。因为验证情况过于多，这里只简单列举几种情况。各个位的输入情况在图中均有显示。

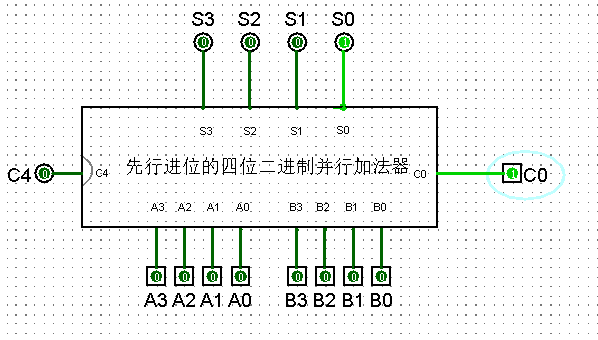


图1-8

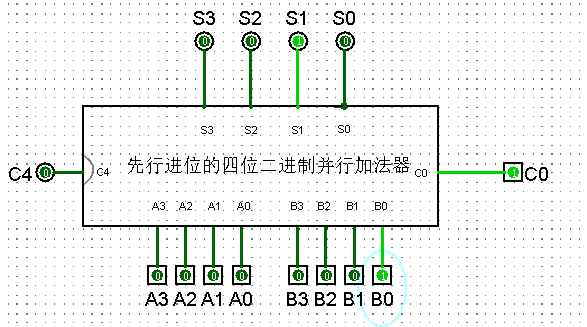


图1-9

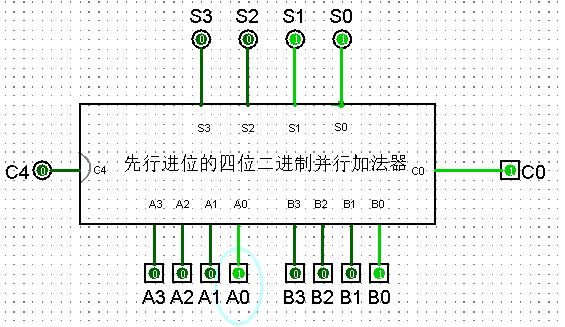


图1-10

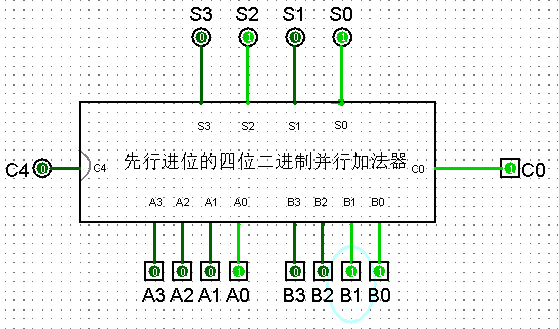


图1-11

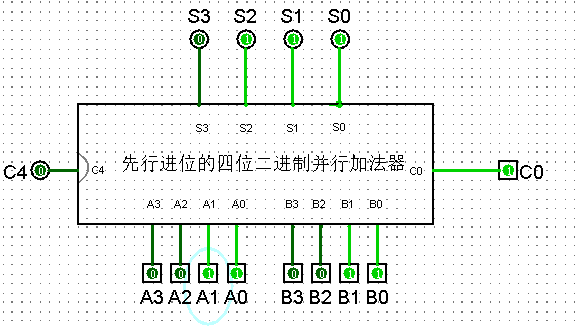


图1-12

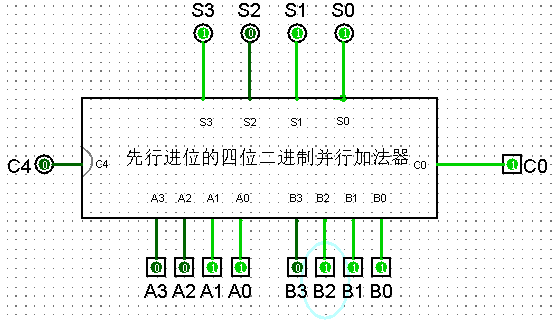


图1-13

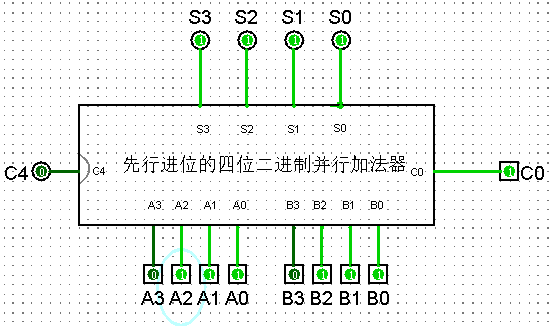


图1-14

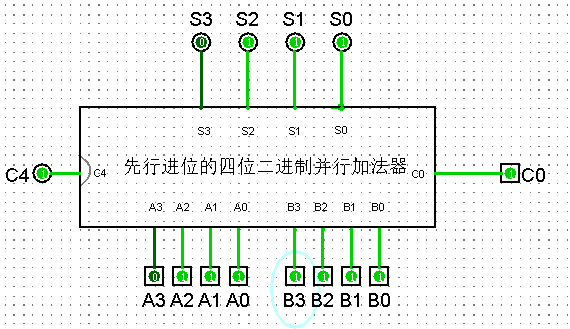


图1-15

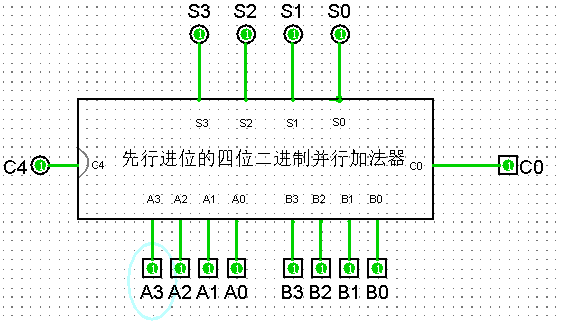


图1-16

由上可得出结论，“私有”的先行进位的四位二进制并行加法器元件设计正确！



**数字逻辑实验报告**

小型实验室门禁系统设计实验报告

二、小型实验室门禁系统设计

1、实验名称

小型实验室门禁系统设计。

2、实验目的

采用传统电路的设计方法，对一个“设计场景”进行逻辑电路的设计，并利用工具软件logisim的虚拟仿真来验证该设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

3、实验所用设备

Logisim2.7.1软件一套。

4、实验内容

**设计场景：**某小型保密实验室需要安装一个门禁系统，用于监测、控制和显示（七段显示数码管）该实验室内人数。该实验室只有一个门，最多只能容纳15人。假设员工进出实验室都要刷门禁卡，并且保证一次刷卡后有且只有一人能进出。实验室空置时人数显示为0，刷卡进入时实验室人数加1，刷卡离开时实验室人数减1。当实验室满员时，还有员工在门外刷卡进入时，系统报警提示满员，不允许进入，实验室内人数不变。

使用logisim软件对小型电路进行虚拟实验仿真，除逻辑门、触发器、7段数码显示管外，不能直接使用logisim提供的逻辑元件库。

具体要求如下：

**（1）四位二进制可逆计数器**

用D触发器设计一个四位二进制可逆计数器并进行封装，逻辑符号参见图2-1所示。

该计数器有一个清零端**CLR**、一个累加计数脉冲输入端**CPU** （输入刷卡进入请求）、一个累减计数脉冲输入端**CPD**（输入刷卡离开请求）、四个计数器状态输出值**QD QC QB QA**。

**QD QC QB QA**

**CPU**

**CLR 四位二进制可逆计数器**

**CPD**

图2-1 四位二进制可逆计数器

**（2）二进制转8421BCD码电路**

用第一次实验所设计的“私有”元件“先行进位的四位二进制并行加法器”和适当元器件，将二进制数表示的实验室人数转换成**8421BCD码**的电路，并封装。

**（3）显示电路**

设计一个7段译码器（参考书的7448芯片），将两位十进制数的8421BCD码表示的实验室人数用“7段数码显示管”显示出来，并封装该译码器电路。

该7段译码器有四个输入**A3A2A1A0**和七个输出**abcdefg**, **A3A2A1A0**为8421BCD码，abcdefg为7段数码显示管对应的段。

**（4）报警电路**

设计报警电路并封装，使得满足如下要求。

当实验室满员时，在累加计数脉冲输入端**CPU**刷卡进入请求时，计数器输出端状态值保持不变，系统报警提示满员。当实验室空时，逻辑上不会有实验室内累减计数脉冲输入端**CPD**刷卡离开请求，为防止信号干扰，在计数输出为0时，若**CPD**有脉冲，计数器状态值保持不变，且不用报警。

**（5）小型实验室门禁系统电路的封装**

利用已设计的“私有”元器件和相应元器件设计一个“实验室门禁系统”电路，并进行封装，封装后的小型实验室门禁系统逻辑符号参见图2-2所示。

**十位**：7段数码显示管

**个位：**7段数码显示管

**a b c d e f g a b c d e f g**

**CPU**

**CLR 封装后的门禁系统逻辑符号 报警**

**CPD**

图2-2 封装后的小型实验室门禁系统

5、实验方案设计

**（1）四位二进制可逆计数器**

经分析得此次设计采用异步时序逻辑电路

1）根据题意做出四位二进制可逆计数器二进制状态表如表2-1所示：

表2-1四位二进制可逆计数器二进制状态表

|  |  |  |
| --- | --- | --- |
| 现态  Q3Q2Q1Q0 | 次态Q3n+1Q2n+1Q1n+1Q0n+1 | |
| CPU=1 | CPD=1 |
| 0000 | 0001 | 1111 |
| 0001 | 0010 | 0000 |
| 0010 | 0011 | 0001 |
| 0011 | 0100 | 0010 |
| 0100 | 0101 | 0011 |
| 0101 | 0110 | 0100 |
| 0110 | 0111 | 0101 |
| 0111 | 1000 | 0110 |
| 1000 | 1001 | 0111 |
| 1001 | 1010 | 1000 |
| 1010 | 1011 | 1001 |
| 1011 | 1100 | 1010 |
| 1100 | 1101 | 1011 |
| 1101 | 1110 | 1100 |
| 1110 | 1111 | 1101 |
| 1111 | 0000 | 1110 |

2）由于采用D触发器，根据表2-1，确定四位二进制可逆计数器状态转移关系及激励函数、输出函数真值表如表2-2所示：

表2-2 四位二进制可逆计数器状态转移关系及激励函数、输出函数真值表

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入 | 现态 | 次态 | 状态跳变 | | | | 激励函数 | | | | | | | |
| CPDCPU | Q3Q2Q1Q0 | Q3n+1Q2n+1Q1n+1Q0n+1 | Q3 | Q2 | Q1 | Q0 | C3 | D3 | C2 | D2 | C1 | D1 | C0 | D0 |
| 01 | 0000 | 0001 |  |  |  |  |  | d |  | d |  | d |  | 1 |
| 0001 | 0010 |  |  |  |  |  | d |  | d |  | 1 |  | 0 |
| 0010 | 0011 |  |  |  |  |  | d |  | d |  | d |  | 1 |
| 0011 | 0100 |  |  |  |  |  | d |  | 1 |  | 0 |  | 0 |
| 0100 | 0101 |  |  |  |  |  | d |  | d |  | d |  | 1 |
| 0101 | 0110 |  |  |  |  |  | d |  | d |  | 1 |  | 0 |
| 0110 | 0111 |  |  |  |  |  | d |  | d |  | d |  | 1 |
| 0111 | 1000 |  |  |  |  |  | 1 |  | 0 |  | 0 |  | 0 |
| 1000 | 1001 |  |  |  |  |  | d |  | d |  | d |  | 1 |
| 1001 | 1010 |  |  |  |  |  | d |  | d |  | 1 |  | 0 |
| 1010 | 1011 |  |  |  |  |  | d |  | d |  | d |  | 1 |
| 1011 | 1100 |  |  |  |  |  | d |  | 1 |  | 0 |  | 0 |
| 1100 | 1101 |  |  |  |  |  | d |  | d |  | d |  | 1 |
| 1101 | 1110 |  |  |  |  |  | d |  | d |  | 1 |  | 0 |
| 1110 | 1111 |  |  |  |  |  | d |  | d |  | d |  | 1 |
| 1111 | 0000 |  |  |  |  |  | 0 |  | 0 |  | 0 |  | 0 |
| 10 | 0000 | 1111 |  |  |  |  |  | 1 |  | 1 |  | 1 |  | 1 |
| 0001 | 0000 |  |  |  |  |  | d |  | d |  | d |  | 0 |
| 0010 | 0001 |  |  |  |  |  | d |  | d |  | 0 |  | 1 |
| 0011 | 0010 |  |  |  |  |  | d |  | d |  | d |  | 0 |
| 0100 | 0011 |  |  |  |  |  | d |  | 0 |  | 1 |  | 1 |
| 0101 | 0100 |  |  |  |  |  | d |  | d |  | d |  | 0 |
| 0110 | 0101 |  |  |  |  |  | d |  | d |  | 0 |  | 1 |
| 0111 | 0110 |  |  |  |  |  | d |  | d |  | d |  | 0 |
| 1000 | 0111 |  |  |  |  |  | 0 |  | 1 |  | 1 |  | 1 |
| 1001 | 1000 |  |  |  |  |  | d |  | d |  | d |  | 0 |
| 1010 | 1001 |  |  |  |  |  | d |  | d |  | 0 |  | 1 |
| 1011 | 1010 |  |  |  |  |  | d |  | d |  | d |  | 0 |
| 1100 | 1011 |  |  |  |  |  | d |  | 0 |  | 1 |  | 1 |
| 1101 | 1100 |  |  |  |  |  | d |  | d |  | d |  | 0 |
| 1110 | 1101 |  |  |  |  |  | d |  | d |  | 0 |  | 1 |
| 1111 | 1110 |  |  |  |  |  | d |  | d |  | d |  | 0 |

用卡诺图化简后的激励函数如下：

使用Logism做出电路图如图2-1和图2-2所示：

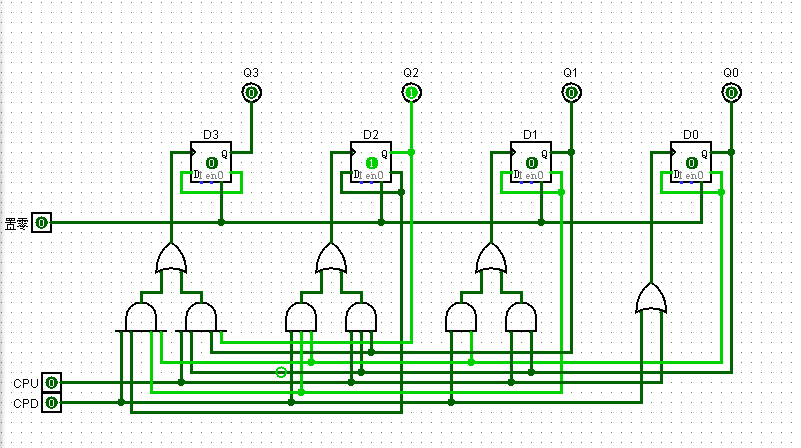


图2-1 四位二进制可逆计数器

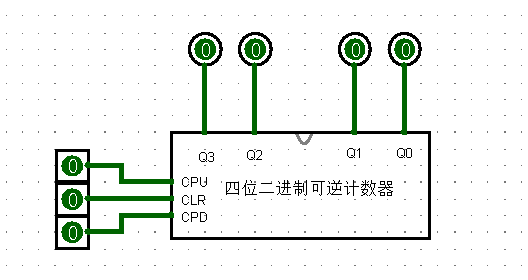


图2-2 四位二进制可逆计数器封装图

**（2）二进制转8421BCD码电路**

列出四位二进制数和8421码的对应关系，如表2-3所示：

表2-3 四位二进制数与8421码对应表

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 十进制数 | 输入(4位二进制数) | | | | 输出(8421码) | | | | | 进位 |
| N | A3 | A2 | A1 | A0 | C4 | S8 | S4 | S2 | S1 | Z |
| 0 | **0** | **0** | **0** | **0** | 0 | **0** | **0** | **0** | **0** | 0 |
| 1 | **0** | **0** | **0** | **1** | 0 | **0** | **0** | **0** | **1** | 0 |
| 2 | **0** | **0** | **1** | **0** | 0 | **0** | **0** | **1** | **0** | 0 |
| 3 | **0** | **0** | **1** | **1** | 0 | **0** | **0** | **1** | **1** | 0 |
| 4 | **0** | **1** | **0** | **0** | 0 | **0** | **1** | **0** | **0** | 0 |
| 5 | **0** | **1** | **0** | **1** | 0 | **0** | **1** | **0** | **1** | 0 |
| 6 | **0** | **1** | **1** | **0** | 0 | **0** | **1** | **1** | **0** | 0 |
| 7 | **0** | **1** | **1** | **1** | 0 | **0** | **1** | **1** | **1** | 0 |
| 8 | **1** | **0** | **0** | **0** | 0 | **1** | **0** | **0** | **0** | 0 |
| 9 | **1** | **0** | **0** | **1** | 0 | **1** | **0** | **0** | **1** | 0 |
| 10 | **1** | **0** | **1** | **0** | 1 | **0** | **0** | **0** | **0** | 1 |
| 11 | **1** | **0** | **1** | **1** | 1 | **0** | **0** | **0** | **1** | 1 |
| 12 | **1** | **1** | **0** | **0** | 1 | **0** | **0** | **1** | **0** | 1 |
| 13 | **1** | **1** | **0** | **1** | 1 | **0** | **0** | **1** | **1** | 1 |
| 14 | **1** | **1** | **1** | **0** | 1 | **0** | **1** | **0** | **0** | 1 |
| 15 | **1** | **1** | **1** | **1** | 1 | **0** | **1** | **0** | **1** | 1 |

卡诺图化简得输出函数：

输入函数应该为：

A3A2A1A0+0ZZ0 同时C0=0

因此可以使用Logism做出四位二进制数转8421码的电路图如图2-3和图2-4所示：

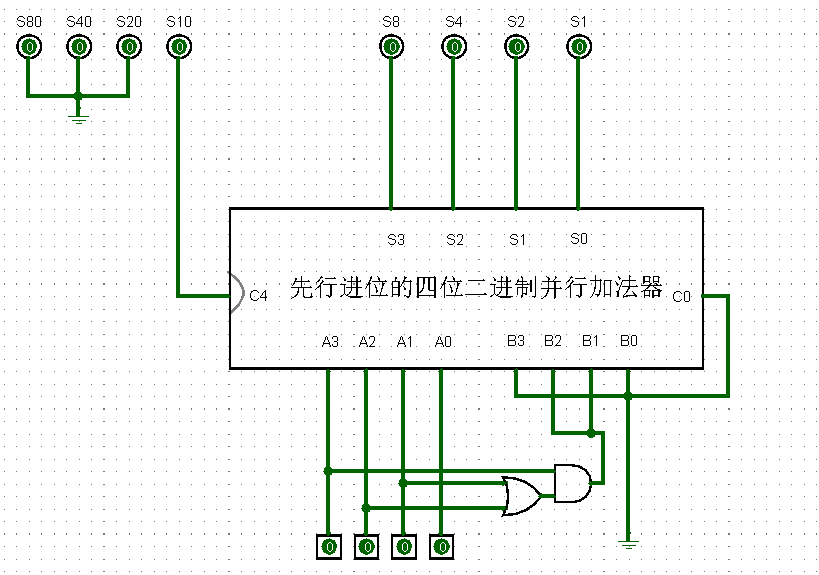


图2-3四位二进制数转8421码电路图

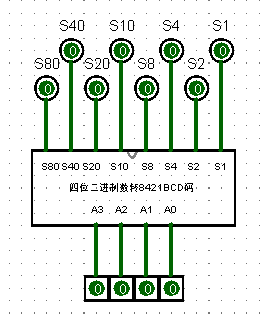


图2-4位二进制数转8421码电路封装图

**（3）显示电路**

**（A）7段译码器译码电路**

7段译码器的真值表如表2-4所示:

表2-4 7段译码器真值表

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入 | | | | 输出 | | | | | | |
| A3 | A2 | A1 | A0 | a | b | c | d | e | f | g |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

利用卡诺图化简得：

a=210+32A1+3A2A0+A31A0

b= 32+10+21+3A1A0

c= 3A2+21+2A0

d= A21A0+20+2A1A0+ A2A10

e= A10+20

f= 10+A21+A321+A20

g= A21+ A32+2A1+A10

使用logisim做出电路图，如图2-5所示：

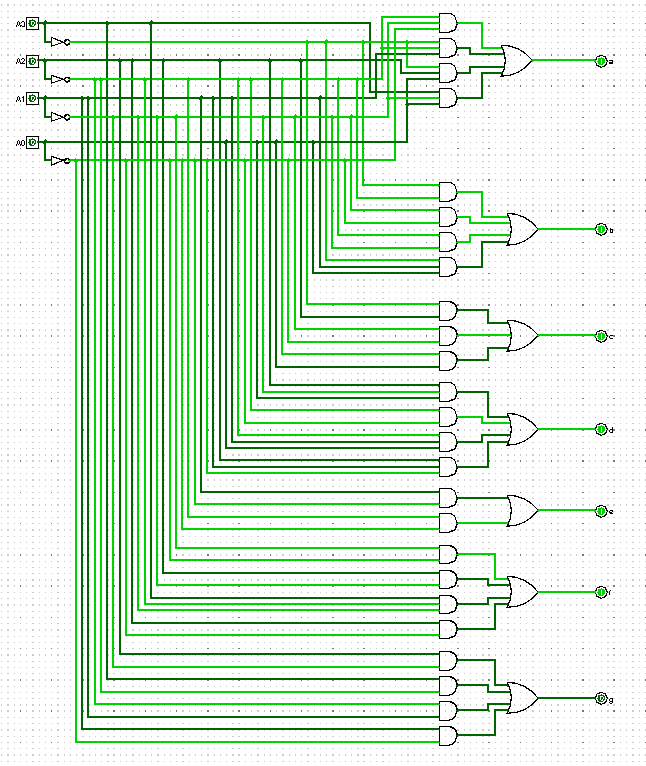


图2-57段译码器电路图

**（B）7段数码显示管显示电路**

将四位二进制数转8421码的十位输出和个位输出分别连接到两个7段译码器上，然后将7段译码器连接到数码显示管进行显示，输入是实验室人数的二进制。“7段数码显示管”显示人数的逻辑电路如图2-6所示：

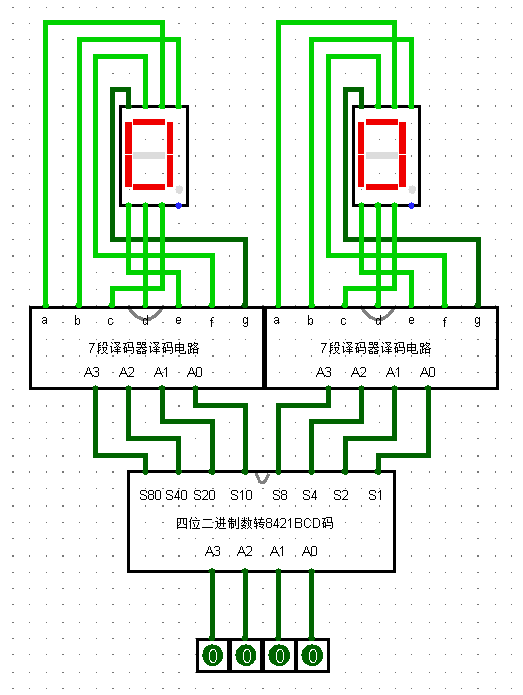


图2-6“7段数码显示管”显示人数的逻辑电路

**（4）报警电路**

当实验室满员时，再次进入时， CPU应该保持低电平状态，不发生改变。同时应该给出满员报警信号。当实验室无人时，再次有人离开，CPD也应该保持低电平状态，不发生改变。

使用logism作图，结果如图2-7所示

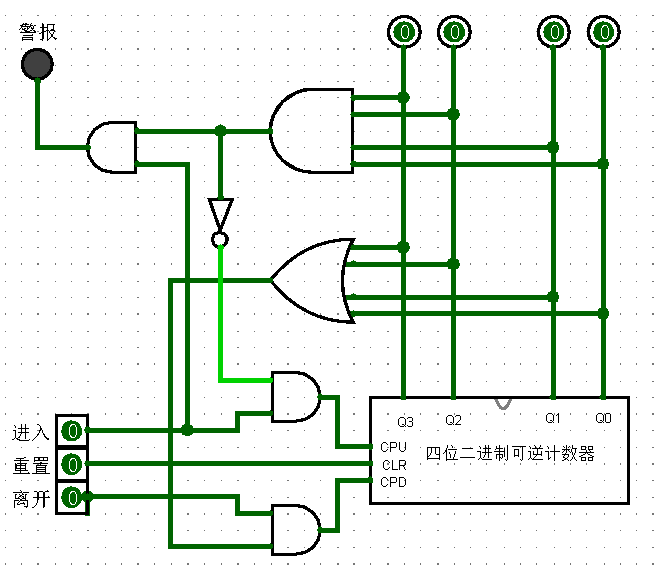


图2-7报警电路图

**（5）小型实验室门禁系统电路的封装**

将报警系统四位二进制数转8421码的芯片，然后通过7段译码器连接数码管，得到电路如图2-8和图2-9所示。

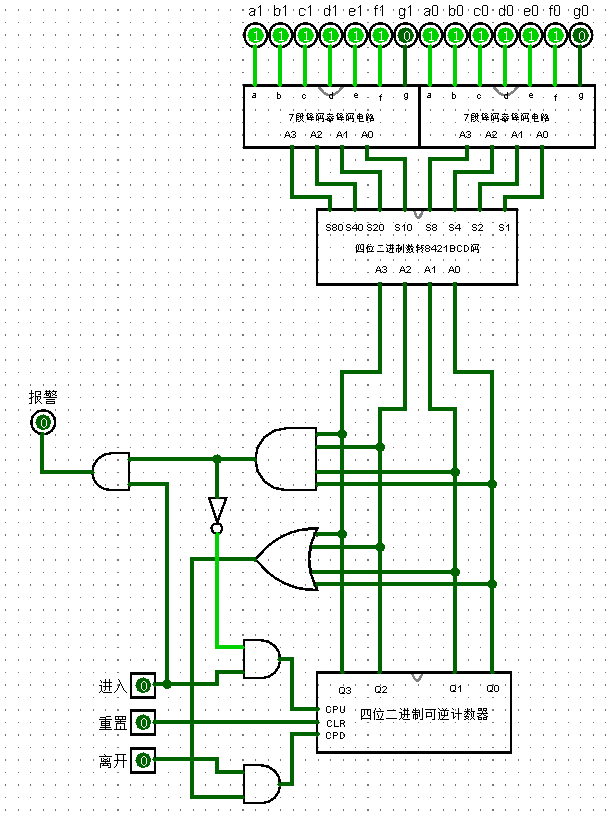


图2-8小型实验室门禁系统电路图

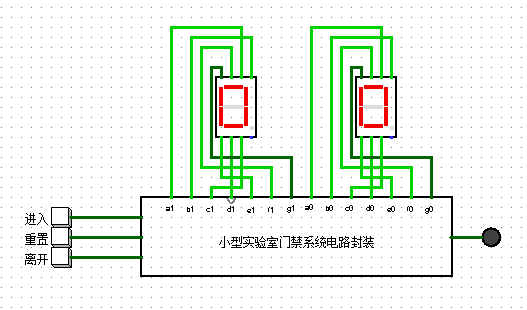


图2-9小型实验室门禁系统封装电路图

6、实验结果记录

**（1）“四位二进制可逆计数器”“私有”元件的测试电路**

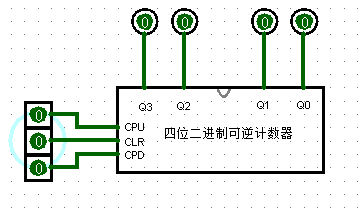


图2.10 四位二进制可逆计数器测试样例

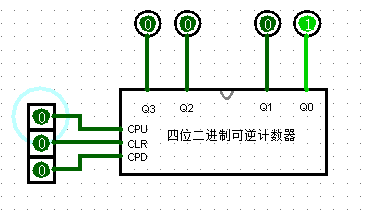


图2.11 四位二进制可逆计数器测试样例

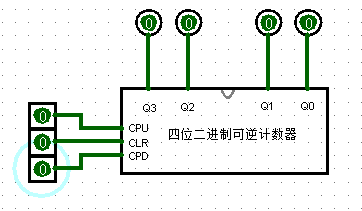


图2.12 四位二进制可逆计数器测试样例

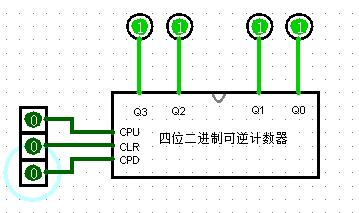


图2.13 四位二进制可逆计数器测试样例

**（2）“实验室内人数转换成8421BCD码”“私有”元件的测试电路**

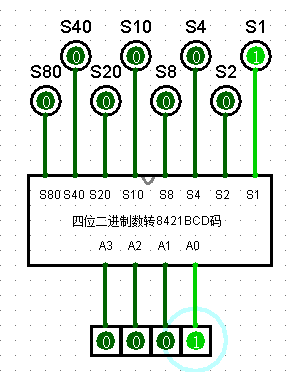


图2.14 四位二进制数转8421BCD码测试样例

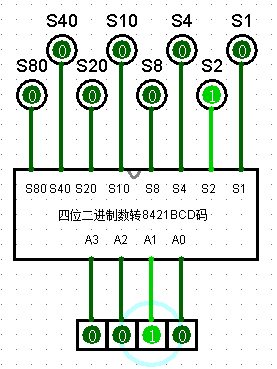


图2.15 四位二进制数转8421BCD码测试样例

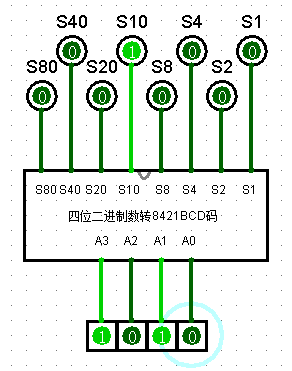


图2.16 四位二进制数转8421BCD码测试样例

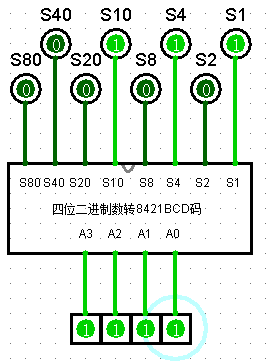


图2.17 四位二进制数转8421BCD码测试样例

**（3）采用“7段数码显示管”显示人数“私有”元件测试电路**

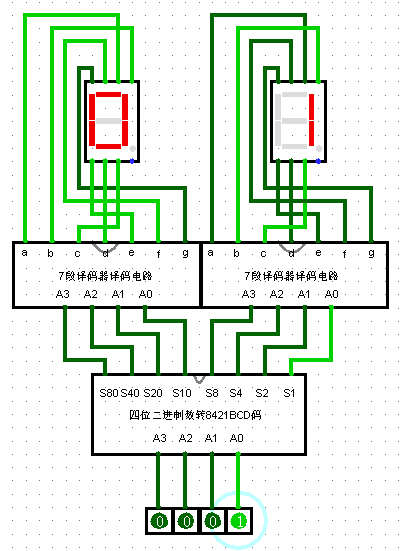


图2.18 “7段数码显示管”显示人数“私有”元件测试样例

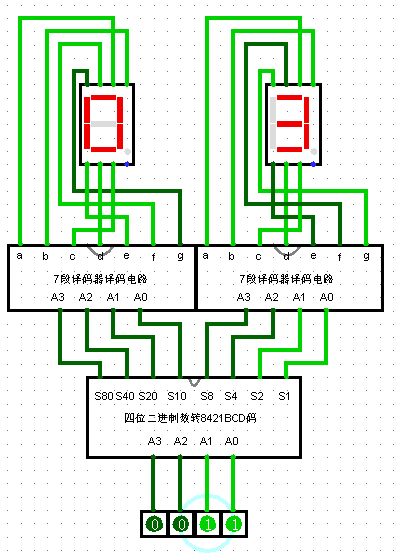


图2.19 “7段数码显示管”显示人数“私有”元件测试样例

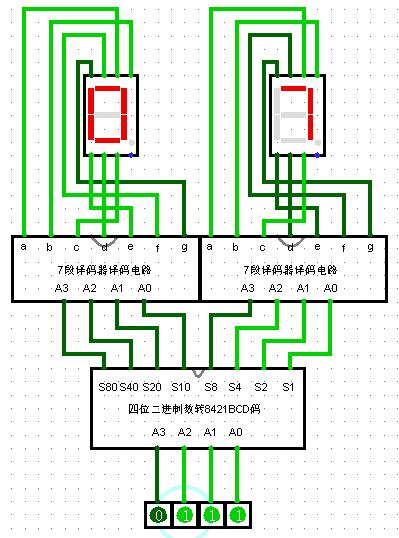


图2.20 “7段数码显示管”显示人数“私有”元件测试样例

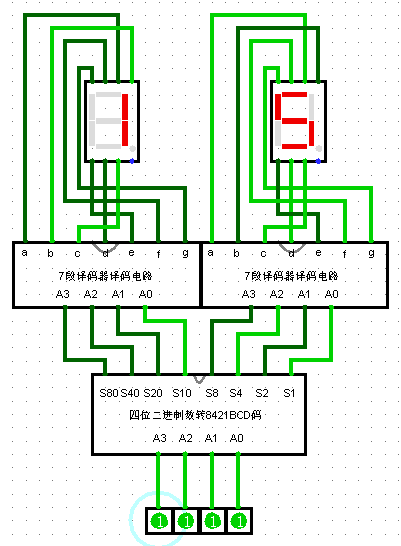


图2.21 “7段数码显示管”显示人数“私有”元件测试样例

**（4）“系统报警提示满员”“私有”元件的测试电路**

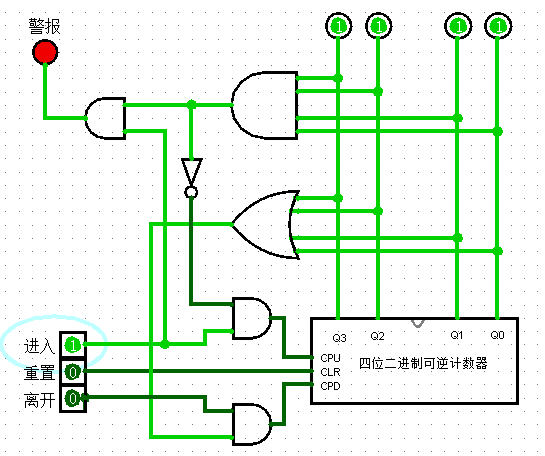


图2.22 “系统报警提示满员”“私有”元件测试样例

**（5）“小型实验室门禁系统”“私有”元件的测试电路**

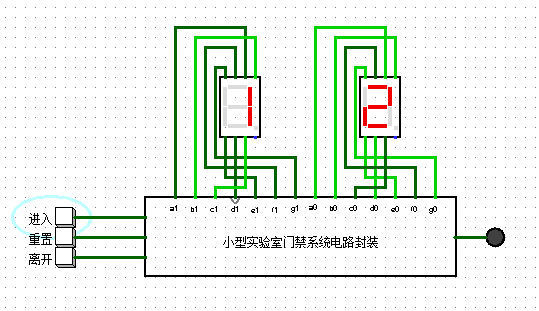


图2.23 “小型实验室门禁系统”“私有”元件测试样例

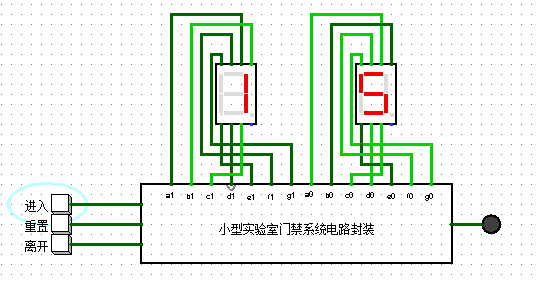


图2.24 “小型实验室门禁系统”“私有”元件测试样例

7、实验后的思考

**（1）这两次实验的难点你认为在哪些方面？**

第一次实验刚开始不会使用logism，在画图方面花费了很大的时间。第二次实验电路的设计比较困难，画图由于线数量过多也很难画。

**（2）你是如何解决的？**

logism不熟练的问题在多次使用以后得到了解决。电路设计困难的问题，首先在纸上算出相应的真值表和激励表等，然后画出电路图，最后在logism上细心地画电路，画完一根线比较一下是否画错。

**（3）意见和建议**

希望两次实验的内容能够合理分配