

# **数字逻辑实验报告（3**）

|  |  |  |
| --- | --- | --- |
| **数字逻辑实验2** | | |
| **多功能电子钟系统设计** | **成绩** |  |

评语：（包含：预习报告内容、实验过程、实验结果及分析）

教师签名

**姓 名： 王占成**

**学 号： U201714786**

**班 级： CS1707**

**指 导 教 师： 胡迎松**

**计算机科学与技术学院**

**2019年5月24日**



**数字逻辑实验报告**

多功能电子钟系统设计实验报告

## 多功能电子钟系统设计

1、实验名称

多功能电子钟系统设计。

2、实验目的

采用传统电路的设计方法，对一个“设计场景”进行逻辑电路的设计，并利用工具软件logisim的虚拟仿真来验证本设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

3、实验所用设备

Logisim2.7.1软件一套。

4、实验内容

设计场景：多功能数字钟是一种用数字显示秒、分、时的计时装置，其基本功能如下：

（1）显示时、分、秒；

（2）可以切换24小时制或12小时制（上午和下午）；

（3）整点报时，整点前10秒开始，整点时结束；

（4）单独对“时、分”计时校准,分钟值校准时不影响小时值；

（5）闹钟,到设定时间提醒10秒。

**使用logisim软件对你设计电子钟电路进行虚拟仿真验证，具体要求如下。**

（采用logisim软件提供的“时钟频率”为0.25hz的信号源。）

**（1）具有校准计数值的六十进制计数器电路**

采用实验1所设计的“四位二进制可逆计数器”这个“私有”元件和相应元器件，设计一个具有对计数值进行校准的六十进制计数器，并封装，该计数器封装图如图2-1所示。

**Q1D Q1C Q1B Q1A  Q0D Q0C Q0B Q0A**

**CPU**

**Adj 校准功能的六十进制计数器**

**CPD  Clr**

图2-1 调整计数值的60进制计数器

具体要求：

1. 封装后的电路输入为：一个累加计数脉冲输入端**CPU、**一个累减计数脉冲输入端**CPD、**清零输入信号**Clr、**一个计数值校准输入控制信号**Adj；**
2. 封装后的电路输出为输出八个计数器状态输出值**Q1D Q1C Q1B Q1A****Q0D Q0C Q0B Q0A**（测试电路中要接16进制数字显示器）**，**进位输出信号；
3. 当**Adj**=1时，可以通过**CPU**、**CPD**，对计数值进行加、减调整来设置当前时间；
4. 当**Adj**=0，通过输入脉冲**CP**计数器累加计数，每当累计满60产生一个进位输出信号；
5. Clr为1时，计数器清零；
6. 计数器的输出为两位8421码。

**（2）具有校准计数值的十二进制计数器或二十四进制的计数器电路**

采用（1）设计的六十进制计数器和相应元器件，设计一个具有对计数值进行校准的十二进制计数器或二十四进制的计数器，并封装，该计数器封装图如图2-2所示。

**Q1D Q1C Q1B Q1A  Q0D Q0C Q0B Q0A**

**CPU  Qcc**

**Adj 校准功能的十二进制计数器或二十四进制计数器 Set**

**CPD  Clr**

图2-2 调整计数值的十二进制或二十四进制计数器

具体要求：

1. 封装后的电路输入为：一个累加计数脉冲输入端**CPU、**一个累减计数脉冲输入端**CPD、**清零输入信号**Clr、**一个计数值校准输入控制信号**Adj、**12小时计时或24小时计时控制信号**Set**；
2. 封装后的电路输出为输出八个计数器状态输出值**Q1D Q1C Q1B Q1A****Q0D Q0C Q0B Q0A**（测试电路中要接16进制数字显示器）**，**进位输出信号；
3. 当**Adj**=1时，可以通过**CPU**、**CPD**，对计数值进行加、减调整来设置当前时间；
4. 当**Adj**=0，通过输入脉冲**CPU**计数器累加计数，每当累计满60产生一个进位输出信号；
5. Clr为1时，计数器清零；
6. 当**Set**=0，12小时计时，每当累计满12产生一个进位输出信号；

当Set=1时，24小时计时，每当累计满24产生一个进位输出信号；

1. 计数器的输出为两位8421码。

**（3）显示“上午”、“下午”的电路**

设计一个采用“Led点阵”显示器和相应元器件以“上”和“下”的形式表示电子钟的“上午”和“下午”的电路，并封装，文字显示参考图2-3所示。封装图如图2-4所示，测试店里如图2-5所示。

** **

图2-3 led点阵显示器

图2-4 led点阵封装图 图2-5 led点阵测试图

具体要求：

1. 封装后的电路输入为：一个上下午显示控制信号**AM/FM、**计时控制**TT**；
2. 封装后的电路输出为4个五位的数据，用以接4\*5led（4列⨯5行）显示器；
3. **AM/FM=0**，显示“上”； **AM/FM=1**，显示“下”；
4. **TT=0**时，24小时计时；**TT=1**时，12小时计时；
5. 24小时计时时，显示屏全灭；12小时计时时，根据具体时间显示“上”或“下”；
6. 封装时LED显示屏不封装在内。

**（4）电子钟整点报时电路**

设计一个10秒的整点报时电路，并封装，该电路在整点前10秒（59分50秒）被触发，发出报时信息（用发光二极管的闪烁来表示），报时10秒结束。

**（5）秒计时脉冲产生电路**

按要求以logisim软件的0.25hz信号作为电路震荡源，设计一个输出为1hz的脉冲信号电路，并封装，逻辑符号参见图2-6所示，它成为秒计数器的计数脉冲信号。

**0.25hz 秒计时脉冲产生电路 1hz**

图2-6 秒计时脉冲产生电路

**（6）闹钟（选做）**

设计定时起闹（闹钟）电路，并封装。

具体要求：

1. 可设置闹钟起闹时间，具体到小时和分，在测试电路中要用16进制数字显示器显示；
2. 在设定的起闹时间，闹钟开始响铃，十秒后结束；
3. 闹铃用Led灯的亮灭表示。

**（7）多功能数字钟电路**

充分利用（1）~（6）设计的“私”有元件和相应元器件，设计满足多功能电子钟“设计场景”要求的电路，并封装，封装图如图2-7所示。测试图如图2-8所示。

1. 输入信号有“Set”、“CPU、CPD”、“Adj0、Adj1”、“Clr”、“0.25hz信号”；输出信号为“小时”、“分”、“秒”对应的6位8421码、“闹钟”和“整点”输出信号以及控制“上下午”显示的信号；
2. “Set”为“时计数器”输入信号，当Set=1时，计数器为二十四进制计数器，Set=0为低电平时为十二进制计数器；
3. “CPU、CPD”为计数器计数值进行手动加、减调整的输入脉冲信号；
4. “Adj0”为计数器计数值进行校准的输入控制信号，Adj0=0，表示不调整时钟；Adj0=1，表示调整时钟；
5. “Adj1”为计数器计数值进行校准的选择输入控制信号，Adj1=0，表示调整小时；Adj1=1，表示调整分钟；
6. “Clr”为计数器的清除信号；
7. “0.25hz信号”为电子钟脉冲输入信号；
8. 输出的时间小时、分和秒分别为六个8421码；
9. “Led点阵”显示器分别对应“上、下午”输出信号；
10. 两个“发光二极管”分别对应“闹钟”，“整点”输出信号。
11. 如果选做闹钟，“Alarm”为输入的时间设定提醒值（闹钟值）；



图2-7电子钟的“输入、输出检查要求”



图2-8电子钟的测试电路

5、实验方案设计

**（1）具有校准计数值的六十进制计数器电路**

根据四位二进制可逆计数器的原理，首先设计出mod6计数器以及mod10计数器。根据mod的数值不同，从而在不同的位置改变进位之后的数值，得到两种计数器。最后将mod6计数器和mod10计数器连接起来，便可以构成mod60可逆计数器。

Logism电路图如下列图所示：

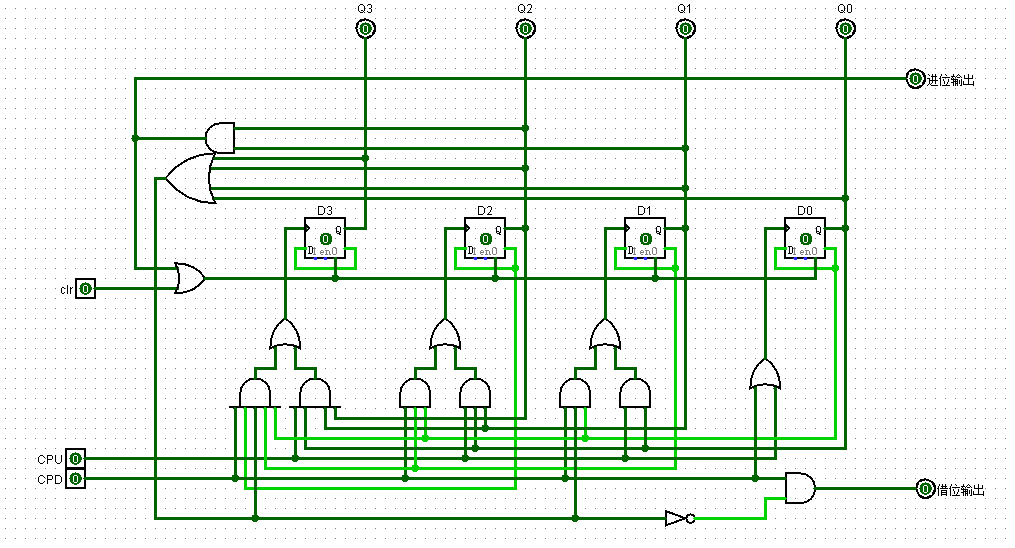


图2-1 mod6计数器

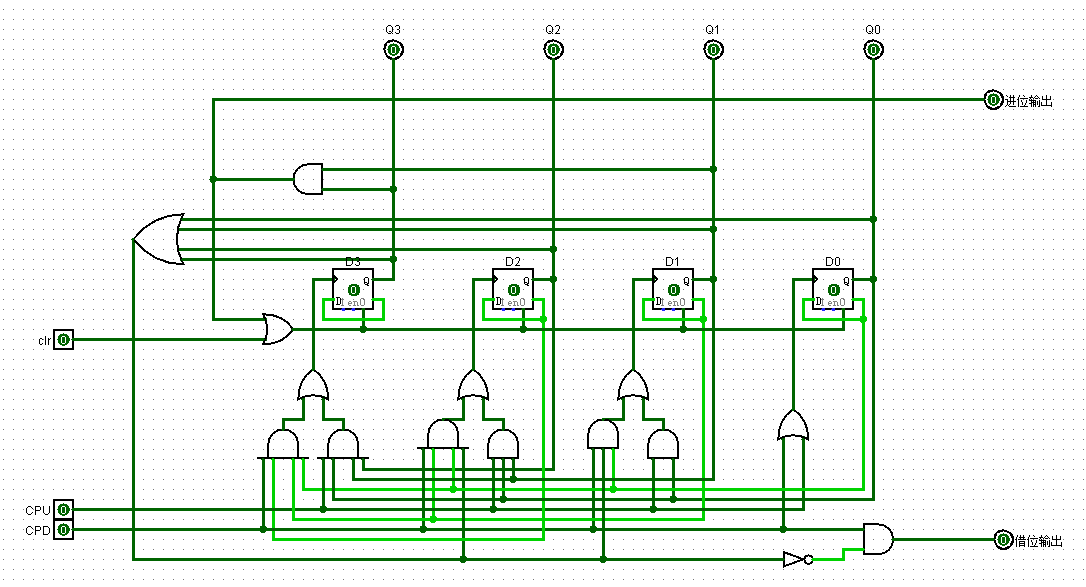


图2-2 mod10计数器

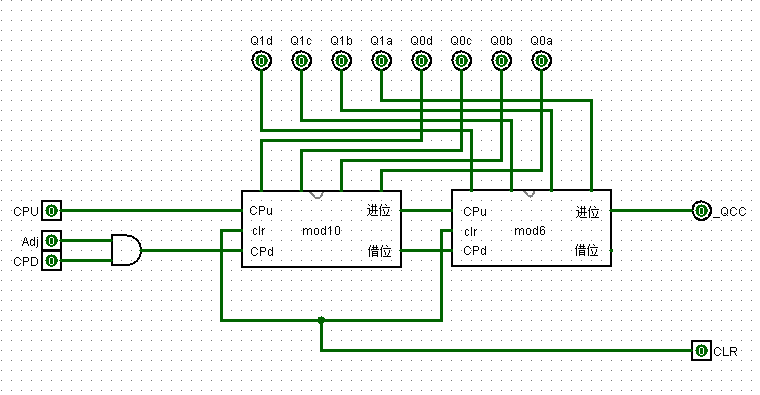


图2-3 具有校准计数值的六十进制计数器

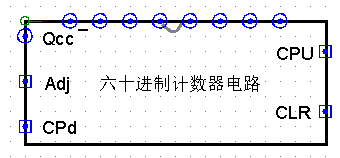


图2-3 具有校准计数值的六十进制计数器封装图

**（2）具有校准计数值的十二进制计数器或二十四进制的计数器电路**

由于这个电路的设计在六十进制以内的计数器，因此这个电路可以在mod60计数器的基础上进行改编，将六十进制计数器改编成二十四进制计数器。因为这个电路元件是关于闹钟的，由此可以在二十四进制的基础上得到十二进制计数器，根据Adj的输入来切换进制。当选择二十四进制时，将修改的进制计数器的计数值直接输出；当选择十二进制计数器时，二十四进制计数器仍然计数。若当前的二十四进制计数器的值小于十二，直接输出二十四进制计数器的值；若当前计数器的值大于12，那么就用二十四进制计数器的值减去12再进行输出。加法计数和减法技术具有同样的道理，这里不再赘述。

Logism的电路图如下列图所示：

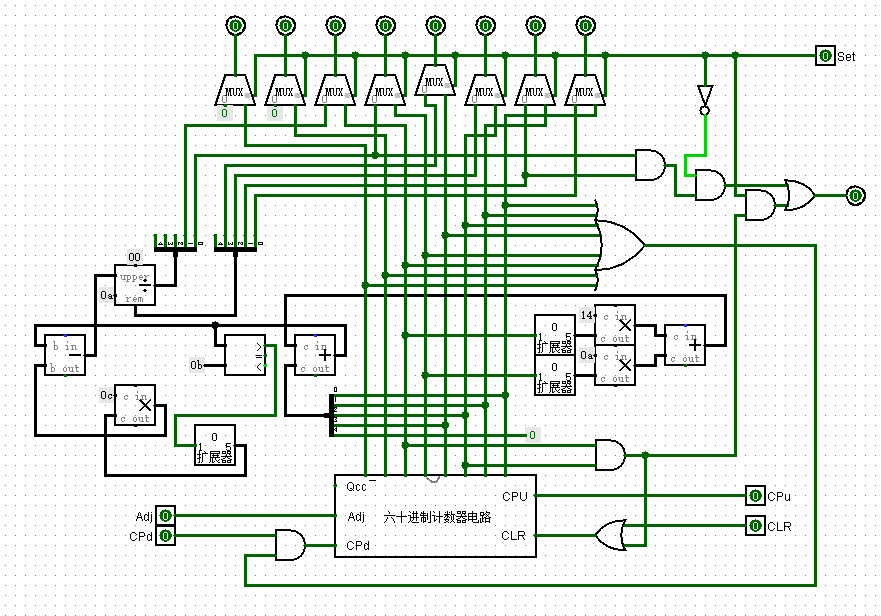


图2-5 具有校准计数值的十二进制计数器或二十四进制的计数器

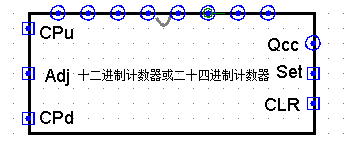


图2-6 具有校准计数值的十二进制计数器或二十四进制的计数器封装图

**（3）显示“上午”、“下午”的电路**

在电路中使用数据选择器来实现TT的控制，将TT接于各个数据选择器的使能端，将AM/PM接于数据选择器的选择端。通过在数据选择器的输入端输入不同的数值，从而得到上午或者下午的点阵列图。

Logism电路图如下列图所示：

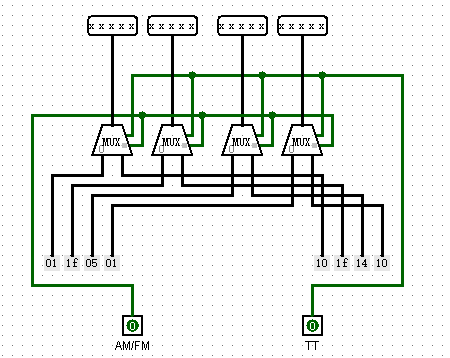


图2-7 显示“上午”或“下午” 电路

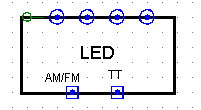


图2-8 显示“上午”或“下午” 电路封装图

**（4）整点报时电路**

在电路中通过十进制计数器来实现报时10秒的功能。接入START输入，然后接受十次时钟脉冲，即计时10秒。

Logism电路图如下列图所示：

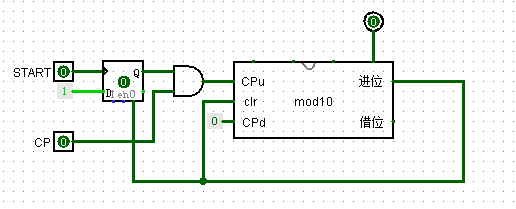


图2-9 电子钟整点报时电路



图2-10 电子钟整点报时电路封装图

**（5）秒计时脉冲产生电路**

此电路相当于一个八进制计数器，可以在四位二进制可逆计数器上进行简单的修改，输入8次脉冲时产生一次脉冲，秒计时脉冲产生电路即设计完成。

Logism电路图如下列图所示：

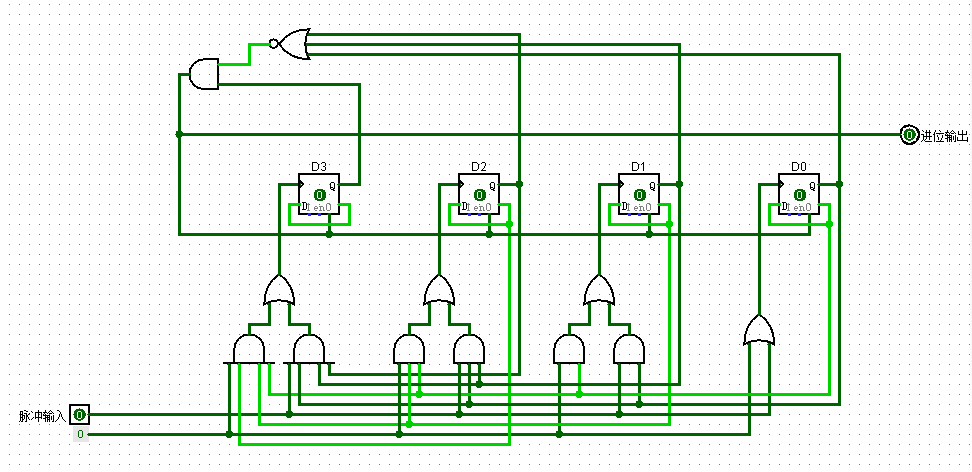


图2-11 秒计时脉冲产生电路

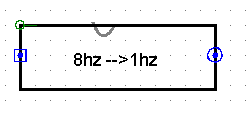


图2-12 秒计时脉冲产生电路封装图

**（7）多功能电子钟电路**

该电路基础的电路设计比较简单，只需要简单地将前面的电路连接起来即可。但是在设计的时候，要注意二十四小时计时和十二小时计时之间进行切换时，若对闹钟进行时间的调整，那么“上午”和“下午”显示电路也要进行相应的改变。时间从前一天到后一天时，也要注意“上午”和“下午”显示电路的修改。二十四小时计时时，“上午”和“下午”显示电路也要在暗中更改。十二小时计时时，时间在12点前后来回变化时，“上午”和“下午”显示电路也要来回地变化。有了这样的思路，再借用相应的存储器和逻辑门，电路的设计也就明了了。

Logism电路图如下列图所示：

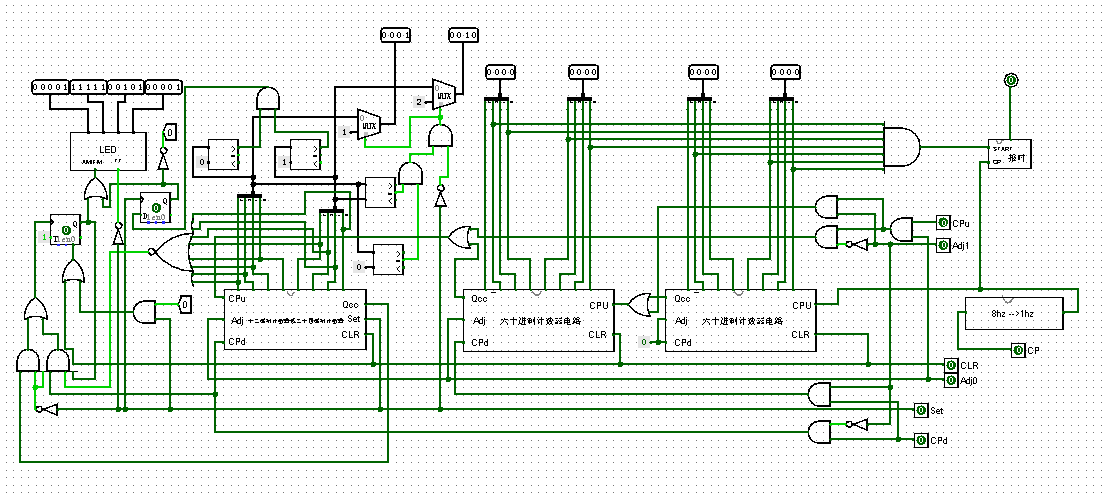


图2-13 多功能数字钟电路

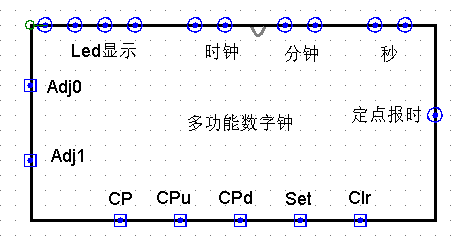


图2-14 多功能数字钟电路封装图

6、实验结果记录

**（1）“具有校准计数值的六十进制可逆计数器”“私有”元件的测试电路**

**要求：封装后外接16进制数字显示器。**

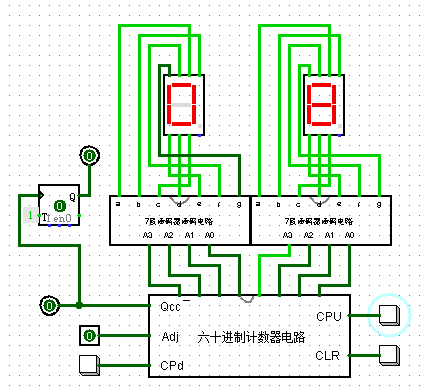


图2-15

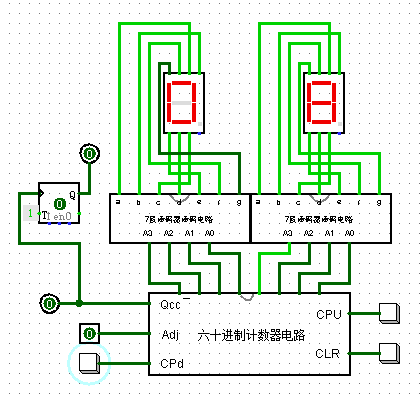


图2-16

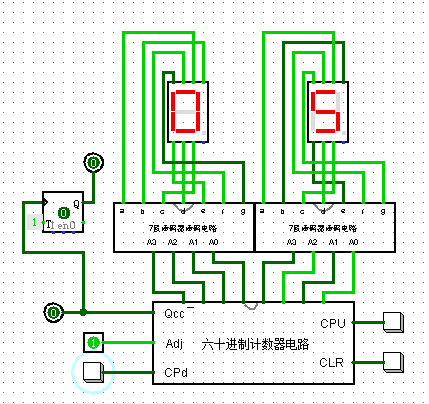


图2-17

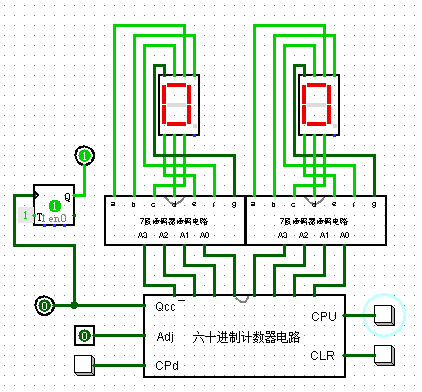


图2-18

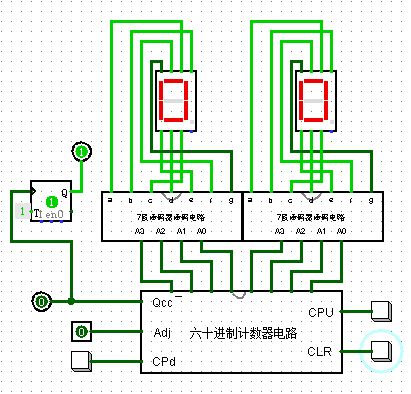


图2-19

**（2）“具有校准计数值的十二进制计数器或二十四进制的计数器” “私有”元件的测试电路**

**要求：封装后外接16进制数字显示器。**

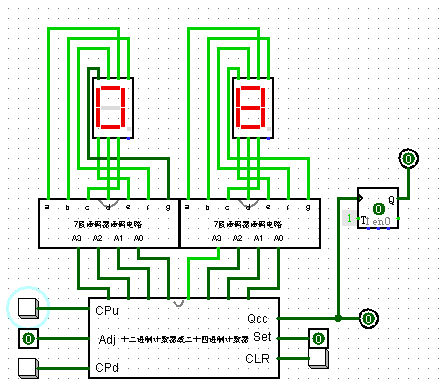


图2-20

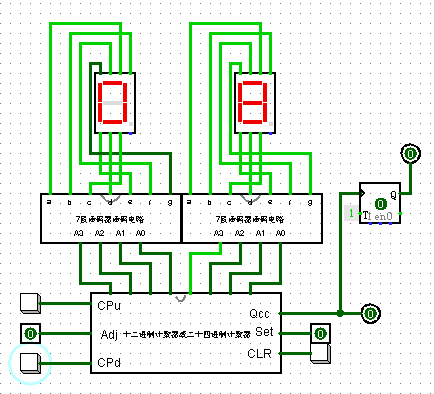


图2-21

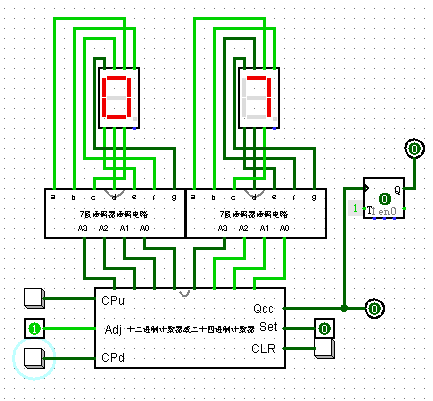


图2-21

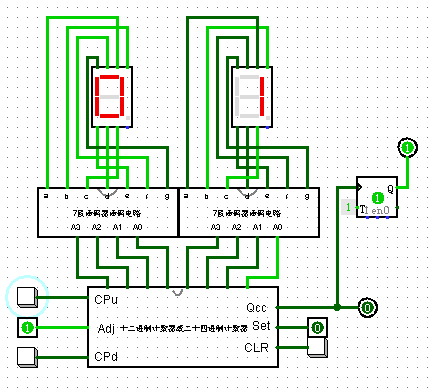


图2-22

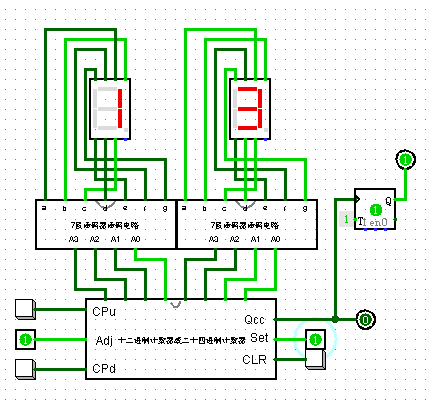


图2-23

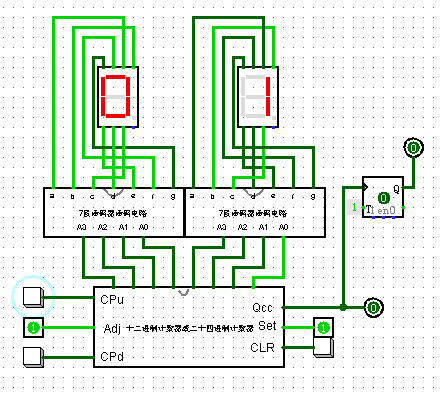


图2-24

**（3）显示“上午”、“下午”“私有”元件的测试电路**

**要求：封装后外接4\*5Led显示器。**

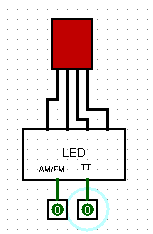


图2-25

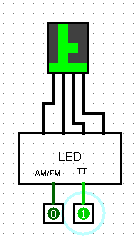


图2-26

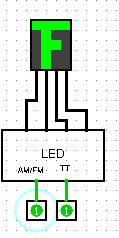


图2-27

**（4）电子钟整点报时“私有”元件的测试电路**

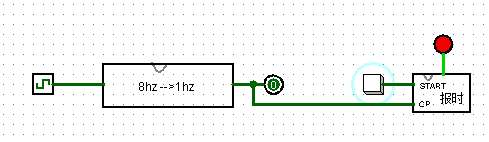


图2-28

**（6）按多功能数字钟电路系统输入、输出信号要求，多功能数字钟电路的测试电路**

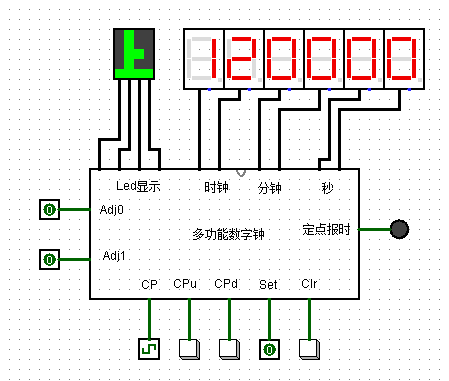


图2-29

7、实验后的思考

**（1）实验的难点在哪些方面？**

1.设计十二进制或二十四进制计数器时，使用十二进制计数器时，20-12和21-12如何进行解决？

2.设计不同进制计数器时，在减法计数器，当从0变为\*\*时，如何避免进位端产生脉冲？

**（2）你是如何解决的？**

1. 一开始只使用简单的逻辑门，后来发现只根据简单的逻辑关系难以进行计算。后来找到了一种新的方法，可以将判断二十四进制计数时，当前的数目是否大于十二，大于十二的时候，可以用减法器和分离器来实现加减以及输出。

2.一开始设计进制计数器，在进行减法计数时，从0变为\*\*时，因为所有的计数器都是在四位二进制可逆计数器上进行改变的的，所以电路首先会变为1111，然后再变为进制计数器的最大值，这样就会产生进位输出。这样进位输出和借位输出都产生了脉冲，电路发生错误。后来，重新写了一遍表达式，在最底部进行修改，而不是先让计数器变为1111再修改。这样，问题就得到了解决。