

背过：

第一章 计算机系统

第三章 系统总线

第四章 存储器

第五章 输入输出系统

第七章 指令系统

第八章 CPU的结构和功能

第九章 控制单元的功能

第十章

**背过：**

**冯诺依曼计算机的特点**

- 计算机由运算器、存储器、控制器、输入设备和输出设备五大部件组成
- 指令和数据以同等地位存放于存储器内，并可按地址寻访
- 指令和数据均用二进制数表示
- 指令由操作码和地址码组成，操作码用来表示操作的性质，地址码用来表示操作数在存储器中的位置
- 指令在存储器内按顺序存放，通常，指令是顺序执行的，在特定条件下，可以根据运算结果或根据设定的条件改变执行顺序
- 机器以运算器为中心，输入输出设备与存储器间的数据传送通过运算器完成

**摩尔定律：**

- 微芯片上集成的晶体管数目每三年翻两番
- 事实上，一味追求微芯片集成度的提高，除了引发散热和功耗问题，还会出现更多的问题，如线延迟问题、软误码率现象等

**结合程序查询方式的接口电路，说明其工作过程**

1. 当CPU通过IO指令启动输入设备时，指令的地址码字段通过地址线送至设备选择电路

2. 如果设备选择电路上的代码与地址码字段吻合，则输出SEL有效
3. IO指令的启动命令通过与非门将工作触发器B置1，完成触发器D置0
4. 由B触发器启动设备工作
5. 输入设备将数据送至数据缓冲寄存器
6. 由设备发送数据完成信号，将完成触发器D置1，工作触发器B置0，表示外设准备就绪
7. D触发器以“准备就绪”状态通知CPU，表示“数据缓冲满”
8. CPU发送输入指令，将数据缓冲寄存器中的数据送至CPU的通用寄存器，再存入主存相关单元

#### 中断方式：

1. 由CPU发启动I/O设备命令，将接口中的B置1，D置0
2. 接口启动输入设备开始工作
3. 输入设备将数据送入数据缓存寄存器
4. 输入设备向接口发出“设备工作结束”信号，将D置1，B置0，标志设备准备就绪
5. 当设备准备就绪（D=1），且本设备未被屏蔽（MASK=0）时，在指令执行阶段的结束时刻，由CPU发出中断查询信号
6. 设备中断请求触发器INTR被置1，标志设备向CPU提出中断请求。与此同时，INTR送至排队器，进行中断判优
7. 若CPU允许中断（INTR=1），设备又被排队器选中，即进入中断响应阶段，由中断响应信号INTA将排队器输出送至编码器形成向量地址
8. 向量地址送至PC，作为下一条指令的地址
9. 由于向量地址中存放的是一条无条件转移指令
10. 中断返回

#### 结合DMA接口电路说明其工作过程

##### 1、DMA传送过程：

###### （1）预处理

在DMA接口开始工作之前，CPU必须给它预置以下信息

- 给DMA控制逻辑指明数据传送方向是输入还是输出
- 向DMA设备地址寄存器送入设备号，并启动设备
- 向DMA主存地址寄存器送入交换数据的主存地址起始地址
- 对字计数器赋予交换数据的个数

###### （2）数据传送

DMA方式是以数据块为单位传送的

1. 当设备准备好一个字时，发出选通信号，将该字读到DMA的数据缓冲寄存器中，表示该数据缓冲寄存器“满”
2. 与此同时设备向DMA接口发请求
3. DMA接口向CPU申请总线控制权
4. CPU发回HLDA信号，表示允许将总线控制权交给DMA接口
5. 将DMA主存地址寄存器中的主存地址送地址总线，并命令存储器写
6. 通知设备已被授予一个DMA周期，并为交换下一个字做准备
7. 将DMA数据缓冲寄存器的内容送数据总线
8. 主存将数据总线上的信息写至地址总线指定的存储单元中
9. 修改主存地址和字计数器
10. 判断数据块是否传送结束，若未结束，则继续传送，若已结束，则向CPU申请程序中断，标志数据块传送结束

### (3) 后处理

- 校验送入主存的数据是否正确
- 决定是否继续用DMA传送数据块
- 测试在传送过程中是否发生错误

### 精简指令集 (RISC) 的特点:

- 1、选取使用频度较高的一些简单指令以及一些很有用但又不复杂的指令，让复杂指令的功能由频度高的简单指令的组合来完成
- 2、指令长度固定。指令格式种类少，寻址方式少
- 3、只有读数/写数指令可以访问存储器
- 4、CPU中有多个通用寄存器
- 5、采用流水线技术，大部分指令在一个时钟周期内完成，采用超标量和超流水线技术，可以使每条指令的平均执行时间小于一个时钟周期
- 6、控制器采用组合逻辑控制，不用微程序控制
- 7、采用优化的编译程序

### 相比之下

- 1、CISC的指令系统复杂庞大，各种指令使用频度相差很大
- 2、指令字长不固定，指令格式种类多，寻址方式多
- 3、各种指令均可以访问存储器
- 4、CPU中设有专用寄存器
- 5、绝大多数指令需要多个时钟周期方可执行完毕
- 6、采用微程序控制
- 7、难以用优化编译生成高效的目标代码

## **RISC和CISC的比较**

- 1、充分利用VLSI芯片的面积
- 2、提高计算机运算速度
- 3、便于设计，可降低成本，提高可靠性
- 4、有效支持高级语言程序
- 5、不易实现指令系统兼容

## **CPU的功能**

- 1、取指令：

控制器必须具备能自动地从存储器中取出指令的功能

- 2、分析指令：

分析指令包括两部分内容：

其一，分析此指令要完成什么样的操作，即控制器发出什么操作命令

其二，分析参与本次操作的操作数地址，即操作数的有效地址

- 3、执行指令：

执行指令就是根据分析指令产生的“操作命令”和“操作数地址”的要求，形成操作控制信号序列（不同的指令有不同的操作控制信号序列），通过运算器，存储器及IO设备的操作，执行每条指令

### **关于计算：**

MIPS：每秒钟执行百万条指令

吞吐率：在指令级流水线中，吞吐率是指单位时间内流水线所完成指令或输出结果的数量

- 实际吞吐率是指流水线完成n条指令的实际吞吐率
- 最大吞吐率

## **第一章 计算机系统**

### **解释下列概念：**

存储单元、存储元件、存储基元、机器字长、指令字长。

解：

存储单元：可存放一个机器字并具有特定存储地址的存储单位。

存储元件：存储一位二进制信息的物理元件，是存储器中最小的存储单位，又叫存储基元或存储元，不能单独存取。

机器字长：指CPU一次能处理的二进制数据的位数，通常与CPU的寄存器位数有关。

指令字长：机器指令中二进制代码的总位数。

### 第三章 系统总线

为什么要设置总线判优控制？常见的集中式总线控制有几种？各有何特点？哪种方式响应时间最快？哪种方式对电路故障最敏感？

答：

总线判优控制解决多个部件同时申请总线时的使用权分配问题；

常见的集中式总线控制有三种：链式查询、计数器定时查询、独立请求；

特点：

链式查询方式：连线简单，易于扩充，对电路故障最敏感

计数器定时查询方式：优先级设置较灵活，对故障不敏感，连线及控制过程较复杂

独立请求方式：速度最快，但硬件器件用量大，连线多，成本较高。

解释下列概念：总线宽度、总线带宽、总线复用、总线的主设备（或主模块）、总线的从设备（或从模块）、总线的传输周期和总线的通信控制。

答：

总线宽度：通常指数据总线的根数；

总线带宽：总线的数据传输率，指单位时间内总线上传输数据的位数；

总线复用：指同一条信号线可以分时传输不同的信号。

总线的主设备（主模块）：指一次总线传输期间，拥有总线控制权的设备（模块）；

总线的从设备（从模块）：指一次总线传输期间，配合主设备完成数据传输的设备（模块），它只能被动接受主设备发来的命令；

总线的传输周期：指总线完成一次完整而可靠的传输所需时间；

总线的通信控制：指总线传送过程中双方的时间配合方式。

在异步串行传送系统中，字符格式为：1个起始位、8个数据位、1个校验位、2个终止位。若要求每秒传送120个字符，试求传送的波特率和比特率。

解：一帧包含： $1+8+1+2=12$ 位

故波特率为： $(1+8+1+2) \times 120 = 1440\text{bps}$

比特率为： $8 \times 120 = 960\text{bps}$

## 第四章 存储器

**解释概念：**RAM、SRAM、DRAM、ROM、PROM、EPROM、EEPROM、CDROM、Flash Memory。

**答：**

RAM：半导体随机存取存储器，主要用作计算机中的主存。

SRAM：静态半导体随机存取存储器。

DRAM：动态半导体随机存取存储器。

ROM：掩膜式半导体只读存储器。由芯片制造商在制造时写入内容，以后只能读出而不能写入。

PROM：可编程只读存储器，由用户根据需要确定写入内容，只能写入一次。

EPROM：紫外线擦写可编程只读存储器。需要修改内容时，现将其全部内容擦除，然后再编程。擦除依靠紫外线使浮动栅极上的电荷泄露而实现。

EEPROM：电擦写可编程只读存储器。

CDROM：只读型光盘。

Flash Memory：闪速存储器。或称快擦型存储器。

**存储器的层次结构主要体现在什么地方？为什么要分这些层次？计算机如何管理这些层次？**

**答：**

存储器的层次结构主要体现在Cache-主存和主存-辅存这两个存储层次上。

Cache-主存层次在存储系统中主要对CPU访存起加速作用，即从整体运行的效果分析，CPU访存速度加快，接近于Cache的速度，而寻址空间和位价却接近于主存。

主存-辅存层次在存储系统中主要起扩容作用，即从程序员的角度看，他所使用的存储器其容量和位价接近于辅存，而速度接近于主存。

综合上述两个存储层次的作用，从整个存储系统来看，就达到了速度快、容量大、位价低的优化效果。

主存与CACHE之间的信息调度功能全部由硬件自动完成。而主存与辅存层次的调度目前广泛采用虚拟存储技术实现，即将主存与辅存的一部分通过软硬结

合的技术组成虚拟存储器，程序员可使用这个比主存实际空间（物理地址空间）大得多的虚拟地址空间（逻辑地址空间）编程，当程序运行时，再由软、硬件自动配合完成虚拟地址空间与主存实际物理空间的转换。因此，这两个层次上的调度或转换操作对于程序员来说都是透明的。

**说明存取周期和存取时间的区别。**

解：存取周期和存取时间的主要区别是：

存取时间仅为完成一次操作的时间，而存取周期不仅包含操作时间，还包含操作后线路的恢复时间。即：

$$\text{存取周期} = \text{存取时间} + \text{恢复时间}$$

**试比较静态RAM和动态RAM。**

1、在同样大小的芯片中，动态RAM的**集成度**远高于静态RAM

（如动态RAM的基本单元电路为一个MOS管，静态RAM的基本单元电路可为4-6个MOS管）

2、动态RAM行、列地址按先后顺序输送，**减少了芯片引脚，封装尺寸也减少**

3、动态RAM的**功耗**比静态RAM小

4、动态RAM的**价格**比静态RAM便宜。

（当采购同一档次的实现技术时，动态RAM的容量大约是静态RAM容量的4~8倍，静态RAM的存取周期比动态RAM的存取周期快8~16倍，但价格也贵8~16倍）

**什么叫刷新？为什么要刷新？说明刷新有几种方法。**

解：刷新：对DRAM定期进行的全部重写过程；

刷新原因：因电容泄漏而引起的DRAM所存信息的衰减需要及时补充，因此安排了定期刷新操作；

刷新方法：

- 集中刷新：在最大刷新间隔时间内，集中安排一段时间进行刷新，存在CPU访存死时间。
- 分散刷新：在每个读/写周期之后插入一个刷新周期，无CPU访存死时间。
- 异步刷新：是集中式和分散式的折衷。

一个 $8K \times 8$ 位的动态RAM芯片，其内部结构排列成 $256 \times 256$ 形式，存取周期为 $0.1\mu s$ 。试问采用集中刷新、分散刷新和异步刷新三种方式的刷新间隔各为多少？

解：

采用集中刷新方式刷新间隔为： $2ms$ ，其中刷新死时间为：

$$256 \times 0.1\mu s = 25.6\mu s$$

采用分散刷新方式刷新间隔为： $256 \times (0.1\mu s + 0.1\mu s) = 51.2\mu s$

采用异步刷新方式刷新间隔为： $2ms$

**什么是“程序访问的局部性”？存储系统中哪一级采用了程序访问的局部性原理？**

答：程序运行的局部性原理指：在一小段时间内，最近被访问过的程序和数据很可能再次被访问；在空间上，这些被访问的程序和数据往往集中在一小片存储区；在访问顺序上，指令顺序执行比转移执行的可能性大（大约 5:1）。存储系统中Cache-主存层次和主存-辅存层次均采用了程序访问的局部性原理。

## 第五章 输入输出系统

**简要说明CPU与I/O之间传递信息可采用哪几种联络方式？它们分别用于什么场合？**

答：

CPU与I/O之间传递信息常采用三种联络方式：直接控制（立即响应）、同步、异步。适用场合分别为：

直接控制适用于结构极简单、速度极慢的I/O设备，CPU直接控制外设处于某种状态而无须联络信号。

同步方式采用统一的时标进行联络，适用于CPU与I/O速度差不大，近距离传送的场合。

异步方式采用应答机制进行联络，适用于CPU与I/O速度差较大、远距离传送的场合。

**简述IO接口的功能和组成**

功能：

- 选址功能
- 传送命令
- 传送数据



- 反映IO设备工作状态

组成：

- 完成触发器
- D工作触发器
- B中断请求触发器INTR
- 屏蔽触发器MASK

**说明中断向量地址和入口地址的区别和联系。**

解：区别：

向量地址是硬件电路（向量编码器）产生的中断源的内存地址编号，中断入口地址是中断服务程序首址。

中断向量地址和入口地址的联系：

中断向量地址可理解为中断服务程序入口地址指示器（入口地址的地址），通过它访存可获得中断服务程序入口地址。（两种方法：在向量地址所指单元内放一条JMP指令；主存中设向量地址表。参考8.4.3）

## 第七章 指令系统

**寻址方式：**

- 指令寻址
  - 顺序寻址
  - 跳跃寻址
- 数据寻址
  - 立即寻址 #
  - 直接寻址
  - 隐含寻址
  - 间接寻址
- 寄存器寻址
- 寄存器间接寻址
- 基址寻址
- 变址寻址：变址寄存器的内容由用户设定

- 相对寻址：将PC中的内容与指令字中的形式地址A相加而成
- 堆栈寻址（可视为一种隐含寻址）

## 第八章 CPU的结构和功能

### CPU的功能

#### 1、取指令：

控制器必须具备能自动地从存储器中取出指令的功能

#### 2、分析指令：

分析指令包括两部分内容：

其一，分析此指令要完成什么样的操作，即控制器发出什么操作命令

其二，分析参与本次操作的操作数地址，即操作数的有效地址

#### 3、执行指令：

执行指令就是根据分析指令产生的“操作命令”和“操作数地址”的要求，形成操作控制信号序列（不同的指令有不同的操作控制信号序列），通过运算器，存储器及IO设备的操作，执行每条指令

#### 发生数据相关时采取措施：

后推法，定向技术（旁路技术或相关专用通路技术）

## 第九章 控制单元的功能

一个指令周期包含若干个机器周期，一个机器周期又包含若干个时钟周期（节拍）

## 第十章

### 安排位操作节拍时应注意以下三点：

1. 安排微操作节拍时必须注意微操作的先后顺序
2. 凡是被控制对象不同的微操作，若能在一个节拍内执行，应尽可能安排在同一个小节拍内
3. 如果有些微操作所占的时间不长，应将他们安排在一个节拍内完成，并且允许这些微操作有先后顺序

### 程序控制器中微指令的地址有几种形成方式

1. 直接由微程序的下地址字段给出
2. 根据机器指令的操作码形成
3. 增量计数器法
4. 根据各种标志决定微指令分支转移的地址
5. 通过测试网络形成
6. 由硬件产生微指令程序入口