# 1.実験日の気温、湿度、天候

実験日:2018年12月17日(月)

気温:19.0℃

湿度:46%

天候:曇り

# 2.実験の目的

近年の論理回路の製作には、主にマイコン(microcomputer または microcontroller)、専用IC、FPGA(Field-Programmable Gate Array)などを用いることが多い。この実験では、それらを利用するための準備段階として基礎を学ぶため、74/74HCシリーズなど基本的なロジックIC(Integrated Circuit:集積回路)を用いて回路を組み、動作を測定する。トランジスタの増幅回路がどのように電気的な計算に結びつくのか、その概念を把握する。

# 3.使用機器

使用した機器は表3の通りである。

但し図3では、

A...Gの間にはB,C,D...,Fが、

0...15の間には1,2,3,...,14が省略されている。

表3 使用機器

|  |  |  |
| --- | --- | --- |
| 名称 | メーカ名、型番、定格など | 数量 |
| ロジック基礎実験ボード | 東京電機大学 情報通信実験室製  構成を図3に示す | 1 |
| スイッチユニット | 東京電機大学 情報通信実験室製  構成を図3に示す | 1 |
| ボード用ACアダプタ | 5V 日用品 電流最大1A程度、スイッチング電源可 | 1 |
| ブレッドボード | 大判、中型、一つずつ | 2 |
| 4ビットカウンタ 2回路入りIC | SN74HC393N | 4 |
| 2入力NOR 4回路入りIC | SN74HC02 | 3 |
| 3Pトグルスイッチ |  | 3 |
| 抵抗器 | 1[kΩ]のもの3つ、470[Ω]のもの3つ、100[Ω]のもの2つ | 8 |
| ビニール被覆線 | 芯線0.8[mm] 電気抵抗0.1[Ω]以下のものを選択して使用。 | 複数 |
| オシロスコープ | 岩通 DS-5104B | 1 |
| 発振器 | ケンウッド AG-203D | 2 |
| 7セグメントLED | OSL40562-IR 4桁アノードコモン表示器 | 1 |

(図3)

# 4.実験内容と結果

## 4.1実験1 NANDゲートのみによる全加算器の構成

行わなかった。

## 4.2実験2 NORゲートのみによる全加算器の構成

### 4.2.1実験手順

2入力NOR 4回路入りICのみを用いて図4.2.1のようにブレッドボード上で接続した。

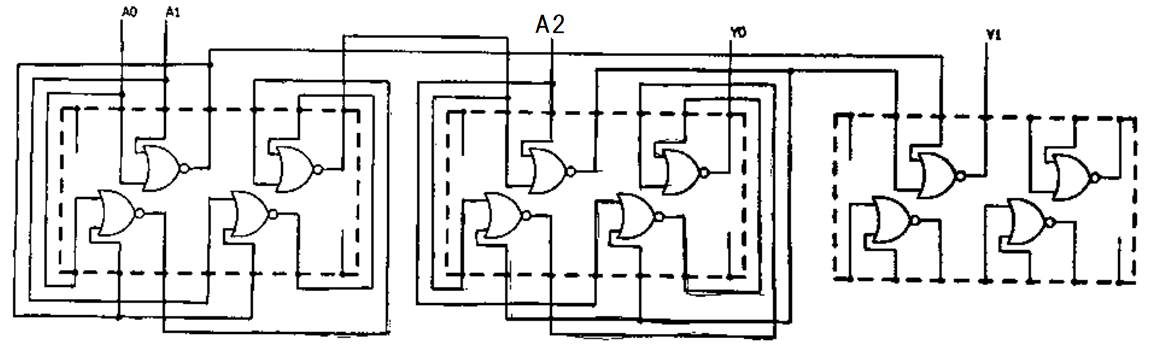


図4.2.1 NORゲートのみで構成した全加算器

### 4.2.2実験結果

表4.2.2通りの動作が確認されなかった。  
正しい出力ではないが1の出力するパターンは存在したため電源の不具合ではない。各導線の電気抵抗も表3の通りあらかじめ確認してあるため導線の一部が絶縁されていた可能性は低い。これらのことより、ICの故障、または実験1で使用予定だったNAND回路ICの混入が現実的な原因であると考えられる。

表4.2.2 全加算器の真理値表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A2 | A1 | A0 | Y1 | Y0 |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 |

## 4.3実験3 ロジック基礎実験ボード上での全加算器の構成

### 4.3.1実験手順

(1)スイッチユニットのJACK5におけるX0,X1,X2とロジック基礎実験ボードのJACK6におけるX0,X1,X2を接続した。またJACK5のX3をGNDへ接続した。

(2)ロジック基礎実験ボードで、J0A～J15Gのスイッチをすべて開放されていることを確認した。

(3)以下のスイッチのみを短絡させることで全加算器を構成した。

J3A,J5A,J6A,J7A,  
J1B,J2B,J4B,J7B

以上

(4)スイッチユニットのスイッチX0,X1,X2を短絡させたり開放したりして、全加算器への入力を行い、LED A、Bの出力を確認した。

### 4.3.2実験結果

表4.3.2に示すとおりの結果が得られた。入力X0,X1,X2で開放を0、短絡を1とみなし、出力LED A、Bで消灯を0、点灯を1とみなせば、表4.2.2と同じ入出力の組み合わせとなることから、全加算器が正しく構成されたことを理解できる。

表4.3.2 実験3における入力と出力の関係

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| X2 | X1 | X0 | LED A | LED B |
| 開放 | 開放 | 開放 | 消灯 | 消灯 |
| 開放 | 開放 | 短絡 | 消灯 | 点灯 |
| 開放 | 短絡 | 開放 | 消灯 | 点灯 |
| 開放 | 短絡 | 短絡 | 点灯 | 消灯 |
| 短絡 | 開放 | 開放 | 消灯 | 点灯 |
| 短絡 | 開放 | 短絡 | 点灯 | 消灯 |
| 短絡 | 短絡 | 開放 | 点灯 | 消灯 |
| 短絡 | 短絡 | 短絡 | 点灯 | 点灯 |

## 4.4実験4 ロジック基礎実験ボード上での2ビット加算器の構成

### 4.4.1実験手順

(1)実験3と同じようにJACK5とJACK6を接続した上、新たにJACK5のX3とJACK6のX3を接続した。

(2)ロジック基礎実験ボードで、J0A～J15Gのスイッチをすべて開放した。

(3)以下のスイッチのみを短絡させることで全加算器を構成した。

J7A,J10A,J11A,J13A,J14A,J15A,  
J2B,J3B,J5B,J6B,J8B,J9B,J12B,J15B,

J1C,J3C,J4C,J6C,J9C,J11C,J12C,J14C

以上

今後、例えばJ10AとJ11Aをまとめて記述するとき、J{10,11}Aまたは  
J{10～11}Aのように表現する。

(4)スイッチユニットのスイッチX0,X1,X2,X3を短絡させたり開放したりして、2bit加算器への入力を行い、LED A、B、Cの出力を確認した。

### 4.4.2実験結果

表4.4.2に示すとおりの結果が得られた。

問いの列と答えの列で、2進数(括弧内は10進数)の加算が成立していることより、2bit加算器が正しく構成されたことが理解できる。

表4.4.2 実験4における入力と出力の関係

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| X3 | X2 | X1 | X0 | 問い  2進数 (10進数) | LED A | LED B | LED C | 答え  2進数  (10進数) |
| 開放 | 開放 | 開放 | 開放 | 00+00  (0+0) | 消灯 | 消灯 | 消灯 | 000  (0) |
| 開放 | 開放 | 開放 | 短絡 | 00+01  (0+1) | 消灯 | 消灯 | 点灯 | 001  (1) |
| 開放 | 開放 | 短絡 | 開放 | 00+10  (0+2) | 消灯 | 短絡 | 消灯 | 010  (2) |
| 開放 | 開放 | 短絡 | 短絡 | 00+11  (0+3) | 消灯 | 点灯 | 点灯 | 011  (3) |
| 開放 | 短絡 | 開放 | 開放 | 01+00  (1+0) | 消灯 | 消灯 | 点灯 | 001  (1) |
| 開放 | 短絡 | 開放 | 短絡 | 01+01  (1+1) | 消灯 | 短絡 | 消灯 | 010  (2) |
| 開放 | 短絡 | 短絡 | 開放 | 01+10  (1+2) | 消灯 | 点灯 | 点灯 | 011  (3) |
| 開放 | 短絡 | 短絡 | 短絡 | 01+11  (1+3) | 点灯 | 消灯 | 消灯 | 100  (4) |
| 短絡 | 開放 | 開放 | 開放 | 10+00  (2+0) | 消灯 | 短絡 | 消灯 | 010  (2) |
| 短絡 | 開放 | 開放 | 短絡 | 10+01  (2+1) | 消灯 | 点灯 | 点灯 | 011  (3) |
| 短絡 | 開放 | 短絡 | 開放 | 10+10  (2+2) | 点灯 | 消灯 | 消灯 | 100  (4) |
| 短絡 | 開放 | 短絡 | 短絡 | 10+11  (2+3) | 点灯 | 消灯 | 点灯 | 101  (5) |
| 短絡 | 短絡 | 開放 | 開放 | 11+00  (3+0) | 消灯 | 点灯 | 点灯 | 011  (3) |
| 短絡 | 短絡 | 開放 | 短絡 | 11+01  (3+1) | 点灯 | 消灯 | 消灯 | 100  (4) |
| 短絡 | 短絡 | 短絡 | 開放 | 11+10  (3+2) | 点灯 | 消灯 | 点灯 | 101  (5) |
| 短絡 | 短絡 | 短絡 | 短絡 | 11+11  (3+3) | 点灯 | 点灯 | 消灯 | 110  (6) |

## 4.5実験5 ロジック基礎実験ボード上で7セグに数字を表示させる

### 4.5.1実験手順

(1)実験4と同じようにJACK5とJACK6を接続した。

(2)ロジック基礎実験ボードで、J0A～J15Gのスイッチがすべて開放されていることを確認した。

(3) 以下のスイッチのみを短絡させ、7セグに数字を表示させることを可能にした。

J0{A～F},

J1{B,C},

J2{A,B,D,E,G},

J3{A～D,G},

J4{B,C,F,G},

J5{A,C,D,F,G},

J6{A,C,D,E,F,G},

J7{A～C},

J8{A～G},

J9{A～D,F,G},

J10{A～C,E～G},

J11{C～G},

J12{A,D～F},

J13{B～E,G},

J14{A,D～G},

J15{A,E～G}

以上

(4)スイッチユニットのスイッチX0,X1,X2,X3を短絡させたり開放したりして、2進数を入力し、対応する16進数が7セグに表示されることを確認した。

### 4.5.2実験結果

スイッチX0,X1,X2,X3により指定(開放→0、短絡→1)される2進数に対応する16進数が一番右の7セグ(7SEG7)に表示されることが確認できた。具体的には表4.5.2の通り。

表4.5.2 スイッチX0,X1,X2,X3の指定と7SEG7の表示

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| X3 | X2 | X1 | X0 | 10進数 | 7SEG7 |
| 開放 | 開放 | 開放 | 開放 | 0 | 0 |
| 開放 | 開放 | 開放 | 短絡 | 1 | 1 |
| 開放 | 開放 | 短絡 | 開放 | 2 | 2 |
| 開放 | 開放 | 短絡 | 短絡 | 3 | 3 |
| 開放 | 短絡 | 開放 | 開放 | 4 | 4 |
| 開放 | 短絡 | 開放 | 短絡 | 5 | 5 |
| 開放 | 短絡 | 短絡 | 開放 | 6 | 6 |
| 開放 | 短絡 | 短絡 | 短絡 | 7 | 7 |
| 短絡 | 開放 | 開放 | 開放 | 8 | 8 |
| 短絡 | 開放 | 開放 | 短絡 | 9 | 9 |
| 短絡 | 開放 | 短絡 | 開放 | 10 | A |
| 短絡 | 開放 | 短絡 | 短絡 | 11 | B |
| 短絡 | 短絡 | 開放 | 開放 | 12 | C |
| 短絡 | 短絡 | 開放 | 短絡 | 13 | D |
| 短絡 | 短絡 | 短絡 | 開放 | 14 | E |
| 短絡 | 短絡 | 短絡 | 短絡 | 15 | F |

## 4.6実験6 カウンタと位置決めICで7セグを動かす

### 4.6.1実験手順

(1)JACK5とJACK6を切断し、JACK5と4ビットカウンタ(SN74HC393)を図4.6.1.1のように接続し、プッシュボタンを押して7セグを確認した。

(2)発振器を16[Hz]の方形波に設定し、さらに図4.6.1.2のように接続して7セグを確認した。

(3)JACK2のX0,X1,X2とJACK3のX0,X1,X2を接続した。JACK3のX3はGNDへ接続した。その後、7セグを確認した。

### 4.6.2実験結果

(1)の手順を実行した結果、プッシュスイッチを押すごとに、7SEG7の示す16進数が最低1以上大きくなっていくことが確認された。本来1ずつ大きくなるはずであるが、「チャタリング」という現象により1よりも大きな数だけカウントされた。

(2)の手順を実行した結果、7SEG7が一秒間隔で自動的にカウントアップされた。

(3)の手順を実行した結果、(2)同様一秒間隔で自動的にカウントアップした。但し

0または8の場合は7SEG0に、

1または9の場合は7SEG1に、

2またはAの場合は7SEG2に、

...

7またはFの場合は7SEG7に

それぞれ表示された。

## 4.7実験7 学籍番号の表示

### 4.7.1実験手順

(1)実験6(3)と同じように接続した。

(2)ロジック基礎実験ボードで、J0A～J15Gのスイッチをすべて開放した。

(3)以下のスイッチのみを短絡させることで学籍番号17EC085と17EC086を表示させた。

J{0,8}{B,C} (1を実現),

J{1,9}{A～C} (7を実現),

J{2,10}{A,D～G} (Eを実現)

J{3,11}{A,D～F} (Cを実現)

J{4,12}{A～F} (0を実現)

J{5,13}{A～G} (8を実現)

J6{A,C,D,F,G} (5を実現)

J14{A,C,D～G} (6を実現)

以上

### 4.7.2実験結果

1秒間隔で7SEG0→7SEG1→...→7SEG7→7SEG0→...が表示された。

7SEG0には1、

7SEG1には7、

7SEG2にはE、

7SEG3にはC、

...

7SEG7には5または6

が表示されることにより、学籍番号

1→7→E→C→0→8→5→

1→7→E→C→0→8→6→(最初に戻る)

が表示された。

## 4.8実験8 学籍番号を表す波形の観測

### 4.8.1実験手順

(1)実験6(3)と同じように接続し、発振器の周波数を徐々に上げていき、あたかも7SEG0～7SEG7すべてが常時点灯しているかのように見えるようになったら周波数の増加を止めた。

(2)JACK5のX3と 4ビットカウンタの2QDを切断し、JACK5のX3をJACK1の+5VまたはGNDと接続した。

(3)発振器の周波数を徐々に上げていき、あたかも7SEG0～7SEG7すべてが常時点灯しているかのように見えるようになったら周波数の増加を止めた。

(4)TP AからTP Gをオシロスコープで測定した。

### 4.8.2実験結果

(1)の結果、周波数は1.017[kHz]にて常時点灯されているように見えた。

(2)(3)の結果、周波数は4.974[kHz]にて常時点灯されているように見えた。

(4)の結果、図4.8.1のような波形が観測された。

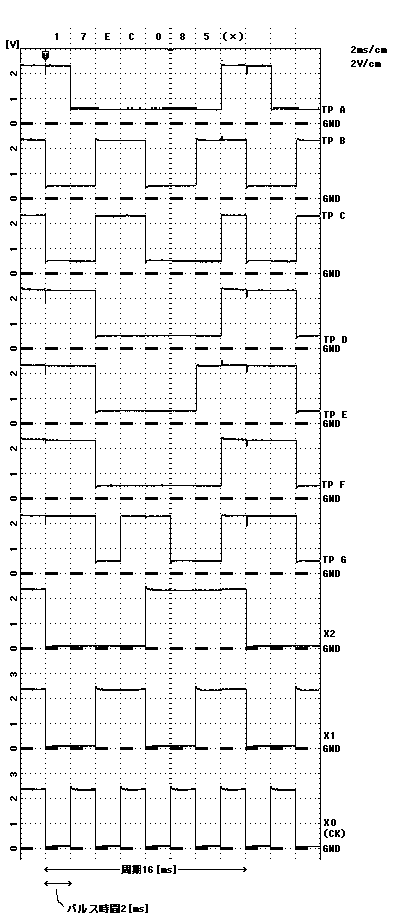


図4.8.1 学籍番号の波形

# 5.検討事項

## 5.1[7]

*ディジタル回路でNOT回路、OR回路、AND回路は、それぞれ、どのような原理で実現されるか簡単に説明せよ。*

NOT回路の原理は、図5.1.1の通りである。

図5.1.1 NOT回路の原理図

入力がLのとき、ベースに電流が流れないため、コレクタ及びエミッタにも電流が流れず出力端子の電位は5-(抵抗aでの電圧降下) Vとなる。したがってHとなる。

　また入力がHのとき、ベースに電流が流れるため、コレクタ及びエミッタにも電流が流れる。電流がコレクタを通ってエミッタから出ていく。このためコレクタ-エミッタ間の抵抗は小さくなる。電流は、より小さな抵抗を流れる性質があるため、出力端子へはほとんど電流が流れないようになる。したがって出力端子はLとなる。

OR回路の原理は、図5.1.2の通りである。

図5.1.2 OR回路の原理図

ベースに電流が流れるとコレクタ-エミッタ間に電流が流れるというトランジスタの特性をベースの電流源を複数にしてそのまま用いた原理となっている。ダイオードは片方に入力された電流が逆流せぬよう取り付けられている。

　AND回路の原理は、図5.1.3の通りである。

図5.1.3 AND回路の原理図

この回路がAND回路の役割を果たすことは、図5.1.4より確認できる。図5.1.4の通り、ダイオードは順方向に小さく、逆方向に大きな抵抗器であると考えることができる。

その為、入力端子に電流を流すと、まずダイオードが逆方向に接続されていることより大きな抵抗、電圧降下となる。その次に、もう片方の入力端子へ逆流する電流については、ダイオードが順方向になっているため小さな抵抗、電圧降下となる。

このことにより、どちらか片方のみの入力がHで、もう片方の入力がLである場合、Hが入力された方のダイオードがまず大きな電圧降下を引き起こすため、もう片方の入力端子との間の途中にある出力端子では電圧が0に近い値となる。

また、どちらの入力もHであった場合は、そもそも電圧降下が起きないため、出力端子もそのままHとなる。

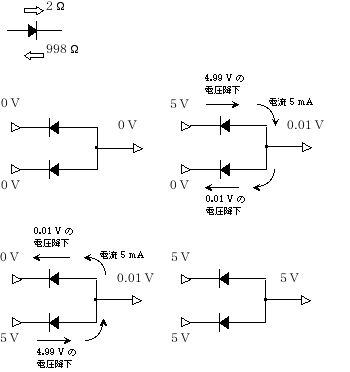


図5.1.4 AND回路のダイオードと電位の関係図

## 5.2[4][5][6]

*ロジック回路でCMOSとTTLの違いを説明せよ。*

CMOSはMOS-FETで、TTLはバイポーラトランジスタで構成されている。

そもそも、CMOSとは、n-MOS FETとp-MOS FETの、それぞれ得意とする信号を伝えるために、n-MOS FETとp-MOS FETを組み合わせて構成した論理回路の総称である。このことについて以下で詳しく述べる。

図5.2.1に示すn-MOS FETおよびp-MOSFETの電圧電流特性からわかるように、n-MOS FETは低い電圧(L)のときに電流が流れにくいが、高い電圧(H)のときに大きな電流が流れるという特性を持つ。このことから、n-MOS FETは、「Lで開放、Hで短絡のスイッチ」と考えることが出来る。反対にp-MOS FETでは「Lで短絡、Hで開放のスイッチ」といえる。n-MOS FETでもp-MOS FETでも、開放時の特性の傾きは小さく、短絡時の特性の傾きが大きいことから、「短絡が正確に伝わらない」という問題が生じる。そのため、MOS FETを使ってLやHを伝えるためには、n-MOS FETがLを、p-MOS FETがHを伝えるような回路を構成すべきであり、そのようにした回路をCMOS回路という。例として、CMOSによるNOT回路を構成したものを図5.2.2に示す。

また、以上のことを、バイポーラトランジスタで実現したものがTTFである。

図4 MOS-FETの電圧電流特性

図5 CMOSによるNOT回路

## 5.3[1]

*実験6で方形波の代わりに正弦波を入力したときの動作がどのようになるかを考察せよ。*

まず、正弦波を入力する場合について考える。ノイズ電圧の振幅をN、正弦波電圧の振幅をSとする。(正弦波電圧をとする。)また、議論を簡単にするため、LとHの閾値を正弦波の中心とする。

　ノイズが閾値を跨ぎ得るのは正弦波電圧の瞬時値が -N以上N以下の時である。(※)

の逆関数を考えれば、を0以上2π以下と考えると、

の時である。これらはすべてN/Sの関数となっていることから、(雑音電圧の平均的な大きさが一定であると考えれば、)信号電圧が小さければ小さいほど、雑音によって閾値を跨ぐことが起こりやすくなる。そして、この「閾値を跨ぐことの起こりやすさ」はN/Sに対して連続であり、無限大とみなせる周波数があり得ず、かつ無視できないノイズが存在する限りは0と見なすことはできない。

　次に、方形波を入力する場合について考える。方形波を入力した場合も、※同様に考えると、ノイズが閾値を跨ぎ得るのは瞬時値が -N以上N以下の時であるといえる。しかし、方形波の瞬時値は2通りしかないため、瞬時値が-N以上N以下となる場合が存在しないということがありうる。即ち「閾値を跨ぐことの起こりやすさ」はN/Sに対して離散的に変化し、また0となることがあり得る。

　以上の議論により、方形波の場合はノイズが閾値を跨ぐことによるカウンタの誤作動が起こり得なかったが、正弦波を入力すればカウンタの誤作動が発生するようになるといえる。

## 5.4

*本実験ボードを利用した実験書にはない論理回路を考案・提案せよ。*

多数決回路を考案する。4つの入力(X0,X1,X2,X3)で、

1(スイッチ短絡)のほうが多い場合はLED Aが点灯し、

0(スイッチ開放)のほうが多い場合はLED Bが点灯し、

1と0が2つずつの場合はLED Cが点灯する。

これを実現するためには、ロジック基礎実験ボードで次の操作を行えばよい。

(1) J0A～J15Gのスイッチをすべて開放する。

(2)以下のスイッチのみ短絡する。

J{7,11,13,14,15}A,

J{0,1,2,4,8}B,

J{3,5,6,9,10,12}C

以上

(2)のJ(10進数列)Aについて、10進数列の部分をビット表示すると、それぞれ

0111,1011,1101,1110,1111となる。これは、1のほうが多いすべての場合である。したがって、(2)に示した通りにJ(10進数列)Aを短絡させることで、1の入力のほうが多い場合にLED Aが点灯するという機能が実装される。

同様の理屈によって、LED B、LED Cの機能も実装される。

## 5.5[2]

*本実験は論理回路の実現方法の1つであるLUT(Lookup table)をスイッチにより構成したものである。ディジタル回路におけるLUTとはどのようなものなのか調査し説明せよ。*

例えば4つの入力端子と1つの出力端子を持つ素子があったとする。  
この素子において、出力のL, Hを、4つの入力端子のL, Hの組み合わせの関数としたいとき、以下2つ方法が考えられる。

方法1、内部の論理回路や配線、スイッチなどを後から繋ぎ変える。

方法2、 bitメモリに、(16通りに)場合分けされた出力をそれぞれ書き込んでおき、4つの入力の組み合わせが各出力に対応するように素子内部の回路を構成する。

方法2で、入力の組み合わせと出力の関係を真理値表で表したものをLUTという。

　方法1では論理ゲートと配線を組み替えることにより組み合わせ関数を実現させたが、方法2では、すべての入力パターンに対する出力をLUTが記録している。その為、LUTを書き換えれば、全く異なる組み合わせ回路をすぐに作ることができる。

例えば、4入力AND論理ゲートを2入力の論理ゲートで構成する場合は図5.5.1のようになるが、LUTでは表5.5.1に示す真理値表を記憶し、それに対応するものを出力する。

図5.5.1 2入力論理ゲートで構成した4入力AND論理ゲート

表5.5.1 ４入力AND論理ゲートの真理値表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| X3 | X2 | X1 | X0 | Y |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 |

## 5.6[3][4][5][6]

*ロジックICなどの種類を調べ、将来の動向を予想しなさい。*

ロジックICとは端子がたくさんあり、正しく接続することで各端子間を論理回路またはカウンタ、7segmentデコーダなどとして使用できる小型の部品である。例えば図5.6などがロジックICである。ロジックICにはCMOS構造のものやTTL構造のものなどがある。

ロジックICが登場した当初、CMOSは動作が遅く低消費電力であったのに対し、TTLは動作が早く消費電力が大きいという特徴があった。[4]

CMOS構造はMOS-FETで構成されていて、TTL構造はバイポーラトランジスタで構成されている。その為、どちらも半導体の技術が使われているといえる。

CMOS構造でできた最初のロジックICは4000シリーズであり、その後74HCシリーズ、74VHCシリーズ、74LCXシリーズ、74VCXシリーズと進化を遂げるにつれ動作速度が改善され、低電圧化も進んだ。

しかし、現在の技術では半導体の技術が量子力学の範囲まで突入し、トンネル効果などで隣の回路へ電流が「染み出てしまう」という問題が出てくるため、限られた面積内にこれ以上多くの素子を構成することはできなくなってきている。[6]その為、少なくとも並列につないだ素子で処理を分担することによって全体の動作速度を上げる手段はとれなくなってしまうだろう。よって、将来的にCMOSの動作速度がさらに改善されるということは期待できないのではないだろうかと予想される。

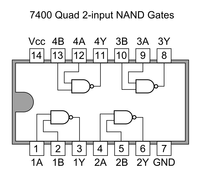


図5.6 ロジックICの例

# 6.吟味

LUTを用意したところで、LUTで指定した通りに動作する仕組みがなければ意味がない。そこで、LUTの指示通りに出力する仕組みを組み合わせ回路で構成することにした。また、LUTは表6.1.1の通りとする。(X0,X1が入力、Yが出力)

表6.1.1 LUTの例

|  |  |  |
| --- | --- | --- |
| X1 | X0 | Y |
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

(1)図6.1.1の通り、全入力パターンに対応するスイッチを用意し、出力が1になる入力に対応するスイッチのみを短絡する。

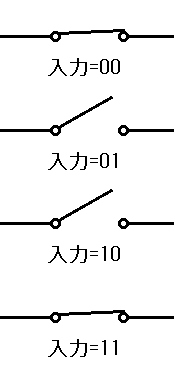


図6.1.1 LUTに対応するスイッチ群

(2)それぞれのスイッチと、「そのスイッチに対応する入力の時のみ1となる論理(is \*\*と呼ぶことにする)」をANDゲートに通す。このことにより、

出力が1になるべきとき、どこかしらのANDゲートで1が出力される。

出力が0になるべきとき、すべてのANDゲートで0が出力される。

さらにANDゲートの出力をORゲートに通す。

このことにより、必要な出力がORゲートの出力として得られる。

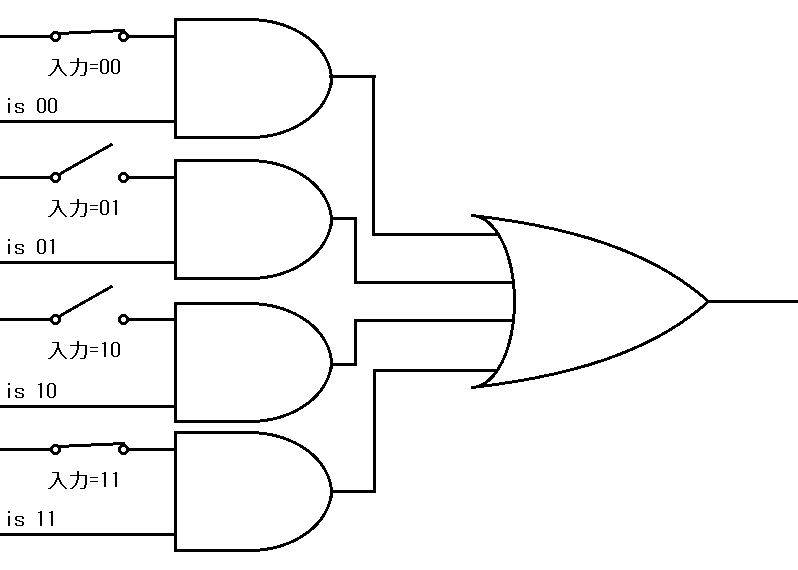


図6.1.2 is \*\* を用いてLUTを読み込んだ組み合わせ回路

(3)is \*\*を構成する。is \*\*はNOTゲートとANDゲートを用いて、図6.1.3のように構成できる。

図6.1.3 is \*\* の回路

図6.1.2の回路と図6.1.3の回路をつなげることで、LUTを読み込める組み合わせ回路を実現できる。この回路を図6.1.4に示す。

図6.1.4 LUTを読み込んだ組み合わせ回路

# 7.参考資料

[1] カウンタに正弦波をクロックとして入力したい―教えて!goo

https://oshiete.goo.ne.jp/qa/6376237.html

(2018年12月24日閲覧)

[2] FPGAという名のLSIを知る―FPGAの構造と使い方 http://www.kumikomi.net/archives/2009/04/fpgalsifpga.php

(2018年9月5日閲覧)

[3]汎用ロジックICの種類―東芝デバイス＆ストレージ株式会社

<https://toshiba.semicon-storage.com/jp/design-support/e-learning/logic/beginner/chapter1/1274777.html>

(2018年12月24日閲覧)

[4] Modern CMOS Circuits Manual―R. M. Marston著 pp.9

[5] CMOSとTTLって何が違うの？―LEMON WEB

http://www.geocities.co.jp/HeartLand-Tachibana/9059/otasuke/cmos\_ttl.htm

(2018年12月24日閲覧)

[6]東京電機大学 情報通信工学科 平成30年度 学部2年後期 選択必修科目「応用物理学」講義

[7] 電子計算機の論理回路―電気の歴史イラスト館http://www.geocities.jp/hiroyuki0620785/intercomp/complogic.htm

(2018年12月24日閲覧)