Однокристальный микропроцессор  
К1801ВМ1

Техническое описание

Версия 1.2 (January 4, 2020)

# Введение

Данный документ описывает микросхему советского однокристального микропроцессора К1801ВМ1. В открытом доступе не имеется официального технического описания данного процессора, а различные источники не являются полными и непротиворечивыми, поэтому было принято решение составить техническое описание, основанное на имеющихся фрагментах официальных документов, проверенных на практике фактов и результатах реверс-инжиниринга собственно микросхемы К1801ВМ1.

По возможности ссылки на использованные материалы приведены в соответствующем разделе.

В тексте не делается различия между разными исполнениями корпуса - КМ1801ВМ1 (керамический), КР1801ВМ1 (пластиковый корпус) и прочими, вместо этого употребляется единое обозначение К1801ВМ1.

Изначально, когда выполнялся реверс-инжиниринг микросхемы К1801ВМ1А, предполагалось что микросхемы с другими буквенными индексами (К1801ВМ1Б, К1801ВМ1В, К1801ВМ1Г) являются результатом сортировки по частоте и работоспособности отдельных блоков после выполнения заводских тестов. Данное предположение оказалось только частично верным. Микросхема К1801ВМ1Г выпускалась по другим фотошаблонам слоя диффузии и содержит микропрограмму, отличную от микропрограммы микросхемы К1801ВМ1А. Функциональные отличия микросхемы К1801ВМ1Г заключаются в поддержке команды умножения, в гарантировано работоспособном блоке таймера и поддержке прерывания от этого блока. Поскольку данные отличия незначительны, то возможно написание единой документации на все варианты К1801ВМ1, с акцентированным описанием дополнительных особенностей версии К1801ВМ1Г.

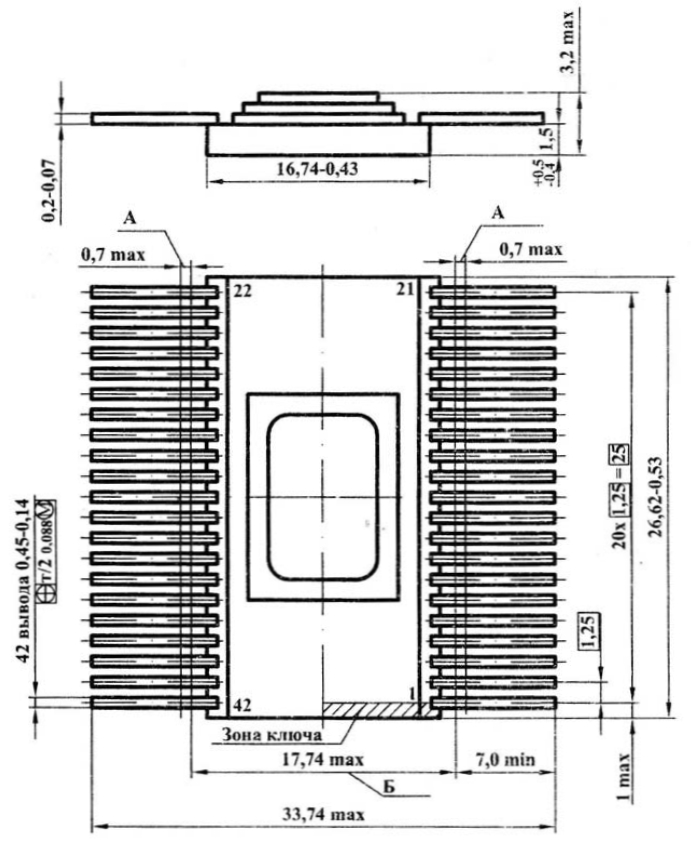
# Назначение

Микросхема К1801ВМ1 является однокристальным 16-ти разрядным микропроцессором (далее по тексту процессор), предназначенным для обработки цифровой информации.

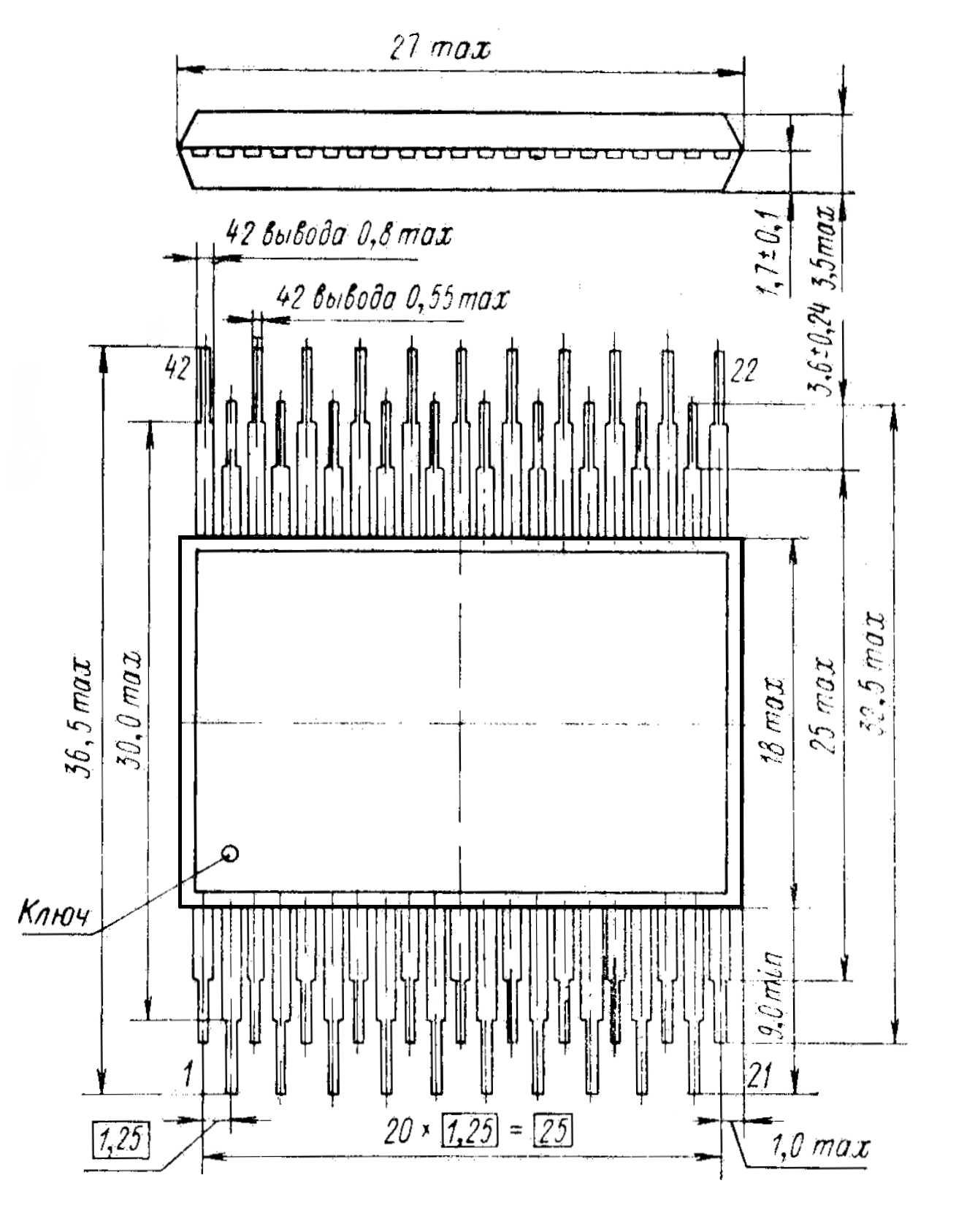
В составе ЭВМ процессор может использоваться для управления технологическими процессами, в контрольно-измерительной аппаратуре, в системах связи, для решения инженерно-технических и экономических задач.

# Технические характеристики

|  |  |
| --- | --- |
| Представление чисел | дополнительный код с фиксированной запятой |
| Система команд | безадресная, одноадресная, двухадресная |
| Виды адресации | регистровая, косвенно-регистровая, автоинкрементная, косвенно-автоинкрементная, автодекрементная, косвенно-автодекрементная, индексная, косвенно-индексная |
| Число регистров общего назначения | 8 |
| Число уровней прерываний | 4 |
| Системная магистраль | типа МПИ |
| Адресное пространство | 64 килобайта |
| Тактовая частота  К1801ВМ1А  К1801ВМ1Б  К1801ВМ1В  К1801ВМ1Г | минимальная 100 кГц для всех вариантов (ограничение частоты снизу связано с тем, что для построения некоторых защелок используется емкость затворов n-МОП транзисторов)  до 4.7 МГц (ВМ1А) до 3.5 МГц (ВМ1Б) до 2.5 МГц (ВМ1В) до 4.7 МГц (ВМ1Г) |
| Максимальное быстродействие  (регистровые операции) | до 500 тысяч операций в секунду |
| Напряжение питания | однополярное единое питание +5 В ±10% |
| Многопроцессорность | до 4-х процессоров на единой магистрали |
| Уровни входных логических сигналов  низкого уровня  высокого уровня | не более 0.6 В, при токе не утечки не более 50мкА не менее 2.4 В, при токе не утечки не более 50мкА |
| Уровни выходных логических сигналов  низкого уровня  высокого уровня | не более 0.5 В, при втекающем токе 3.2мА не менее 2.4 В, при вытекающем токе -0.2 мА |
| Емкость нагрузки | до 100 пФ |
| Технология изготовления | n-МОП, типовая ширина затвора транзистора ~3 мкм, один слой металла и один слой поликремния |
| Размер кристалла | 5х5 мм |
| Конструкция | Металлокерамический корпус типа 429.42 или пластиковый 2204.42-3 |
| Количество транзисторов | ~16650 штук |
| Потребляемая мощность | до 1.2 Вт |



Чертеж планарного металлокерамического корпуса типа 429.42-5



Чертеж планарного пластикового корпуса 2204.42-3



Условное графическое обозначение К1801ВМ1

# Назначение выводов

|  |  |  |  |
| --- | --- | --- | --- |
| 1 | **CLC** | вход | Основной тактовый сигнал частотой не менее 100 кГц, ограничение частоты снизу связано с широким применением динамической логики в схеме процессора. Под динамической логикой понимается использование емкостных свойств затворов n-МОП транзисторов, вследствие чего транзисторы могут некоторое время сохранять свое состояние при затворе, отключенном от источника сигнала |
| 2 | **nSACK** | вход выход-ОК | Подтверждение захвата магистрали внешним агентом  Ведущий процессор с аппаратным номером 0 никогда не активизирует данный выход (типа открытый коллектор). Ведомые процессоры с номерами 1-3 выставляют на данном выходе низкий уровень в процессе обмена по магистрали.  Как вход используется всеми процессорами для общего контроля занятости магистрали |
| 3 | **nDMGI** | вход | Разрешение от внешнего арбитража на доступ к магистрали, если процессор в данный момент занят выполнением внутренних операций и ему не требуется доступ к магистрали, то обеспечивается дальнейшее прохождение разрешающего сигнала на выход **nDMGO** |
| 4 | **nDMGO** | выход | Разрешение на доступ к магистрали другим, менее приоритетным модулям. Активный низкий уровень появляется в моменты когда на входе **nDMGI** низкий уровень и внутреннему процессорному блоку не требуется доступ к магистрали |
| 5 | **nDMR** | вход выход-ОК | Для ведущего процессора с аппаратным номером 0 этот вывод является входом запроса на доступ к магистрали от ведомых процессоров с номерами 1-3 и других внешних модулей системы, ведущий процессор никогда не использует данный вывод как выход.  Ведомые процессоры с номерами 1-3 используют данный вывод как выход запроса на доступ к магистрали |
| 6 | **nSP** | вход | Вход периферийного таймера, может использоваться как внешняя тактовая частота, не превышающая одной восьмой тактовой частоты процессора, или как вход защелкивания текущего значения счетчика таймера в отдельном регистре. Все действия в таймере (счет и защелкивание) происходят по ниспадающему фронту сигнала на данном входе с задержкой от 1 до 8 тактов процессорной частоты **CLC** |
| 7 | **nSEL1** | выход-ОК | Сигнал подтверждения обращения по адресу база внутреннего периферийного блока + 168. Формируется всегда, независимо от того какой агент, внутренний или внешний обращается к данному адресу. |
| 8 | **nSEL2** | выход-ОК | Сигнал подтверждения обращения по адресу база внутреннего периферийного блока + 148. Формируется всегда, независимо от того какой агент, внутренний или внешний обращается к данному адресу. |
| 9-20, 22-25 | **nAD0- nAD15** | входы выходы-3 | Линии 16-ти разрядной мультиплексированной шины адреса и данных. Сигналы передаются по данным линиям в инвертированном виде. Передача значения адреса и данных осуществляется методом разделения во времени.  Если системной магистралью МПИ владеет внутренний процессорный блок, то выводы **nAD** работают как выходы:  - в фазе передачи адреса - в фазе записи данных во всем диапазоне адресов - в фазе чтения данных из диапазона адресов внутреннего периферийного блока , за исключением двух старших адресов **nSEL1** и **nSEL2.** Если системной магистралью МПИ владеет внешний по отношению к микросхеме агент , то выводы **nAD** работают как выходы: - в фазе чтения данных по адресам внутреннего периферийного блока  В остальное время выходы находятся в высокоимпедансном состоянии. Входы в целях мониторинга адреса транзакции и данных записи работают постоянно. |
| 26, 27 | **nPA1, nPA0** | входы | Аппаратный номер процессора в многопроцессорной системе, сигналы на данных входах являются инвертированными.  **nPA1**=1, **nPA0**=1 - процессор номер 0, высший приоритет **nPA1**=1, **nPA0**=0 - процессор номер 1 **nPA1**=0, **nPA0**=1 - процессор номер 2 **nPA1**=0, **nPA0**=0 - процессор номер 3, низший приоритет  Если процессор единственный в системе (однопроцессорный вариант), то на данные входы должен быть подан высокий уровень.  От аппаратного номера процессора зависит базовый адрес блока регистров внутреннего периферийного блока. |
| 28 | **nBSY** | выход-ОК | Низкий уровень на данной выходе сигнализирует о выполнении транзакции на шине МПИ |
| 29 | **nDCLO** | вход | Авария источника питания постоянного напряжения. Низкий уровень на данном входе выставляется внешней схемой при выходе питающего напряжения системы (обычно +5V и +12V) за допустимые рабочие диапазоны, при этом происходит безусловный аппаратный сброс процессора. |
| 30 | **nACLO** | вход | Авария сетевого источника питания. Низкий уровень на данном входе выставляется внешней схемой при выходе сетевого питающего напряжения за пределы рабочего диапазона, при этом внутренние постоянные питающие напряжения все еще могут обеспечиваться. Ниспадающий фронт вызывает прерывание по вектору 0248, для устойчивой работы процессора сигнал следует синхронизировать по нарастающему фронту с тактовой частоты **CLC.** По нарастающему фронту сигнала происходит старт микропрограммного автомата, если он был сброшен ранее активным сигналом **nDCLO** |
| 31 | **nIRQ1** | вход | Первый запрос на радиальное прерывание, низкий уровень вызывает прерывание по вектору 1600028. Для устойчивой работы процессора сигнал следует синхронизировать по нарастающему фронту с тактовой частоты **CLC** |
| 32 | **nIRQ2** | вход | Второй запрос на радиальное прерывание, ниспадающий фронт вызывает прерывание по вектору 1008, для устойчивой работы процессора сигнал следует синхронизировать по нарастающему фронту с тактовой частоты **CLC** |
| 33 | **nIRQ3** | вход | Третий запрос на радиальное прерывание, ниспадающий фронт вызывает прерывание по вектору 2708, для устойчивой работы процессора сигнал следует синхронизировать по нарастающему фронту с тактовой частоты **CLC** |
| 34 | **nINIT** | вход выход-ОК | Вход сброса периферийных устройств. Низкий уровень на данном входе переводит периферийный таймер в исходное состояние и временно снимается активный запрос **nDMR**. Также приводятся в исходное состояние детекторы ниспадающего фронта на входах **nIRQ2** и **nIRQ3**.  На выходе (открытый коллектор) формируется активный сигнал низкого уровня при выполнении инструкции RESET и/или аппаратном сбросе процессора |
| 35 | **nVIRQ** | вход | Запрос на векторное прерывание, низкий уровень вызывает цикл подтверждения прерывания на шине МПИ и переход по прочитанному из внешнего устройства вектору. Для устойчивой работы процессора сигнал следует синхронизировать по нарастающему фронту тактовой частоты **CLC**. Следует отметить, что только ведущий процессор с аппаратным номером 0 может принимать и обрабатывать прерывания по данному входу, в ведомых процессор с аппаратными номерами 1-3 этот вход заблокирован. |
| 36 | **nIAKO** | выход-3 | Выход предоставления прерывания, низкий уровень на данном выходе появляется в циклах чтения вектора прерывания из внешнего устройства. Когда доступ к шине МПИ процессору не предоставлен выход находится в высокоимпедансном состоянии |
| 37 | **nDOUT** | вход выход-3 | Вывод данных, вход используется внутренним периферийным блоком для выполнения транзакций записи. Выходом управляет процессорный блок в случае предоставления ему доступа к шине МПИ. Когда доступ к шине процессору не предоставлен выход находится в высокоимпедансном состоянии |
| 38 | **nDIN** | вход выход-3 | Ввод данных, вход используется внутренним периферийным блоком для выполнения транзакций чтения. Выходом управляет процессорный блок в случае предоставления ему доступа к шине МПИ, когда доступ к шине процессору не предоставлен выход находится в высокоимпедансном состоянии |
| 39 | **nRPLY** | вход выход-ОК | Подтверждение обмена данными, вход используется процессорным блоком при выполнении транзакций на шине МПИ. На выходе генерируется активный низкий уровень периферийным блоком в случае любого обращения в его диапазон адресов, включая регистры **nSEL1** и **nSEL2**. Из-за выявленных ошибок в схеме процессора сигнал на данном входе следует синхронизировать с тактовым сигналом **CLC** (с любым из фронтов) для обеспечения устойчивой работы |
| 40 | **nWTBT** | выход-3 | Запись/байт, в фазе трансляции адреса данный выход индицирует низким уровнем что в данной транзакции будет осуществляться вывод данных. Для циклов чтение и чтение-модификация-запись на данном выходе присутствует высокий уровень. В фазе обмена данными низкий уровень свидетельствует о записи одного из байтов, а не целого слова. Какой именно байт записывается определяется состоянием младшей адресной линии в фазе передачи адреса. Когда доступ к шине процессору не предоставлен выход находится в высокоимпедансном состоянии |
| 41 | **nSYNC** | вход выход-3 | Вход используется периферийным блоком для мониторинга адреса транзакции. Выходом управляет процессорный блок при выполнении транзакций на шине МПИ. При этом выход имеет особенность - высокий уровень генерируется ровно на один такт частоты **CLC**, после чего выход переводится в высокоимпедансное состояние, поэтому для нормальной работы линия должна быть подтянута резистором к напряжению питания. |
| 21 | **GND** | земля | опорный уровень 0В, питание |
| 42 | **VCC** | питание | +5В с допуском ±10%, ток потребления до 240мА |

Микросхема К1801ВМ1 содержит внутри два основных блока - собственно блок процессора и периферийный блок. Оба блока подключены к единой магистрали типа МПИ, которая также выходит на внешние выводы. Блок процессора может работать только как ведущий агент МПИ, периферийный блок может работать только как ведомый агент МПИ. Доступ процессорного блока к управлению МПИ контролируется модулем арбитража. Периферийный блок представляет собой набор различных специальных регистров, для периферийного блока выделен адресный диапазон из 8 16-ти разрядных слов, базовый адрес которого определяется аппаратным номером процессора. Внешние выводы МПИ микросхемы К1801ВМ1 выполняют совмещенные функции для процессорного и периферийного блоков. Доступ к периферийному блоку может осуществляться как со стороны внутреннего процессорного блока, так и со стороны внешнего по отношению к микросхеме процессора агента шины МПИ. Таким образом, можно выделить основные четыре режима работы внешних выводов МПИ микросхемы К1801ВМ1:

* доступ внутреннего процессорного блока к внешним адресам системы (которые, в том числе, могут быть адресами периферийного блока другой микросхемы К1801ВМ1 в многопроцессорной системе)
* доступ внутреннего процессорного блока к адресам внутреннего периферийного блока
* доступ внешнего агента к внешним адресам системы
* доступ внешнего агента к адресам внутреннего периферийного блока данного процессора

Особый случай представляют два старших адреса периферийного блока, эти регистры могут реализовываться на внешних схемах, но при этом управление обменом по МПИ осуществляется процессором, внешние схемы только представляют или получают данные, сигнал **nRPLY** формируется выходом К1801ВМ1 всегда, при обращении к любому адресу из диапазона периферийного блока.

Процессор К1801ВМ1 может работать в составе многопроцессорной системы с разделением общей магистрали МПИ. Система на основе К1801ВМ1 может содержать до 4-х процессоров. Процессорам присваивается аппаратный номер от 0 до 3, в зависимости от уровней поданных на входы **nPA0-nPA1**. Процессор с аппаратным номером 0 называется ведущим и имеет высший приоритет при доступе к разделяемой шине МПИ, начиная цепочку арбитража по выводам **nDMGI/nDMGO**. Остальные процессоры с номерами 1-3 называются ведомыми, приоритет доступа к разделяемой шине определяется местом включения процессора в цепочку арбитража доступа к шине

Система

Процессор 1801ВМ1

Контроллер прерываний

ПЛМ

АЛУ

Вспомогательные регистры

Таймер ВЕ1

Шина

МПИ

Процессорный блок

Периферийный блок

# Шина МПИ

Микропроцессор К1801ВМ1 для обмена с внешними устройствами использует системную шину типа МПИ (**М**агистральный **П**араллельный **И**нтерфейс). Обмен информацией между двумя устройствами по шине МПИ осуществляется по принципу ведомый-ведущий. Управление обменом осуществляет ведущее устройство, а ведомое устройство производит подтверждение приема или передачи слова данных. Некоторые устройства могут в разные моменты времени выполнять роль как ведущего так и ведомого. В каждый момент времени на шине МПИ может быть только одно ведущее устройство, которое физически осуществляет управление линиями магистрали. Доступ устройства к роли ведущего шины разрешается средствами приоритетного арбитража. Подробно с регламентом работы МПИ можно ознакомиться в стандарте "ГОСТ 26765.51-86 Интерфейс магистральный параллельный МПИ системы электронных модулей. Общие требования к совокупности правил обмена информацией" [6]. Данная же документация делает акцент именно на особенностях работы микропроцессора, для понимания принципов работы внешних устройств следует обратиться к упомянутому ГОСТ.

Микропроцессор К1801ВМ1 может выполнять роль ведущего устройства шины - в этом случае процессорный блок выполняет транзакции "Ввод" (чтение данных из внешнего устройства), "Вывод" (запись данных во внешнее устройство), "Ввод-Вывод" (чтение-модификация-запись), "Подтверждение прерывания" (чтение вектора прерывания). Так же микросхема К1801ВМ1 может выполнять роль ведомого устройства - в этом случае осуществляется доступ внешним агентом к периферийному блоку микросхемы, а также выполнять обе роли ведущего и ведомого устройств одновременно - при обращении процессорного блока к собственному (то есть, находящемуся в той же микросхеме) периферийному блоку. Блочные транзакции шины МПИ микропроцессор К1801ВМ1 не использует.

## Транзакция "Чтение"

Ниже приведена диаграмма выполнения микропроцессором цикла чтения данных по шине МПИ в качестве ведущего устройства. Пунктирными линиями показано состояние высокого импеданса. Обычно в системе на линиях магистрали имеются подтягивающие резисторы, поэтому можно полагать что в эти моменты времени на линиях присутствует напряжение высокого уровня, все управляющие сигналы при этом принимают неактивное значение, на шине адрес/данных устанавливается логическое нулевое значения, поскольку шина инвертирована (напряжение низкого уровня соответствует логическому "1", напряжение высокого уровня соответствует логическому "0").

Также указана привязка установки и снятия управляющих выходов к фронтам тактового сигнала, при этом не учитывается внутренняя задержка буферных цепей, которая может достигать десятков наносекунд и, при высоком значении тактовой частоты, может быть сравнимой с длительностью такта.

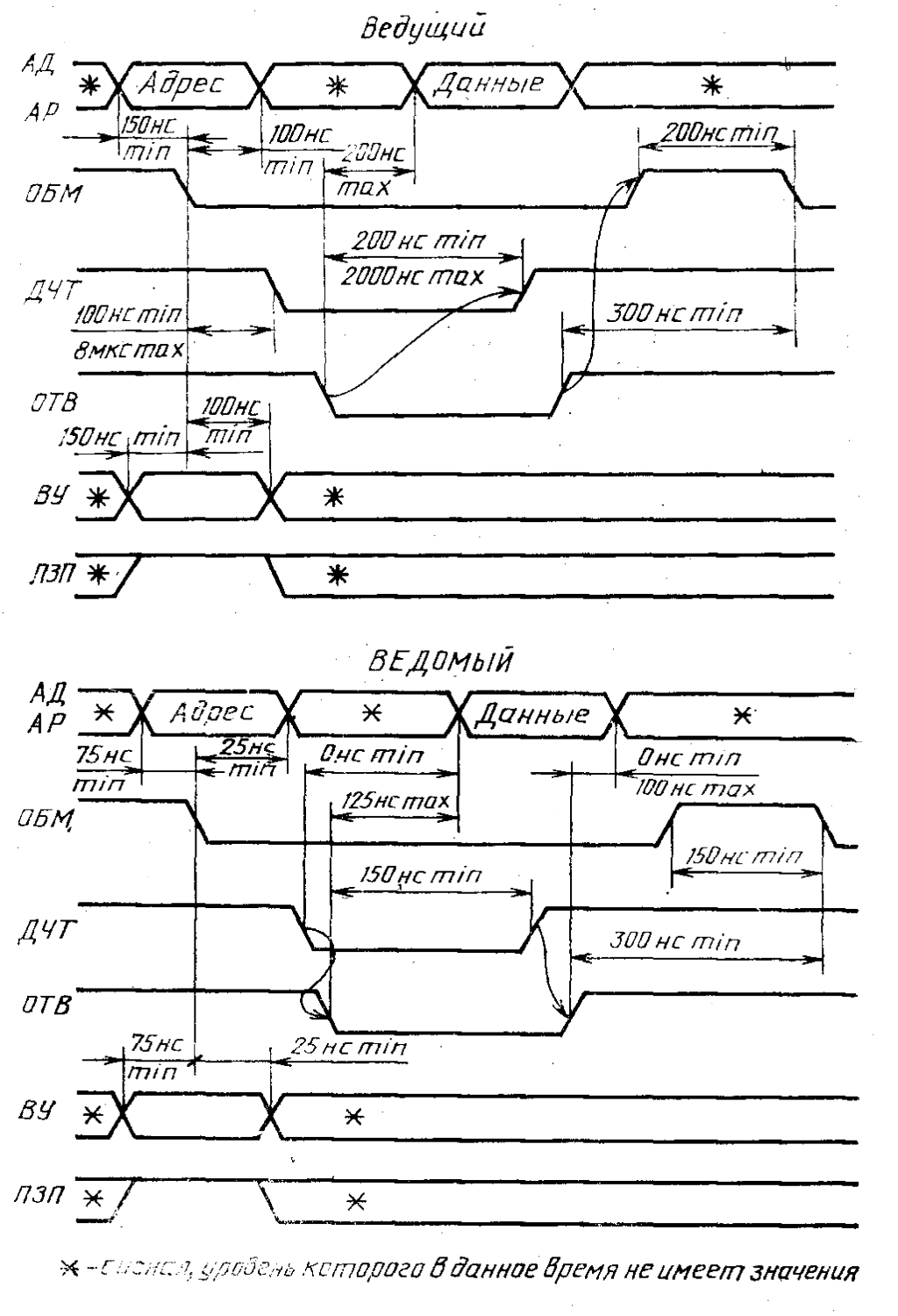


В такте **Т0** на магистрали МПИ нет ведущего устройства, обмен не выполняется, полагаем это состояние исходным. По срезу **Т1** микропроцессор осуществляет захват магистрали (процесс арбитража рассмотрен подробно в соответствующем разделе), при этом разрешается управление выходами **nWTBT**, **nDIN**, **nDOUT**, **nIAKO**, **A/D**. Сигнал **nBSY** принимает активный низкий уровень, на шине адреса/данных устанавливается адрес читаемых данных. Выход сигнала **nSYNC** остается запрещенным - это особенность К1801ВМ1, для корректной работы шины в этом случае требуется внешний подтягивающий резистор. На выходе **nWTBT** установлен высокий уровень, что означает выполнение операции чтения. По срезу **Т2** на выходе **nSYNC** формируется активный низкий уровень. По фронту **Т2** выставленный адрес снимается с шины и выводы **nAD** переводятся в высокоимпедансное состояние, также выставляется активный низкий уровень на линии **nDIN**, далее микропроцессор переходит в состояние ожидания данных и сигнала подтверждения **nRPLY** от ведомого устройства. При этом запускается специальный таймер монитора шины, который осуществляет счет с частотой **CLC/8**. Если сигнал подтверждения **nRPLY** не будет получен в течение 56..64 тактов **CLC**, то цикл обмена прерывается и возникает программное исключение по вектору 0000048 (или 1600028 - зависит от состояния битов **PSW10** и **PSW11)**. Разброс в величине таймаута связан с тем что фаза предделителя частоты **CLC/8** при запуске таймера не обнуляется - предделитель считает непрерывно.

На диаграмме в такте **Т4** внешнее устройство выставляет данные, которые подлежат считыванию микропроцессором, и затем, по прошествии некоторого интервала формирует активный низкий уровень сигнала подтверждения **nRPLY**. В общем же случае, согласно ГОСТ 26765.51-86, актуальные данные должны быть выставлены ведомым устройством не позднее чем 200 нс после среза активации сигнала **nRPLY**. На диаграмме момент выставления **nRPLY,** который определяется внешним устройством, намерено показан после фронта **T4**. Микропроцессор фиксирует сигнал на своем входе **nRPLY** по нарастающему фронту тактового сигнала, при обнаружении активного низкого **nRPLY** два фронта тактового сигнала подряд (на приведенной диаграмме это **T5** и **T6**, два цикла нужны так как данные от ведомого устройства могут запаздывать на интервал до 200 нс относительно активации **nRPLY**), цикл обмена полагается законченным, по фронту **T6** фиксируются читаемые данные на входах **nAD** и передаются внутренним схемам процессора, снимается активный сигнал **nDIN** и останавливается таймер монитора шины, затем происходит переход в ожидание снятия активного сигнала **nRPLY**. При этом детектирование неактивного высокого уровня **nRPLY** осуществляется по последовательным фронту и срезу тактового сигнала - сигнал на входе **nRPLY** должен быть неактивен сначала при нарастающем фронте **CLK**, а потом на срезе **CLK** следующего такта - таково условие срабатывания детектора. При обнаружении неактивного высокого уровня **nRPLY** запрещаются выходы управляющих сигналов **nDIN**, **nDOUT**, **nWTBT**. Далее, еще через один такт происходит снятие сигнала **nBSY** и выставление высокого уровня сигнала **nSYNC**. На диаграмме фронт сигнала **nRPLY** обнаруживается по срезу **Т7**, а снятие сигналов **nSYNC** и **nBSY** происходит по срезу **Т8**. Высокий неактивный уровень **nSYNC** удерживается в течение одного такта и по срезу **Т9** выход переходит в высокоимпедансное состояние, микропроцессор перестает выполнять роль ведущего устройства, магистраль полагается незанятой. Следует отметить, что таймер монитора шины в состоянии ожидания деактивации **nRPLY** не работает, поэтому имеется теоретическая возможность зависания системы.

Микропроцессор К1801ВМ1 чтение данных всегда выполняет 16-битными словами. Если требуется прочитать только один из байтов, то ненужные разряды игнорируются. Также микропроцессор выставляет адрес "как есть" (например чтение по @R0 выставляет на шину адреса непосредственно значение из регистра R0, @#000001 - на шину будет выставлено значение 1 и так далее), и чтение слов по нечетному адресу может приводить к некорректно прочитанным данным, поскольку внешняя память и устройства обычно не поддерживают такой режим - в этом случае для корректного чтения внешним схемам необходимо прочитать из памяти два последовательных слова и собрать из них ожидаемую процессором комбинацию байтов. При чтении байта по четному адресу процессор ожидает данные на линиях **nAD0-nAD7**, при чтении байта по нечетному адресу данные ожидаются на линиях **nAD8-nAD15**.

Ниже в справочных целях приведена диаграмма выполнения транзакции "Чтение" из ГОСТ 26765.51-86 с указанием регламентируемых временных параметров.



## Транзакция "Запись"

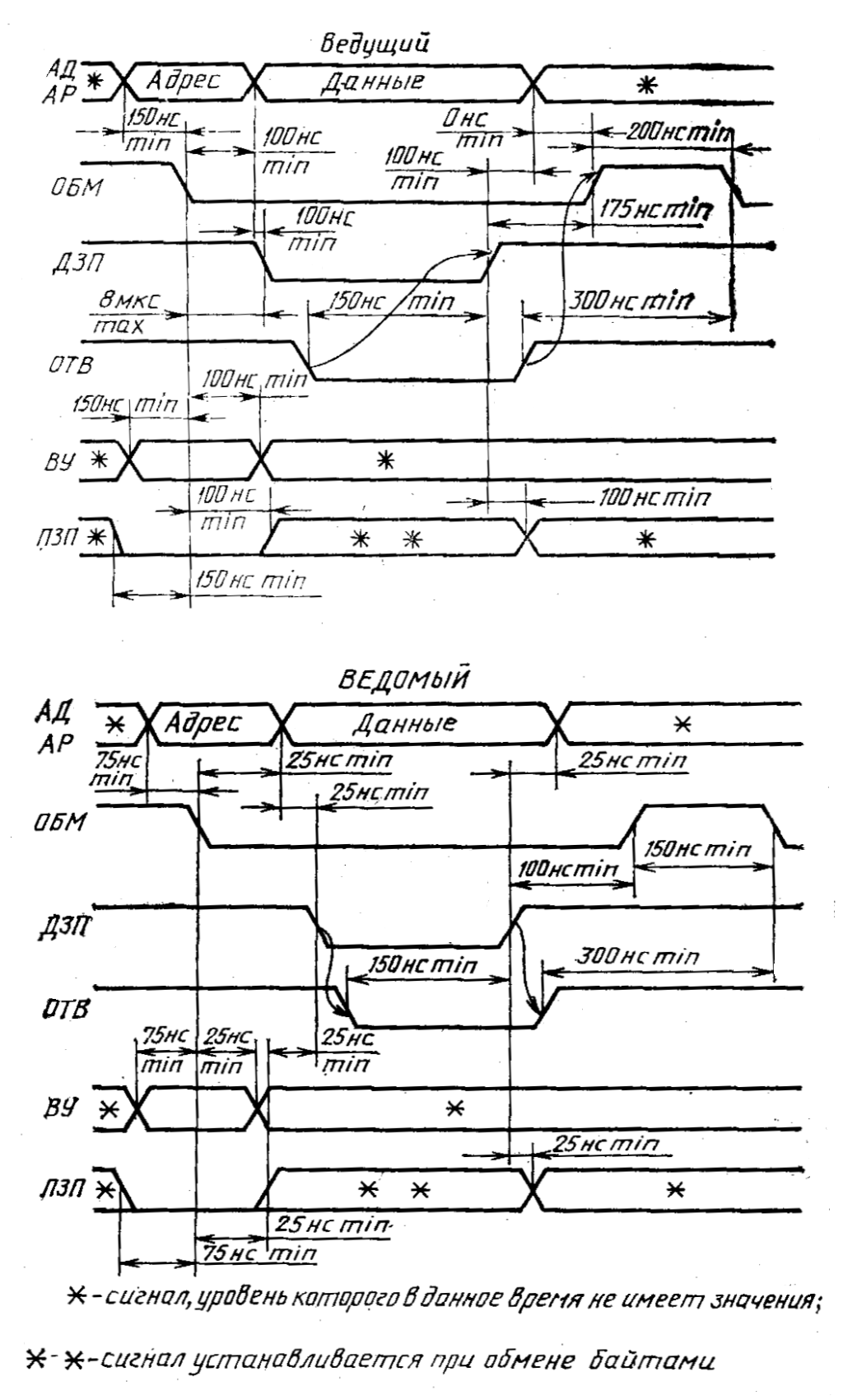
Ниже приведена диаграмма выполнения микропроцессором цикла записи данных по шине МПИ в качестве ведущего устройства.

Начало транзакции аналогично началу транзакции "Чтение". В такте **Т0** на магистраль МПИ находится в исходном незанятом состоянии, по срезу **Т1** микропроцессор осуществляет захват магистрали, при этом разрешается управление выходами **nWTBT**, **nDIN**, **nDOUT**, **nIAKO**, **A/D**. Сигнал **nBSY** принимает активный низкий уровень, на шине адреса/данных устанавливается адрес записываемых данных. Выход сигнала **nSYNC** остается запрещенным (особенность К1801ВМ1). На выходе **nWTBT** установлен низкий уровень, что означает выполнение операции записи. По срезу **Т2** на выходе **nSYNC** формируется активный низкий уровень. По фронту **Т2** выставленный адрес снимается с шины, выходы **nAD** остаются разрешенными и на них транслируется содержимое внутреннего регистра данных микропроцессора. В данный момент там необязательно могут находиться актуальные записываемые в текущей транзакции данные - они могут быть еще не подготовлены внутренними схемами процессора. Время подготовки зависит от того какая программная инструкция в данный момент обрабатывается микропрограммой и может составлять от нуля до нескольких тактов. При готовности данных во внутреннем регистре они начинают транслироваться на внешние выходы по фронту тактового сигнала. Для краткости диаграммы полагаем, что данные выданы внутренними схемами в такте **T3**, практически же подготовка данных может занимать от нуля до нескольких тактов. По срезу следующего сигнала **T4** выставляется активный низкий уровень на линии **nDOUT** и значение признака байтовой операции **nWTBT**. Если происходить запись только одного из байт, то данный признак принимает значение активного низкого уровня. Запись, какого именно байта следует выполнить, определяется значением младшего бита адреса операции. Если происходит запись слова, то признак **nWTBT** принимает неактивное значение высокого уровня, выполнение операции записи слова по нечетному адресу приводит к некорректной записи данных. Далее микропроцессор переходит в состояние ожидания данных и сигнала подтверждения **nRPLY** от ведомого устройства. При этом запускается специальный таймер монитора шины, который осуществляет счет с частотой **CLC/8**. Если сигнал подтверждения **nRPLY** не будет получен в течение 56..64 тактов **CLC**, то цикл записи прерывается и возникает программное исключение по вектору 0000048 (или 1600028).



В такте **Т5** внешнее устройство выполняет свою внутреннюю фиксацию записываемых данных с шины и затем, по прошествии некоторого интервала формирует активный низкий уровень сигнала подтверждения **nRPLY**. На диаграмме момент выставления **nRPLY,** который определяется внешним устройством, намерено показан после фронта **T5**. Микропроцессор фиксирует сигнал на своем входе **nRPLY** по фронту тактового сигнала, при обнаружении активного низкого **nRPLY** два фронта тактового сигнала подряд (на приведенной диаграмме это **T6** и **T7**), цикл обмена полагается законченным. По фронту **T7** деактивируется сигнал **nDOUT** и останавливается таймер монитора шины, по срезу **T8** выходы шины данных A/D запрещаются, шина переходит в высокоимпедансное состояние. Завершение транзакции аналогично завершению транзакции "Чтение" - происходит переход в ожидание снятия активного сигнала **nRPLY**, при обнаружении деактивируются **nSYNC** и **nBSY**, магистраль переходит в неактивное состояние.

Ниже в справочных целях приведена диаграмма выполнения транзакции "Запись" из ГОСТ 26765.51-86 с указанием регламентируемых временных параметров

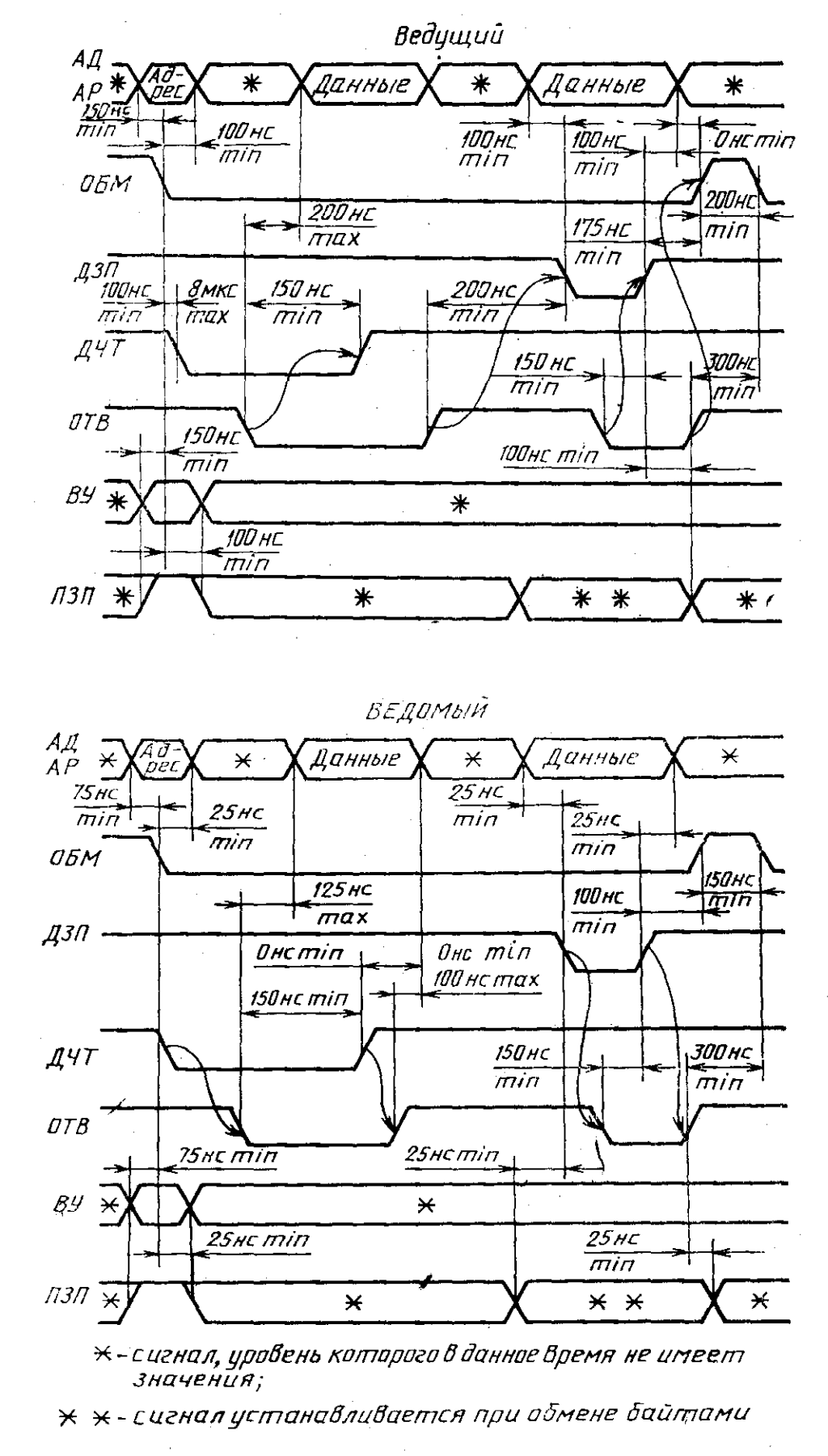


## Транзакция "Чтение-Модификация-Запись"

Транзакция "Чтение-Модификация-Запись" имеет принципиальное значение для многопроцессорных систем, так как позволяет выполнять изменения переменных в памяти атомарно - за одну неразделяемую на части операцию. В этом ее принципиальное отличие от пары, состоящей из отдельной транзакции "Чтение" и последующей транзакцией "Запись" по тому же самому адресу. Ниже приведена диаграмма выполнения микропроцессором цикла чтение-модификация-запись по шине МПИ в качестве ведущего устройства.



Начало транзакции модификации данных полностью аналогично транзакции "Чтение". На диаграмме для большей компактности удален начальный такт с неактивной магистралью МПИ. В момент фиксации данных по фронту **Т3** прочитанные данные передаются внутренним схемам микропроцессора, которые немедленно начинают над этими данными требуемую арифметическую или логическую операцию, а интерфейсный блок переходит в состояние ожидания деактивации сигнала **nRPLY**, при этом сигналы **nSYNC** и **nBSY** остаются активными**.**. Эти действия выполняются блоками параллельно и независимо. Процессорному блоку может потребоваться несколько тактов для выполнения операции над данными, после ее завершения данные записываются в специальный внутренний регистр данных. После того как интерфейсный блок по срезу тактового сигнала обнаружит неактивный **nRPLY** и в регистре данных уже будут готовые модифицированные данные по фронту тактового сигнала (**T5** на диаграмме) будут разрешены выходы шины адреса/данных, и по срезу следующего тактового сигнала **Т6** сформируется активный низкий уровень на выходе **nDOUT** и будет выставлен признак байтовой или словной операции. Завершение транзакции полностью аналогично завершению транзакции "Запись". Следует отметить что таймер монитора шины перезапускается отдельно для каждой из фаз транзакции и не работает в паузе между ними, когда ожидается готовность модифицированных данных от АЛУ и деактивация **nRPLY**.



## Транзакция "Подтверждение прерывания"

Ниже приведена диаграмма выполнения микропроцессором цикла чтения адреса вектора прерывания от внешнего устройства. Этот цикл выполняется процессором в рамках алгоритма обработки векторного прерывания после сохранения текущих PSW и PC в стеке. Пунктирными линиями показано состояние высокого импеданса.

Также указана привязка установки и снятия управляющих выходов к фронтам тактового сигнала, при этом не учитывается внутренняя задержка, которая может достигать десятков наносекунд и, при высоком значении тактовой частоты, может быть сравнимой с длительностью такта.

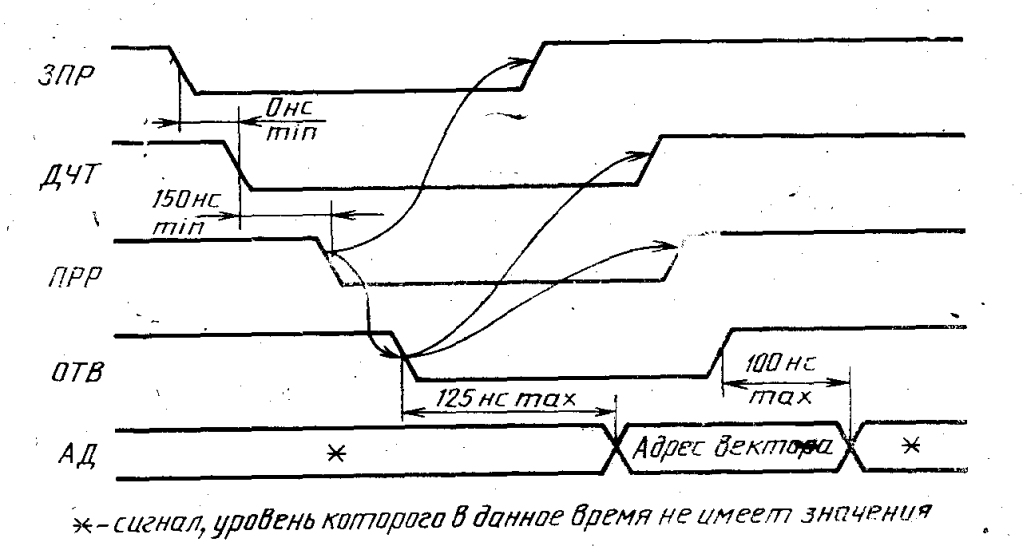


Допустим что в такте **Т0** на магистрали МПИ нет ведущего устройства (однако обычно это не так, процессор сохранял PSW и PC согласно алгоритму входа в процедуру обработки прерывания), обмен не выполняется, полагаем это состояние исходным. По срезу **Т1** микропроцессор осуществляет захват магистрали, при этом разрешается управление выходами **nWTBT**, **nDIN**, **nDOUT**, **nIAKO**. Сигнал **nBSY** принимает активный низкий уровень, сигнала **nSYNC** неактивен и остается таким на протяжении всей транзакции. На выходе **nWTBT** установлен высокий уровень, что означает выполнение операции чтения, выходы **nAD** находятся в высокоимпедансном состоянии, шина готова к приему данных от устройства. По фронту **Т1** на выходе **nDIN** формируется активный низкий уровень. Через такт, по фронту **Т2** на выходе **nIAKO** формируется низкий уровень и далее микропроцессор переходит в состояние ожидания данных (адреса вектора прерывания) и сигнала подтверждения **nRPLY** от ведомого устройства. При этом запускается специальный таймер монитора шины, который осуществляет счет с частотой **CLC/8**. Если сигнал подтверждения **nRPLY** не будет получен в течение 56..64 тактов **CLC**, то цикл обмена прерывается и возникает программное исключение по вектору 1600128. Разброс в величине таймаута связан с тем что фаза предделителя частоты **CLC/8** при запуске таймера не обнуляется - предделитель считает непрерывно.

На диаграмме в такте **Т4** внешнее устройство выставляет данные, которые подлежат считыванию микропроцессором, и затем, по прошествии некоторого интервала формирует активный низкий уровень сигнала подтверждения **nRPLY**. В общем же случае, согласно ГОСТ 26765.51-86, актуальные данные должны быть выставлены ведомым устройством не позднее чем 200 нс после среза активации сигнала **nRPLY**. На диаграмме момент выставления **nRPLY,** который определяется внешним устройством, намерено показан после фронта **T4**. Микропроцессор фиксирует сигнал на своем входе **nRPLY** по фронту тактового сигнала, при обнаружении активного низкого **nRPLY** два фронта тактового сигнала подряд (на приведенной диаграмме это **T5** и **T6**, два цикла нужны так как данные от ведомого устройства могут запаздывать на интервал до 200 нс относительно активации **nRPLY**), цикл обмена полагается законченным, по фронту **T6** фиксируются читаемые данные и передаются внутренним схемам процессора, снимается активный сигнал **nDIN** и останавливается таймер монитора шины, затем в такте **T7** деактивируется сигнал **nIAKO** и происходит переход в ожидание снятия активного сигнала **nRPLY**. При этом по срезу тактового сигнала осуществляется детектирование неактивного высокого уровня **nRPLY** и при обнаружении такового запрещаются выходы управляющих сигналов **nDIN**, **nDOUT**, **nWTBT, nIAKO**.

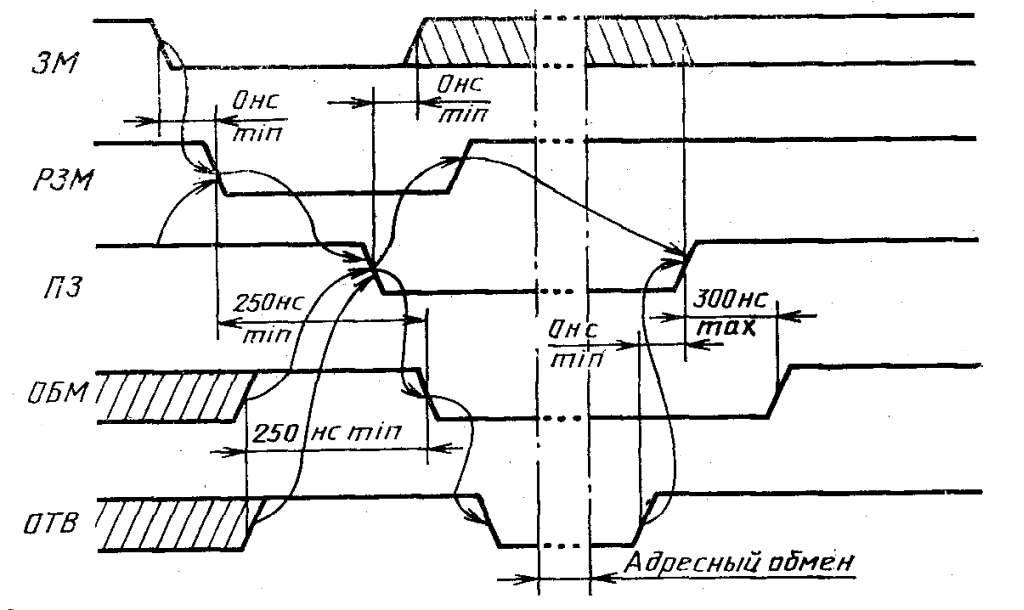
Ведомое устройство которое выставило вектор на шину может снять активный запрос **nVIRQ** если у него больше нет других запросов на прерывание.

Ниже в справочных целях приведена диаграмма выполнения транзакции "Чтение вектора прерывания" из ГОСТ 26765.51-86 с указанием регламентируемых временных параметров.



## Процедура арбитража доступа к магистрали

Ниже в справочных целях приведена диаграмма выполнения транзакции "Захват магистрали" из ГОСТ 26765.51-86 с указанием регламентируемых временных параметров.



## Поддержка многопроцессорной конфигурации

Процессор 1801ВМ1 поддерживает работу в многопроцессорной конфигурации, которая позволяет строить системы, содержащие до четырех процессоров 1801ВМ1, непосредственно подключенных к общей шине. Каждому процессору в такой системе присваивается аппаратный номер от 0 до 3. Аппаратный номер процессора определяется комбинацией сигналов на входах **nPA1** и **nPA0:**

**nPA1**=1, **nPA0**=1 - процессор номер 0, высший приоритет доступа к шине  
**nPA1**=1, **nPA0**=0 - процессор номер 1  
**nPA1**=0, **nPA0**=1 - процессор номер 2  
**nPA1**=0, **nPA0**=0 - процессор номер 3

Если процессор единственный в системе (однопроцессорный вариант), то на данные входы должен быть подан высокий уровень. Процессор номер 0 называется ведущим, процессоры 1-3 называются ведомыми. Ведущей процеcсор всегда должен быть на вершине цепочки **nDMGI/nDMGO** и имеет наивысший приоритет доступа к шине, порядок ведомых процессоров в цепочке не важен.

От аппаратного номера процессора зависит следующий функционал:

* базовый адрес блока регистров внутреннего периферийного блока, периферийный блок будет отвечать на обращения по шине только по соответствующим адресам
* адрес первого обращения к регистру начального пуска после аппаратного сброса
* биты 9 и 8 слова состояния процессора **PSW**
* биты 4 и 3 регистра управления режимом 1777x08
* ведущий процессор никогда не активирует **nDMR**
* ведомые процессоры игнорируют вход **nVIRQ**
* различная логика арбитража **nDMGI/nDMGO** для ведомых и ведущего процессоров

Адрес регистра используемого для переключения пользовательского и пультового режимов постоянен (1777168) и не зависит от номера процессора, также постоянен адрес ячеек для сохранения/извлечения **PC** и **PSW** пультового режима (1776748). Физическое разделение этих общих ресурсов в многопроцессорной системе может быть возложено на внешние схемы.

Для программной синхронизации доступа к общим ресурсам предполагается использование инструкций выполняющих обращение к шине при помощи транзакции чтение-модификация-запись. Процессор 1801ВМ1 выполняет такую транзакцию на шине МПИ атомарно, с монопольным захватом шины на все время выполнения транзакции. Например, процедуры захвата и освобождения синхронизирующего объекта (spinlock) могут быть основаны на инструкциях DECB или ASRB:

|  |  |
| --- | --- |
| lock:  cmpb spinlock, #1 bne lock decb spinlock bne lock rts PC  unlock: mov #1, spinlock rts PC | lock:  asrb spinlock bcc lock rts PC  unlock: mov #1, spinlock rts PC |

# Периферийный блок

Внутри микросхемы К1801 также имеется периферийный блок, который подключен к внешним выводам магистрали МПИ и может играть роль встроенного ведомого устройства магистрали. Это означает что регистры периферийного блока могут читаться и записываться по МПИ как внутренним процессорным блоком микросхемы, так и внешним по отношению к микросхеме агентом шины, например, другим процессором.

Базовый адрес периферийного блока зависит от физического номера процессора в системе (задается значениями на входах **nPA0**, **nPA1**):

|  |  |  |
| --- | --- | --- |
| Входы | Номер процессора | Диапазон адреса |
| **nPA1**=1, **nPA0**=1 | процессор номер 0 | 1777008-1777168 |
| **nPA1**=1, **nPA0**=0 | процессор номер 1 | 1777208-1777368 |
| **nPA1**=0, **nPA0**=1 | процессор номер 2 | 1777408-1777568 |
| **nPA1**=0, **nPA0**=0 | процессор номер 3 | 1777608-1777768 |

При обращении к диапазону адресов базового блока процессор всегда генерирует ответный сигнал **nRPLY**, не требуется его формирование дополнительными внешними схемами. При обращении по адресу база внутреннего периферийного блока + 168 дополнительно генерируется активный внешний сигнал **nSEL1** низкого уровня, независимо от того какой агент, внутренний или внешний обращается к данному адресу. При обращении по адресу база внутреннего периферийного блока + 148 дополнительно генерируется активный внешний сигнал **nSEL2**. Сигналы **nSEL1** и **nSEL2** фиксируются по ниспадающему фронту **nSYNC** и остаются неизменными на протяжении всего цикла обмена шины до нарастающего фронта **nSYNC**.

При обращении к периферийному блоку по смещениям 0008-0128 данные выдаются и принимаются внутренними схемами микропроцессора - регистрами управления и ВЕ-таймера. При обращении по смещениям 0148-0168 данные должны быть выданы или приняты внешними схемами. Следующая таблица раскрывает особенности обращений к внутреннему периферийному блоку микросхемы:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Операция | Агент шины | Адрес обращения | Линии **nAD** | **nRPLY** |
| чтение | внутренний | вне диапазона блока | вход | внешний |
| база + 0008-0128 | выход | внутри |
| база + 0148-0168 | вход | внутри |
| внешний | вне диапазона блока | вход | внешний |
| база + 0008-0128 | выход | внутри |
| база + 0148-0168 | вход | внутри |
| запись | внутренний | вне диапазона блока | вход | внешний |
| база + 0008-0128 | выход | внутри |
| база + 0148-0168 | вход | внутри |
| внешний | вне диапазона блока | вход | внешний |
| база + 0008-0128 | вход | внутри |
| база + 0148-0168 | вход | внутри |

Под внутренним агентом понимается собственный процессорный блок микросхемы, под внешним - внешний процессор или другое устройство, осуществившее захват шины и являющееся в момент обращения ведущим. Таблица также показывает состояние линий **nAD**, при состоянии выход на шину транслируется содержимое соответствующего регистра, из которого осуществляется чтение, или данные, записываемые в регистр внутренним процессорным блоком. Последний столбец отображает формирование сигнала **nRPLY**, при обращении к периферийному блоку сигнал **nRPLY** формируется всегда.

Регистры периферийного блока можно условно разделить на три группы:

* регистры управления и состояния - смещения 0008-0048
* регистры ВЕ-таймера - смещения 0068-0128
* внешние регистры **nSEL2** и **nSEL1** - смещения 0148-0168

Данные регистры описаны в следующих разделах.

## Регистр управления режимом

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Name:** CPU\_MODE | | | | | | | | | | | | | | | |
| **Offset:** 1777008 + <номер процессора> \* 208 | | | | | | | | **Reset Value:** 1777408 (зависит от номера) | | | | | | | |
| **15** | **14** | **13** | **12** | **11** | **10** | **9** | **8** | **7** | **6** | **5** | **4** | **3** | **2** | **1** | **0** |
| Readonly (Write ignored) | | | | | | | | | | | | | R & W | | |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | PA1 | PA0 | WT | ST | HLT |

Регистр режима, начальное значение 1777408 (зависит от аппаратного номера процессора)

Биты 0,1,2 регистра режима используются для синхронизации пуска подчиненных процессоров главным процессором в многопроцессорной системе, т.к. блок регистров каждого процессора доступен на шине любому другому процессору вне зависимости от состояния процессора-владельца

**HLT** - останов конвейера обработки микрокоманд. Процессор останавливается полностью, выход из этого состояния возможен только при сбросе этого бита, выполняемого внешним агентом на шине МПИ путем прямой записи в регистр или по аппаратному сбросу микропроцессора. При выполнении микрокода это бит также может устанавливаться записью 0 в 25 разряд специального управляющего вектора, но рабочая версия микропрограммы эту возможность никогда не использует.

**ST** - остановить конвейер микроинструкций после загрузки регистра инструкций. Если этот бит имеет единичное значение, то при загрузке слова кода очередной команды в регистр инструкций, происходит установка бита **HLT** и конвейер останавливается, таким образом, возможно пошаговое исполнение программы под управлением внешнего агента по шине МПИ.

**WT** - при установке этого бита происходит переход в режим ожидания прерывания, бит автоматически устанавливается инструкцией WAIT. При наступлении разрешенного прерывания этот бит сбрасывается и происходит переход из режима ожидания прерывания в рабочий режим. Физически этот бит совпадает с флагом **WCPU** в блоке прерываний. Может управляться микропрограммой через запись в специальный управляющий вектор.

**PA1, PA0** - аппаратный номер процессора в многопроцессорной системе, для ведущего процессора в данном поле считывается значение 0, для ведомых - 1,2 или 3.

## Регистр вектора прерывания рестарта

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Name:** CPU\_IVEC | | | | | | | | | | | | | | | |
| **Offset:** 1777028 + <номер процессора> \* 208 | | | | | | | | **Reset Value:** N/A | | | | | | | |
| **15** | **14** | **13** | **12** | **11** | **10** | **9** | **8** | **7** | **6** | **5** | **4** | **3** | **2** | **1** | **0** |
| Write only (Read as 1777778) | | | | | | | | | | | | | | | |
| Unknown | | | | | | | | | | | | | | | |

Регистр адреса прерывания, начальное значение 1777778, только для записи

Данный регистр представляет собой рудиментарный остаток от К1801ВЕ1. Предполагалось что при записи в данный регистр записываемое значение будет сохраняться и при этом активироваться запрос на прерывание. Пока данный запрос на прерывание не будет обработан, регистр вектора рестарта делается более недоступным по шине - при обращении к нему не генерируется **nRPLY**, и также запись нового значения не осуществляется. Таким образом внешний агент может узнать что процессор-владелец регистра еще не обработал прерывание. Обработка возникшего запроса предполагалась по вектору, значение которого было записано в данный регистр рестарта. Однако ни К1801ВМ1А ни К1801ВМ1Г не реализует полный функционал запроса на прерывание от регистра вектора рестарта - данный запрос просто не подключен к блоку обработки прерываний. При записи произвольных данных в регистр он "пропадает" из адресного пространства, так как внутренний запрос на прерывание установлен и блокирует генерацию **nRPLY**. Но, как выяснилось, процессоры К1801ВМ1 ошибочно сбрасывают этот запрос на прерывание при обработке инструкции **EMT**, таким образом регистр вектора рестарта становится снова доступен на шине.

## Регистр флагов ошибок

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Name:** CPU\_ERROR | | | | | | | | | | | | | | | |
| **Offset:** 1777048 + <номер процессора> \* 208 | | | | | | | | **Reset Value:** 1774408 | | | | | | | |
| **15** | **14** | **13** | **12** | **11** | **10** | **9** | **8** | **7** | **6** | **5** | **4** | **3** | **2** | **1** | **0** |
| Readonly (Write ignored) | | | | | | | | Read & Write | | | | | | | |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | ER7 | OAT | 1 | QTO | ER3 | ER2 | UOP | DBL |

Регистр ошибки, начальное значение после сброса 1774408 - все используемые флаги ошибок очищены. Единичное значение флага означает что имела место соответствующая ошибочная ситуация.

**DBL** - double error - двойная ошибка (повторная установка битов **UOP**, **QTO**, **OAT**, **ER7**)

**UOP** - unknown opcode - недопустимая команда, взывает сброс микропрограммного автомата

**ER2** – резервный бит, не вызывает исключений, никогда не устанавливается микрокодом

**ER3** – резервный бит, не вызывает исключений

**QTO** - qbus timeout - тайм-аут обращения к внешнему устройству

**OAT** - odd address trap - словное обращение по нечетному адресу, поскольку детектор обращения по нечетному адресу в 1801ВМ1 аппаратно заблокирован, то данный бит никогда не устанавливается.

**ER7** - резервный бит, не вызывает исключений, но может вызвать двойную ошибку

Все биты ошибок безусловно сбрасываются при загрузке нового кода команды во внутренний регистр инструкций, таким образом, регистр ошибок отображает ошибочные ситуации возникшие при выполнении текущей команды. Поэтому значение некоторых битов ошибок не может быть прочитано программным способом самим процессором - инструкция успешного чтения данных из самого регистра выполняется без ошибок **DBL**, **UOP**, **QTO**, **OAT**,эти биты будут сброшены. Но регистр ошибок может быть прочитан внешним агентом на шине МПИ (например, другим процессором) и полученная информация может быть использована в отладочных и диагностических целях.

Биты **ER2**, **ER3**, **ER7** могут устанавливаться микропрограммой через запись в специальный управляющий вектор, но на практике рабочей версией микропрограммы эта возможность не используется, вероятно эти флаги могли использоваться при отладке микропрограммы.

## Регистры встроенного таймера К1801ВМ1

Встроенный таймер К1801ВМ1 является унаследован от однокристального микроконтроллера К1801ВЕ1. Таймер является недокументированным, и некоторый процент микросхем К1801ВМ1А/Б/В имеют неработоспособный блок встроенного таймера. Микросхема К1801ВМ1Г имеет гарантировано работоспособный блок таймера, а также дополнительно поддерживает прерывание от этого блока.

Регистр управления

16-битный регистр захвата/предела

16-битный счетчик

Таймер имеет в своем составе следующие блоки:

Шина

МПИ

Детектор

входа

nSP

Блок предделителя

CLC/4  
CLC/128  
CLC/512  
CLC/2048  
CLC/8192

Встроенный таймер ВЕ1

* 16-битный декрементируемый счетчик
* 16-битный регистр значения перезагрузки и/или захвата текущего значения счетчика
* регистр управления таймером
* регистр управления
* предделитель входной процессорной частоты **CLC** на **4**
* дополнительный делитель частоты **CLC** на 12810 (формируется делением **CLC/4** на **32**)
* детектор ниспадающего фронта на входе **nSP**

Тактирование счетчика таймера может осуществляться одной из следующего набора частот:

* внешняя тактовая частота, поступающая на внешний вход микросхемы **nSP**
* частота с предделителя **CLC/128**
* частота с предделителя **CLC/128** дополнительно деленная на **4**
* частота с предделителя **CLC/128** дополнительно деленная на **16**
* частота с предделителя **CLC/128** дополнительно деленная на **64**

Также в процессоре К1801ВМ1Г таймер может генерировать прерывания по вектору 2708, в процессоре К1801ВМ1А данная функция отключена, прерывания о таймера не генерируются

Все внутренние управляющие схемы таймера тактируются частотой **CLC/4**. Предделитель и делители **CLC** программно недоступны, работают постоянно и не сбрасываются при обращении к регистрам таймера или при сбросе всего процессора по входу **nDCLO**.

Для внешней частоты **nSP** счетный такт формируется по ниспадающему фронта сигнала, синхронизированного с частотой **CLC/4**, поэтому значение входной частоты не может быть больше чем **CLC/8**, а длительность любого полупериода должна превышать длительность периода **CLC/4**.

Таймер может быть настроен на следующие режимы:

* декрементный счет с остановом по достижению счетчика нулевого значения
* декрементный счет с перезагрузкой счетчика значением из регистра перезагрузки при достижении счетчика нулевого значения с последующим продолжением счета
* декрементный счет с захватом текущего значения счетчика в регистре перезагрузки при обнаружении ниспадающего фронта на входе **nSP**. В этом режиме счетчик не останавливается при достижении нуля, а переходит на значение 1777778. Обратное копирование из регистра перезагрузки в регистр счетчика при достижении счетчиком нуля в данном режиме не выполняется.

## Регистр значения перезагрузки и захвата

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Name:** TVE\_LIMIT | | | | | | | | | | | | | | | |
| **Offset:** 1777068 + <номер процессора> \* 208 | | | | | | | | **Reset Value:** N/A | | | | | | | |
| **15** | **14** | **13** | **12** | **11** | **10** | **9** | **8** | **7** | **6** | **5** | **4** | **3** | **2** | **1** | **0** |
| Read & Write | | | | | | | | | | | | | | | |
| Limit | | | | | | | | | | | | | | | |

**Limit –** 16-битное начальное значение счета

Может быть настроен режим, при котором в данный регистр копируется содержимое регистра счета по ниспадающему фронту на внешнем входе **nSP**.

Вне зависимости от режима работы, при записи со стороны процессора в регистр управления таймера **TVE\_CSR** содержимое регистра **TVE\_LIMIT** копируется в регистр счетчика **TVE\_COUNT**.

Начальное значение регистра после включения питания не определено, зависит от того в какое псевдослучайное состояние установятся триггеры регистра. Сброс по входам **nINIT** и **nDCLO** никак не изменяет состояние регистра **TVE\_LIMIT**.

## Регистр счетчика таймера

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Name:** TVE\_COUNT | | | | | | | | | | | | | | | |
| **Offset:** 1777108 + <номер процессора> \* 208 | | | | | | | | **Reset Value:** N/A | | | | | | | |
| **15** | **14** | **13** | **12** | **11** | **10** | **9** | **8** | **7** | **6** | **5** | **4** | **3** | **2** | **1** | **0** |
| Readonly (Write Ignored) | | | | | | | | | | | | | | | |
| Count | | | | | | | | | | | | | | | |

**Count –** 16-битное текущее значение счетчика таймера

Декрементируется с частотой **nSP**, или **CLC/128** опционально деленной на **4**, **16** или **64**. Если настроен режим перезагрузки счетчика значением из регистра **TVE\_LIMIT**, то перезагрузка осуществляется в течение 4 тактов **CLC** (не **CLC/128**) после перехода счетчика из значения 1 в значение 0, таким образом, счетчик последовательно принимает следующие значения: N, N-1, N-2, ...., 3, 2, 1, (кратковременный 0), N, N-1... Фаза предделителя и делителей, а также фаза детектора ниспадающего фронта **nSP** при этом сохраняется неизменной и равномерность периода счета не нарушается. Для простоты программной модели можно считать что значение **0** пропускается, хотя при некотором стечении обстоятельств и может быть прочитано из регистра.

Вне зависимости от режима работы таймера, при каждой записи в регистр управления **TVE\_CSR** происходит переписывание значения регистра **TVE\_LIMIT** в регистр **TVE\_COUNT**.

При условии, что не установлен бит **CAP** в регистре **TVE\_CSR** происходит загрузка счетчика значением из регистра **TVE\_LIMIT** при достижении счетчиком нулевого значения. Тут имеется особенность - загрузка происходит только в том случае, если счетчик перед этим был ненулевым (имел единичное значение и был декрементирован), если же в **TVE\_LIMIT** записано нулевое значение, то оно загружается один раз, далее условие ненулевого значения счетчика в предыдущем такте не выполняется и новой загрузки не происходит. В следующем такте счета, счетчик принимает значение **1777778** и продолжает дальнейший счет.

Начальное значение регистра после включения питания не определено, зависит от того в какое псевдослучайное состояние установятся триггеры регистра. Сброс по входам **nINIT** и **nDCLO** никак не изменяет состояние регистра **TVE\_COUNT**.

## Регистр управления таймера

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Name:** TVE\_CSR | | | | | | | | | | | | | | | |
| **Offset:** 1777128 + <номер процессора> \* 208 | | | | | | | | **Reset Value:** 1774008 | | | | | | | |
| **15** | **14** | **13** | **12** | **11** | **10** | **9** | **8** | **7** | **6** | **5** | **4** | **3** | **2** | **1** | **0** |
| Readonly | | | | | | | | Read & Write | | | | | | | |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | FL | D4 | D16 | RUN | OS | MON | CAP | SP |

**FL –** Аппаратно устанавливается схемой таймера в единицу в случае наступления события таймера. Событием таймера может быть момент перехода счетчика через нуль или захват текущего значения счетчика по ниспадающему фронту на входе **nSP.** Для установки бита **FL** должен быть разрешен мониторинг события таймера - бит **MON** должен быть установлен программой в единичное значение. На самом деле, при наступлении события таймера (переход счетчика через нуль или захват значения счетчика) генерируется запрос на прерывание, при запуске обработки прерывания данный запрос сбрасывается. Бит **FL** устанавливается только в том случае если возник новый запрос на прерывание а старый еще не был обработан. Поскольку функция обслуживания прерывания от таймера в К1801ВМ1А заблокирована, то бит **FL** будет реально установлен только после второго срабатывания таймера. После включения питания или сброса **nDCLО** при самом первом событии таймера данный бит не устанавливается. При втором и последующих событиях этот бит работает правильно, поскольку внутренний флаг запроса на прерывание уже установлен. Для процессора 1801ВМ1Г возможна обработка прерываний от таймера, и бит **FL** будет выполнять роль флага переполнения - будет устанавливаться при возникновении события если прерывание от предыдущего события еще не обработано

**D4 –**  разрешить делитель на 4, делители 1/4 и 1/16 включаются последовательно

**D16 –** разрешить делитель на 16, делители 1/4 и 1/16 включаются последовательно

**RUN –** запись единицы разрешает работу счетчика, значение из **TVE\_LIMIT** копируется в **TVE\_COUNT** и далее значение счетчика будет уменьшатся на единицу с заданной частотой**.** Запись нуля останавливает счетчик (при этом значение из **TVE\_LIMIT** также копируется в **TVE\_COUNT** как и при любой записи в регистр управления). Если установлен бит **OS** то при достижении нулевого значения счетчика данный бит будет сброшен аппаратно схемой таймера. Бит **RUN** сбрасывается только событием перехода через нуль при сброшенном бите **CAP**. По событию захвата при ниспадающем фронте на входе **nSP** и установленном бите **CAP** счетчик не останавливается и всегда продолжает счет.

**OS –** использовать однократный режим, при достижении счетчиком нуля, бит  **RUN** будет сброшен, таймер перезагружен и остановлен. Для использования этого режима также необходимо сбросить бит **CAP**, т.е. если оба бита **OS** и **CAP** установлены, то таймер не остановится при переходе счетчика через нуль, а будет продолжать отсчет, так как установленный бит выбирает генерацию события таймера по ниспадающему фронту на входе **nSP.**

**MON –** разрешить мониторинг события таймера - "переход счетчика через нуль" или "захват значения счетчика", устанавливать бит **FL** при возникновении события таймера. Также для 1801ВМ1Г данный бит разрешает запрос прерывания от таймера.

**CAP** - режим захвата, по ниспадающему фронту на входе **nSP** осуществить копирование регистра счетчика **TVE\_COUNT** в регистр предела **TVE\_LIMIT**, при этом генерируется событие таймера. Бит **RUN** также должен быть установлен, иначе событие не генерируется. При нулевом значении бита **CAP** таймер генерирует событие при переходе счетчика через значение нуль и осуществляет загрузку регистра счетчика из регистра предела.

**SP** - выбор режим тактирования счетчика таймера по ниспадающему фронту на входе **nSP**, делители на 4 и на 16 в данном случае никак не влияют на результирующую частоту тактирования таймера.

**Таблица частоты тактирования счетчика таймера**

|  |  |  |  |
| --- | --- | --- | --- |
| D4 | D16 | SP | Частота |
| x | x | 1 | вход **nSP** (**CLC**/810 максимальная) |
| 0 | 0 | 0 | **CLC**/12810 |
| 0 | 1 | 0 | **CLC**/204810 |
| 1 | 0 | 0 | **CLC**/51210 |
| 1 | 1 | 0 | **CLC**/819210 |

**Режимы работы таймера**

|  |  |  |  |
| --- | --- | --- | --- |
| RUN | OS | CAP | Режим |
| 0 | x | x | Остановлен |
| 1 | 0 | 0 | Непрерывный счет с перезагрузкой счетчика |
| 1 | 1 | 0 | Однократный счет с предзагрузкой счетчика |
| 1  1 | x  1 | 1  1 | Непрерывный счет без перезагрузки счетчика, захват значения счетчика по входу **nSP** |

# Процессорный блок

Шина МПИ

Процессорный блок

Блок микропрограммного управления  
Логическая матрица  
31 вход и 34 выхода

Регистр  
инструкций

Блок обмена с магистралью

Схема обмена байтов

Оперативный регистр адреса A

Оперативный регистр данных Q

Слово состояния процессора

Арифметико-логическое устройство

Блок регистров общего назначения

Блок обработки прерываний и исключений

В составе процессорного блока можно выделить следующие основные компоненты:

Внутренняя шина данных операционного блока

* блок микропрограммного управления, осуществляет декодирование инструкций и формирование необходимых последовательностей сигналов для их выполнения в других обрабатывающих блоках процессора, использует отдельный внутренний регистр инструкций, в котором хранится код исполняемой инструкции
* блок обработки прерываний и исключений, получает на входы все имеющиеся сигналы прерываний и исключений, сигналы их маскирования или запрета, производит их упорядочивание по приоритету и передает информацию о текущем наиболее приоритетном событии блоку микропрограммного управления
* операционный блок, выполняет собственно обработку и хранение данных, содержит в своем составе отдельную внутреннюю шину данных, блок взаимодействия с шиной МПИ, схему обмена байтов, оперативный регистр данных **Q**, оперативный регистр адреса транзакции МПИ **A**, слово состояния процессора **PSW**, арифметико-логическое устройство и блок регистров общего назначения

## Блок микропрограммного управления

Ниже приведена диаграмма блока микропрограммного управления и источники входных сигналов данного блока. Выходы блока управляют работой практически всех остальных блоков процессора.

Блок микропрограммного управления

Матрица 34 программируемых инверторов

Матрица 34 сложений ИЛИ на 250 программируемых входов

Регистр статуса  
 прерываний MCIR

Регистр текущего  
микроадреса MA

Матрица 250 произведений И на 62 программируемых входа

Регистр флагов  
 операции FR

Регистр кода  
 инструкции IR

АЛУ

PSW

Внешняя шина МПИ

Выход блока прерываний

В блоке микропрограммного управления можно выделить следующие компоненты:

* регистр микроадреса **MA**, этот регистр содержит 7-битное значение адреса текущей микроинструкции. При аппаратном сбросе процессора регистр микроадреса безусловно принимает значение **00**, обеспечивая начальный пуск. При возникновении ситуации микросброса (внутренний сброс микропрограммного автомата, возникает по ряду причин - недопустимый код инструкции, тайм-аут ввода-вывода и прочее) регистр принимает значение **01**, обеспечивая прекращение выполнения текущей машинной инструкции и принудительный безусловный переход к последовательности микроинструкций обработки исключений. Во всех остальных случая регистр микроадреса принимает значение адреса следующей микроинструкции в последовательности, формируемое на части выходов логической матрицы
* регистр статуса прерывания **MCIR**, этот регистр содержит 3-битное значение, обычно формируемое блоком обработки прерываний и исключений. Также значение может формироваться с выходов логической матрицы, это используется при обработке инструкций программных исключений типа HALT, IOT и тому подобных
* регистр инструкций **IR**, 16-битный регистр, содержащий слово текущей машинной инструкции, записывается исключительно результатом транзакций чтения внешней шины. На некоторых этапах работы микропрограммного автомата значение этого регистра игнорируется, например, при начальном пуске или обработке неопределенного кода инструкции
* регистр флагов **FR**, внутренний 5-битный регистр, старший разряд всегда принимает значение четвертого разряда слова состояния процессора (флаг **T**), остальные разряды могут также загружаться из младших битов **PSW**, либо получать значения арифметических флагов напрямую от АЛУ. Это сделано для возможной микропрограммной реализации различных сложных инструкций типа MUL, без модификации программно-видимых арифметических флагов
* универсальная программируемая логическая матрица на 31 вход и 34 выхода. Матрица реализует 34 универсальных однобитовых функции от 31 входных аргументов. Время прохождения сигналов через матрицу составляет два такта частоты **CLC**. В моменты времени когда работа матрицы не требуется (например, идет ожидание завершения операции чтения на шине МПИ) с транзисторов матрицы снимается питание, что приводит к снижению потребления структурами n-МОП. Матрица содержит три ступени – логические умножения, логические сложения и выходные инверторы. Ступень логических умножений содержит 250 функций логических произведений от 31 входного аргумента и 31 инверсии входных аргументов. Под программированием матрицы понимается что в функции произведений могут быть включены входные аргументы и их инверсии в произвольном порядке, или не подключены вовсе. Подключение аргументов производится масочным способом при производстве микросхемы и не может быть изменено в процессе дальнейшей эксплуатации. Вторая ступень содержит 34 функции логического сложения каждая от 250 аргументов, аргументами являются выходы функций логического умножения первой стадии. Функции логического сложения второй стадии также являются программируемыми – масочным способом задаются подключаемые аргументы. Выходы функций второй ступени поступают на программируемые 34 инвертора, инверсия которых также задается масочным способом при изготовлении микросхемы. Такая структура матрицы позволяет реализовать независимые варианты 34 комбинационных функций. Микропроцессоры 1801ВМ1А и 1801ВМ1Г имеют различные варианты программирования матрицы, соответственно в них реализованы различные варианты поведения микропрограммного автомата

Функционирование блока микропрограммного управления основано на переборе микроадресов. Как таковых микроинструкций нет, есть набор микроадресов, загружаемых в регистр **MA**. Значение этого регистра и ряд других аргументов подается на вход матрицы, матрица формирует среди прочих значений поле следующего микроадреса **NA** – это значение, которое будет загружено в конце цикла в регистр **MA**.

Цикл работы микропрограммного автомата занимает минимум 2 такта входной частоты **CLC**, но может быть удлинен на произвольное количество тактов по ряду причин:

* ожидание готовности результата АЛУ
* ожидание завершения чтения данных на шине МПИ, когда данные нужны в качестве аргумента для операции АЛУ, данные будут занесены в регистр **Q** и использованы в операции
* ожидания завершения чтения кода инструкции на шине МПИ и записи его в регистр инструкций **IR**
* ожидание завершения опроса блока прерываний
* ожидание освобождения регистра адреса **A** для инициирования новой транзакции на шине МПИ в конвейере

В каждом цикле работы микропрограммного автомата АЛУ принимает два входных аргумента с шин **X** и **Y** и выполняет заданную арифметическую или логическую операцию, результат которой выдается на шину **X** и опционально может быть записан или в регистре общего назначения, или в регистр слова состояния **PSW,** или в регистры адреса **A** и данных **Q**. В регистры адреса или данных опционально может осуществляться запись аргумента с шины **X** до выполнения операции АЛУ, например так запускается чтение слова кода очередной инструкции по значению счетчика **PC**, при этом в данном цикле АЛУ выполняет операцию сложения **PC** (блок РОН выдает на шину **X**) + 2 (генератор констант выдает на шину **Y**), но в регистр адреса будет записано значение еще до модификации, это позволяет уменьшить количество циклов микропрограммного автомата, нужных для обработки процессорных инструкций. Также в каждом цикле может быть опционально запущен опрос блока прерываний, который завершается записью регистров **MCIR** и **VSEL**. Эти регистры могут быть записаны также непосредственно в ходе обработки некоторых инструкций (EMT, TRAP, и так далее) и использованы для последующего вызова обработки исключений.

Характерные последовательности перебора микроадресов при обработке прерываний и исключений, а также исполнении процессорных инструкций приведены в разделе описания микропрограммы.

Назначение выходов блока микропрограммного управления

|  |  |  |
| --- | --- | --- |
| 00 05 09 15 19 24 29 | NA6 ~NA5 ~NA4 ~NA3 NA2 NA1 NA0 | Адрес следующей микроинструкции, значение формируемое данными выходами будет загружено в регистр текущего микроадреса **MA** после выполнения текущей микроинструкции. При аппаратном сбросе процессора или внутреннем сбросе микропрограммного автомата данное поле игнорируется |
| 01 02 03 | TPLM | Определяет операцию с регистром инструкций **IR**, возможна произвольная комбинация операций:   * запуск чтения кода следующей инструкции на шине МПИ * ожидание завершения чтения и записи прочитанного значения в регистр **IR** * запуск опроса блока прерываний и получения результата в **MCIR**  |  |  |  |  |  | | --- | --- | --- | --- | --- | |  | MCIR | Wait | Read | Примечание | | 000 | нет | нет | нет | нет операции | | 001 | нет | да | нет | ожидание завершения чтения кода следующей инструкции в **IR**, при этом текущая инструкция RTT | | 010 | нет | нет | нет | нет операции | | 011 | да | да | да | запуск чтения кода следующей инструкции по шине МПИ (если не было запущено ранее) с ожиданием завершения, одновременный запуск проверки состояния блока обработки прерываний | | 100 | нет | нет | да | ранняя предвыборка кода следующей инструкции, чтение на шине МПИ запускается, но его завершение не ожидается в данном микроцикле | | 101 | да | нет | нет | только проверка наличия прерываний, используется инструкцией WAIT | | 110 | нет | нет | нет | нет операции | | 111 | да | да | нет | ожидание завершения чтения кода следующей инструкции в **IR**, при этом текущая инструкция не RTT | |
| 06 07 08 | QBUS | Флаг байтовой операции на шине МПИ Флаг операции записи на шине МПИ Флаг операции чтения на шине МПИ   |  |  | | --- | --- | | 00x | нет операции | | 010 | запись слова | | 011 | запись байта | | 100 | чтение слова | | 101 | чтение байта (читается слово) | | 110 | чтение-модификация-запись слова | | 111 | чтение-модификация-запись байта | |
| 4 21 22 | PLOP | Управление записью арифметических флагов **PSW** из результирующих флагов АЛУ |
| 10 | Не ожидать данные чтения на шине МПИ | |
| 11 13 | PLX | Данные флаги являются многофункциональными, определяют тип операнда на шине **Y**, разрешают запись специального управляющего вектора, определяют тип операции АЛУ |
| 12 | UOP | Неопределенная операция, при возникновении этого активного флага микропрограммный автомат переходит на адрес 01, все операции записи блокируются, устанавливается флаг запроса на исключение Undefined Opcode. Таким образом прекращается исполнение текущей последовательности микроинструкций и происходит переход на начальный анализ исключений. Также установка данного флага вызывает безусловный запрос на заполнение регистра **MCIR** блоком прерываний, в итоге процессор начнет обрабатывать исключение по вектору 0000108 (если нет более приоритетных исключений). Флаг генерируется на всех недопустимых адресах, а также как результат декодирования кода инструкции в регистре **IR**.  Флаг также блокирует на протяжении текущего микроцикла любые записи в регистры, слово состояния, и запуск транзакций на шине МПИ - это позволяет избежать разрушения состояния микропроцессора при неопределенной операции |
| 13 14 16 17 | OP0 OP1 OP2 OP3 | Код операции АЛУ или выбор типа операнда на шине Y:   |  |  | | --- | --- | | 000x, 0011 | **X** + **Y** | | 0010 | **X** & ~**Y** | | 010x, 0111 | **Y** - **X** | | 0110 | **X** ^ **Y** | | 1000 | **Y** | | 10x1 | **X** | | 1010 | **X** | **Y** | | 110x, 1111 | **X** - **Y** | | 1110 | **X** & **Y** |   11, 13 и 14 разряды определяют тип операнда на шине **Y** - регистр, константа или вектор, а также разрешают запись специального управляющего вектора   |  |  |  |  | | --- | --- | --- | --- | | 14 | 13 | 11 | Трансляция на шину **Y** | | 0 | 0 | 0 | **R0**-**R13**, **PSW**, **Q** (индекс в разрядах 28-25) | | 0 | 0 | 1 | константа ([28:25] != 00102) или вектор ([28:25] == 00102) | | 0 | 1 | 0 | константа ([28:25] != 00102) или вектор ([28:25] == 00102) | | 0 | 1 | 1 | константа ([28:25] != 00102) или вектор ([28:25] == 00102) | | 1 | 0 | 0 | **R0**-**R13**, **PSW**, **Q** (индекс в разрядах 28-25) | | 1 | 0 | 1 | константа ([28:25] != 00102) или вектор ([28:25] == 00102) | | 1 | 1 | 0 | **R12** (предположительно не используется) | | 1 | 1 | 1 | **R12** | константа/вектор (предположительно не используется) | |
| 18 | Признак словной операции : 0 - операция с байтом, 1 - операция со словом | |
| 20 | Фиксация - записать результат и флаги операции АЛУ в регистры РОН/PSW | |
| 23 | Не ожидать освобождения регистра A или завершения записи на шине МПИ | |
| 25 26 27 28 | ~Y3 ~Y2 ~Y1 ~Y0 | Данное поле имеет несколько значений:  Индекс регистра, определяет что будет выставлено на входную шину **Y** АЛУ блоком регистров. Если биты данного поля инвертировать и взять в обратном порядке, то получится индекс регистра, совпадающий (для регистров 0-7) с регистровым индексом в полях процессорных инструкций.   |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | | 0000 | **R0** | 0100 | **R4** | 1000 | **R8** | 1100 | **R12** | | 0001 | **R1** | 0101 | **R5** | 1001 | **R9** | 1101 | **R13** | | 0010 | **R2** | 0110 | **R6** | 1010 | **R10** | 1110 | **PSW** | | 0011 | **R3** | 0111 | **R7** | 1011 | **R11** | 1111 | **Q** |   Также поле отвечает за выбор константы, выдаваемой на шину **Y** как аргумент АЛУ (см. описание поля OP13-OP17):   |  |  |  |  | | --- | --- | --- | --- | | 0000 | **IR**[3:0] - SEx/CLx | 1000 | **IR**[7:0]<<1 со знаком | | 0001 | 0003408 | 1001 | 1000008 | | 0010 | **VSEL** table | 1010 | 1776768 | | 0011 | 0000028 | 1011 | 0000208 | | 0100 | **IR**[5:0]<<1 - SOB | 1100 | флаг переноса **C** | | 0101 | 1777168 | 1101 | 1774008 | | 0110 | 1777778 | 1110 | 0000108 | | 0111 | 0000018 | 1111 | 0000008 |   Также поле определяет режим сдвигателя на выходе АЛУ для одноадресных операций сдвига, если разряды 13 и 14 оба единичные, то разряды 27-25 определяют режим сдвига АЛУ и работу схемы обмена байт на входе **X** АЛУ:   |  |  | | --- | --- | | 000 | влево, в младший бит вдвигается 0, ASL | | 001 | влево, в младший бит вдвигается 0, ASL | | 010 | влево, в младший бит вдвигается **С**, ROL | | 011 | нет сдвига, перестановка байт на входе АЛУ с шины **X** | | 100 | вправо, старший бит копируется, ASR | | 101 | вправо, в старший бит вдвигается перенос из старшего разряда АЛУ в текущей операции | | 110 | вправо, в старший бит вдвигается **C**, ROR | | 111 | нет сдвига | |
| 30 31 32 33 | ~X3 ~X2 ~X1 ~X0 | Индекс аргумента **X** (биты инвертированы и порядок переставлен для совпадения с индексов регистра в поле процессорной инструкции), определяет что будет выставлено на общую шину **X** АЛУ блоком регистров:   |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | | 0000 | **R0** | 0100 | **R4** | 1000 | **R8** | 1100 | **R12** | | 0001 | **R1** | 0101 | **R5** | 1001 | **R9** | 1101 | **R13** | | 0010 | **R2** | 0110 | **R6** | 1010 | **R10** | 1110 | **PSW** | | 0011 | **R3** | 0111 | и | 1011 | **R11** | 1111 | **Q** | |

Если разряды 11 и 13 оба единичные, то происходит запись выходов логической матрицы в специальный управляющий вектор. Специальный управляющий вектор - это динамический набор стробов, управляющий работой различных блоков процессора. Назначение разрядов логической матрицы, соответствующих стробам:

|  |  |  |
| --- | --- | --- |
| 7 | 0 - установить флаг **WCPU**, при опросе блока прерываний микропрограммный автомат будет остановлен и процессор перейдет в режим ожидания внешних прерываний, используется при выполнении инструкции WAIT | |
| 27 | 0 - сбросить флаг **WCPU** и запустить на шине МПИ транзакцию подтверждения прерывания, процессор выходит из режима ожидания внешнего прерывания | |
| 10 | 0 - активировать внешний сигнал **nINIT.** Значение внешнего выходного сигнала **nINIT** хранится в однобитовом регистре, который устанавливается в активное значение при записи управляющего вектора с нулевым 10-ым разрядом и устанавливается в неактивное при записи вектора с нулевым 23-им разрядом, используется при исполнении инструкции RESET | |
| 23 | 0 - деактивировать внешний сигнал **nINIT.** Значение внешнего выходного сигнала **nINIT** хранится в однобитовом регистре, который устанавливается в активное значение при записи управляющего вектора с нулевым 10-ым разрядом и устанавливается в неактивное при записи вектора с нулевым 23-им разрядом, используется при исполнении инструкции RESET | |
| 25 | 0 - установить флаг **HLT** в регистре управления режимом (1777008 + <номер процессора> \* 208), практически эта возможность рабочей версией микропрограммы не используется, процессор остановится | |
| 26 | 0 – установить флаг **ER2** в регистре ошибок (1777048 + <номер процессора> \* 208), практически эта возможность рабочей версией микропрограммы не используется | |
| 28 | 0 – установить флаг **ER3** в регистре ошибок (1777048 + <номер процессора> \* 208), практически эта возможность рабочей версией микропрограммы не используется | |
| 30 | 0 – установить флаг **ER7** в регистре ошибок (1777048 + <номер процессора> \* 208), практически эта возможность рабочей версией микропрограммы не используется | |
| 14 16 17 | ~**MCIR2 MCIR1 ~MCIR0** | Значение для непосредственной записи регистра статуса прерываний **MCIR** (см. описание блока прерываний) |
| 18 20 21 22 | **VSEL3 ~VSEL2 ~VSEL1 ~VSEL0** | Значение для непосредственной записи регистра выбора константы вектора прерываний (см. описание блока прерываний) |

## Операционный блок

Структурная схема операционного блока приведена на диаграмме:

Оперативный регистр данных Q

Генератор констант

Регистр кода инструкции IR

Генератор векторов

Оперативный регистр адреса A

Шина аргумента ~Y (инвертированное значение)

Шина аргумента X (прямое значение)

Операционный блок

Блок регистров общего назначения

|  |  |
| --- | --- |
| R0 | R1 |
| R2 | R3 |
| R4 | R5 |
| R6 | R7 |
| R8 | R9 |
| R10 | R11 |
| R12 | R13 |

Слово состояния процессора PSW

Арифметико-логическое устройство

Компоненты, выделенные светлым фоном, являются программно доступными - слово состояния процессора **PSW** и регистры общего назначения **R0-R7**.

Арифметико-логическое устройство принимает на входах с внутренних шин операционного блока **X** и ~**Y** два аргумента, выполняет над ними логическую или арифметическую операцию и выдает результат обратно на шину **X** (получение аргумента с шины **X** и выдача на нее результата разнесены по тактам, внутри АЛУ имеется регистр для фиксации аргумента **X**). Также по результатам операции вырабатываются флаги, которые могут быть опционально переписаны в слово состояния процессора **PSW**. Флаг переноса **C** может быть записан отдельно от флагов **N**, **Z**, **V**, которые всегда записываются единой группой. В процессоре 1801ВМ1 все арифметические операции, включая авто-инкремент счетчика команд **PC**, исполняются исключительно единственным основным АЛУ процессорного блока. На входе **X** АЛУ имеется схема обмена байт, которая опционально может переставить два байта входного аргумента местами.

Слово состояния процессора **PSW** содержит арифметические и управляющие флаги. Арифметические флаги устанавливаются согласно результатам выполнения операции АЛУ, управляющие флаги могут быть только непосредственно записаны как результат прямой записи слова в **PSW** с шины **X**. При записи слова состояния с шины **X** запись в старший байт может быть замаскирована, предохраняя старший байт от изменения. Например, инструкция MTPS не изменяет старший байт **PSW**. При аппаратном сбросе процессора слово состояния обнуляется, но процедура начального старта, реализованная в микрокоде, записывает в **PSW** значение 0003408.

Описание флагов слова состояния процессора **PSW** приведено в таблице:

|  |  |  |
| --- | --- | --- |
| Бит | Имя | Описание |
| 0 | **C** | Флаг переноса, устанавливается, если был перенос из старшего разряда (15-го при словных операциях и 7-го при байтовых). Операция вычитания реализовывается как сложение с инвертированным вторым операндом плюс один, поэтому при вычитании флаг переноса устанавливается если не было займа в старший разряд (не аппаратной инверсии флага переноса при вычитании). При выполнении сдвигов действуют правила описанные в соответствующих операциях |
| 1 | **V** | Флаг арифметического переполнения, при сложении вычисляется как исключающее ИЛИ переносов из старшего и предстаршего разрядов. Обычно сигнализирует о потере знака результата, используется в знаковой арифметике |
| 2 | **Z** | Флаг равенства результата нулю, устанавливается, если все биты результата ([15:0] при словных операциях и [7:0] при байтовых) |
| 3 | **N** | Флаг знака результата, равен старшему разряду (15-му для словных операций и 7-му для байтовых) |
| 4 | **T** | Флаг ловушки пошаговой отладки, исключение зависит от режима работы процессора - например, сам по себе установленный бит **Т** в режиме ожидания прерывания по команде **WAIT** не вызывает исключения. При выполнении инструкции WAIT незамаскированные прерывания **IRQ1**, **TVE**, **IRQ2**, **IRQ3**, **VIRQ** имеют приоритет над исключением отладки. В остальных случаях установленный бит **T** вызывает программное исключение по вектору 0000148. Инструкция MTPS не изменяет данный бит. |
| 5,6 | **-** | Резервные биты, могут быть записаны и прочитаны, но не оказывают никакого влияния |
| 7 | **I** | Единичное значение бита **I** маскирует следующие прерывания: - прерывание от ВЕ-таймера (только К1801ВМ1Г) - **nIRQ2** - **nIRQ3** - векторное прерывание **nVIRQ** |
| 8 | **PA0** | Младший бит номера процессора в системе, инверсное значение входа **nPA0**. Данный бит может быть только прочитан, не изменяется при записи |
| 9 | **PA1** | Старший бит номера процессора в системе, инверсное значение входа **nPA1**. Данный бит может быть только прочитан, не изменяется при записи |
| 10 | **PSW10** | Модифицирует обработку исключения зависания шины, если данный бит ненулевой, то исключение зависания будет обрабатываться в пультовом режиме по вектору 1600028  Единичное значение бита **PSW10** также маскирует следующие прерывания: - по пропаданию питания (срез на входе **nACLO**) - пультовое прерывание **nIRQ1** - прерывание от ВЕ-таймера (только К1801ВМ1Г) - **nIRQ2** - **nIRQ3** - векторное прерывание **nVIRQ**  Бит всегда сбрасывается при входе в процедуру обработки прерывания или исключения пользовательского режима, значение бита, читаемое из вектора игнорируется. Поскольку данный бит маскирует асинхронные прерывания пользовательского режима, то его сброс может произойти только по синхронным пользовательским исключениям (ошибки или инструкции вызова исключений).  Бит также всегда сбрасывается при выполнении инструкций RTT и RTI, значение загружаемое из стека игнорируется. Фактически данный бит может быть установлен только при входе в обработчик прерывания или исключения пультового режима (хорошо подходит инструкция HALT), а также при возврате из него инструкциями STEP и START. Инструкция MTPS не изменяет данный бит. |
| 11 | **PSW11** | Модифицирует обработку исключения зависания шины, если данный бит ненулевой, то исключение зависания будет обрабатываться в пультовом режиме по вектору 1600028, иначе обработка по вектору 0000048 без перехода в пультовой режим  Единичное значение бита **PSW11** также запрещает пультовое прерывание **nIRQ1**.  Бит всегда сбрасывается при входе в процедуру обработки прерывания или исключения пользовательского режима, значение бита, читаемое из вектора игнорируется.  Бит также всегда сбрасывается при выполнении инструкций RTT и RTI, значение загружаемое из стека игнорируется. Фактически данный бит может быть установлен только при входе в обработчик прерывания или исключения пультового режима (хорошо подходит инструкция HALT), а также при возврате из него инструкциями STEP и START. Инструкция MTPS не изменяет данный бит |
| 12-15 | - | Резервные биты, могут быть записаны и прочитаны, но не оказывают никакого влияния. Обнуляются при входе в обработчик прерывания или исключения пользовательского режима – значения читаемые из вектора прерывания или исключения игнорируются. Инструкция MTPS не изменяет данные биты |

Блок регистров общего назначения содержит 14 шестнадцатиразрядных регистров. При выполнении операций возможна отдельная запись только младшего байта (8 младших бит), так и запись всего шестнадцатиразрядного слова целиком, включая старший байт. Запись только младшего байта в регистры используется при байтовых операциях (за исключением MOVB, когда в старший байт регистра записывается знаковое расширение младшего байта). Блок регистров общего назначения является двухпортовым ОЗУ и может обеспечить одновременную выдачу двух разных регистров на шины **X** и **Y** .

Регистры **R8**-**R13** программно недоступны и используются микропрограммным автоматом для собственных нужд (хранение адресов операндов, временных переменных и так далее). Регистр **R7** выполняет функцию программного счетчика **PC** и используется для адресации потока выполняемых процессорных инструкций. Регистр **R6** выполняет функцию указателя стека **SP**, и используется в процедурах исключений и прерываний.

Оперативный регистр адреса **A** предназначен исключительно для записи по шине **X** адреса запрашиваемой транзакции МПИ. Регистр **A** может быть записан в различных фазах цикла микропрограммного автомата – как до выполнения операции АЛУ, так и после. Например, при запуске извлечения кода очередной исполняемой процессорной инструкции по адресу в счетчике команд **PC**, в регистр адреса **A** записывается значение **PC** в начале цикла, до выполнения операции автоинкремента **PC+2**. После записи значения адреса регистр переходит в занятое состояние и освобождается после выполнения фазы трансляции адреса в транзакции на шине МПИ. Далее автомат транзакций МПИ продолжает обработку транзакции, а регистр адреса готов к записи нового значения для следующей транзакции. Таким образом, процессор 1801ВМ1 способен конвейеризировать до двух транзакций МПИ. При записи в регистр адреса также фиксируется тип транзакции, для сохранения типа также предусмотрен буфер хранения до двух транзакций МПИ. При записи регистра адреса процессор выполняет следующие действия:

* Ожидает завершения предыдущих транзакций МПИ, если таковые есть
* Выставляет запрос на захват шины и ожидает ее предоставления
* Начинает фазу трансляции адреса (активный выход **nSYNC**)
* После завершения фазы трансляции адреса переходит к фазе чтения данных для транзакций чтения и чтения-модификации-записи (активный выход **nDIN**)
* Если транзакция подразумевает запись, то ожидается запись регистра **Q**, таковая может быть выполнена еще до записи регистра **А**  или после, в транзакция модификации ожидается запись в регистр **Q** результатов модификации данных со стороны АЛУ
* Ожидание завершения транзакций не производится, ожидание данных происходит на уровне микропрограммного автомата

Оперативный регистр данных **Q** служит для сохранения данных прочитанных в результате транзакций чтения по шине МПИ, а также для сохранения данных, записываемых по шине **X** со стороны АЛУ, предназначенных для последующей записи по шине МПИ во внешние устройства или память.

Регистр кода инструкции **IR** предназначен для хранения кода текущей процессорной инструкции, обрабатываемой в данный момент микропрограммным автоматом. Также имеется теневой регистр для хранения кода следующей инструкции, полученной в результате предварительной выборки (чтение кода инструкции запущенное заранее, еще в ходе обработки текущей инструкции).

Генераторы констант и векторов выдают на шину **Y** одно из постоянных значений из фиксированного набора. В набор входят значения векторов исключений, некоторые константы для вычислений - -1, 0, 1, 2, а также фиксированные адреса регистров и указателя стека пультового режима.

Во многих документах и обсуждениях, касающихся 1801ВМ1, встречается упоминание так называемого “пультового режима”. На самом деле внутри процессора нет никаких специальных схем и состояний для специального пультового режима. Вместо этого предусмотрен условный бит управления режимом, вынесенный во внешние схемы - бит 3 регистра 1777168 (этот адрес НЕ зависит от физического номера процессора, одинаков для всех процессоров в многопроцессорной системе). При входе в некоторые исключения микропрограмма вызывает обращение к регистру 1777168 и установку бита, такие исключения называются исключениями пультового режима. Специальные инструкции START и STEP производят возврат из таких исключений (являются аналогами инструкций RTI и RTT), при этом также производится обращение к регистру 1777168 и сброс бита 3.

## Блок обработки прерываний

VSEL  
4 бита

MCIR  
3 бита

Детектор фронта nACLO

Детектор среза nACLO

Флаг ожидания ACOK

Блок обработки прерываний принимает и детектирует запросы на прерывания и исключения от различных источников, упорядочивает их по приоритету, выполняет маскирование и передает информацию о имеющемся наиболее приоритетном незамаскированном активном запросе для блока микропрограммного управления.

ACOK

REARM

3 бита

Недопустимая инструкция

Флаги PSW[11, 10, 7, 4]

Дополнительные сигналы

Блок обработки прерываний

Логическая Матрица

16 входов (ВМ1А)  
17 входов (ВМ1Г)  
11 выходов

Прерывание от ВЕ-таймера

Детектор среза nIRQ3

Детектор среза nIRQ2

Запросы на прерывание или исключение поступают на детектор. Детектор производит непрерывную проверку линии запроса и при обнаружении события фиксирует соответствующий флаг. Например, детектор среза **nACLO** будет выставлять активный флаг при обнаружении перехода входа **nACLO** в низкий уровень. Флаг останется выставленным до события аппаратного сброса процессора или до тех пор пока информация об этом запросе не будет передана и обработана блоком микропрограммного управления.

Обнаруженные и зафиксированные запросы поступают на логическую матрицу, которая также обрабатывает функции маскирования и упорядочивания запросов по приоритетам. Матрица имеет 19 входов в К1801ВМ1А и 20 входов в К1801ВМ1Г (в последнем дополнительный вход является запросом прерывания от ВЕ-таймера, в остальном матрицы одинаковы) и 11 выходов. 3 входа являются резервными и не используются.

Выходные сигналы матрицы фиксируются в трех отдельных регистрах и одном флаге:

* **MCIR** - 3-битовый регистр флагов наличия прерываний, его выход напрямую подается на матрицу блока микропрограммного управления. Этот регистр может быть записан как с выходов матрицы блока прерываний, так и данными со стороны микропрограммного блока. Запись этого регистра со стороны блока микропрограммного управления используется при отработке программных исключений, вызываемых инструкциями типа HALT, EMT и т.д.
* **VSEL** - 4-битовый регистр индекса вектора прерывания. Подается на вход таблицы генератора констант, может быть записан как с выходов матрицы блока прерываний, так и данными со стороны микропрограммного блока.
* **REARM** - 3-битовый регистр, определяет индекс детектора события, флаг которого должен быть сброшен, используется исключительно внутри блока прерываний для сигнализации детектору события что флаг обработан и надо реактивироваться для обнаружения следующего события.
* **ACOK** - флаг нормального старта. Этот флаг обнуляется при аппаратном сбросе микропроцессора, и блок прерываний переходит в ожидание события фронта на **nACLO**. При этом блоку микропрограммного управления сообщается специальный код, и тот находится в пустом начальном цикле, ожидая начального старта.

Блок микропрограммного управления в первом такте декодирования инструкции выполняет транзакцию опроса блока прерываний. При этой транзакции опроса блок прерываний записывает информацию о имеющихся запросах в регистр **MCIR**, также в регистр **VSEL** записывается индекс требуемого вектора прерывания. Если на выход для обработки передан запрос с детектора события, то соответствующий детектор сбрасывается. Например, детектор среза **nIRQ3** обнаружил событие среза, выставил соответствующий флаг запроса, когда этот флаг будет обработан (что необязательно происходит в первом же цикле опроса, так как запрос может быть замаскирован флагами в слове состояния **PSW** или могут иметься более приоритетные запросы), то в регистр **REARM** будет записан код для сброса именно детектора **nIRQ3** и детектор инициализируется и перейдет в ожидание нового события среза по этой линии.

Значения регистра **MCIR** и реакция блока микропрограммного управления на них

|  |  |
| --- | --- |
| 0002 | Ожидание прерывания. Блок микропрограммного управления постоянно выполняет опрос блока прерывания в цикле и никаких других операций не производится. Это состояние используется для ожидания начального пуска - флаг **ACOK** сброшен, блок прерывания ожидает фронта **nACLO.** И также при выполнении инструкции **WAIT** - постоянно ожидается поступление прерывания. |
| 0012 | Нет активных незамаскированных запросов на прерывание или исключение |
| 01x2 | Переход в "пультовый" режим (по инструкции **HALT,** низкому уровню на входе **nIRQ1**, двойной ошибке). Внутри процессора нет специального пультового режима, бит управления режимом вынесен во внешние схемы - бит 3 регистра 1777168 (адрес НЕ зависит от физического номера процессора). При входе в режим осуществляется чтение-модификация-запись внешнего регистра 1777168 с установкой маски 108. Установленный младший бит указывает, что не требуется выполнять коррекцию **PC** (уменьшение на 2) перед сохранением в стеке |
| 10x2 | Требуется обработка прерывания или исключения пользовательского режима, установленный младший бит указывает, что не требуется выполнять коррекцию **PC** (уменьшение на 2) перед сохранением в стеке |
| 11x2 | Выполнить последовательность начального старта (прочитать регистр начального старта, инициализировать **PC** и **PSW**) |

Значения регистра **VSEL** и соответствующие индексам значения векторов

|  |  |
| --- | --- |
| 008 | 1600068 - исключение по двойной ошибке шины |
| 018 | 0000208 - инструкция **IOT** (это значение индекса вектора никогда не генерируется блоком прерываний, а записывается со стороны микропрограммного блока при декодировании инструкции) |
| 028 | 0000108 - зарезервированный код инструкции |
| 038 | 0000148 - установленный бит **T** в слове состояния процессора **PSW** |
| 048 | 0000048 - тайм-аут (зависания) внешней шины |
| 058 | Адрес начального пуска, значение вектора зависит от физического номера процессора  1777168 - процессор номер 0 1777368 - процессор номер 1 1777568 - процессор номер 2 1777768 - процессор номер 3 |
| 068 | 0000308 - инструкция **EMT** (это значение индекса вектора никогда не генерируется блоком прерываний, а записывается в регистр **MCIR** со стороны микропрограммного блока при декодировании инструкции) |
| 078 | 1600128 - тайм-аут шины при приеме вектора прерывания |
| 108 | 0002708 - обнаружение спада на входе **nIRQ3**, или ВЕ-таймер (только К1801ВМ1Г) |
| 118 | 0000248 - обнаружение спада на входе **nACLO** |
| 128 | 0001008 - обнаружение спада на входе **nIRQ2** |
| 138 | 1600028 - низкий уровень на входе **nIRQ1** или инструкция **HALT** |
| 148 | 0000348 - инструкция **TRAP** (это значение индекса вектора никогда не генерируется блоком прерываний, а записывается со стороны микропрограммного блока при декодировании инструкции) |
| 158 | Получить вектор прерывания от внешнего устройства (это значение индекса вектора никогда не генерируется блоком прерываний) |
| 168 | Получить вектор прерывания из регистра вектора прерывания рестарта 1777x28 (это значение индекса вектора никогда не генерируется блоком прерываний, так как эта возможность не реализована в микропроцессоре, вероятно рудиментарный остаток от К1801ВЕ1) |
| 178 | 0000008 - неиспользуемый вектор |

Значения регистра **REARM** и соответствие детекторам

|  |  |
| --- | --- |
| 0002 | Флаг неопределенной инструкции **UERR**. этот флаг устанавливается блоком микропрограммного управления при обнаружении ошибки декодирования кодов операций, после установки флага ошибки блок микропрограммного управления сбрасывается и переходит к моменту опроса состояния блока прерывания. Флаг неопределенной инструкции является приоритетным и немаскируемым и блок прерывания выставляет соответствующий код, вызывающий переход блока микропрограмм к процедуре обработки исключения. После передачи кода блок прерываний очищает этот флаг. Также этот индекс сбрасывает флаги таймаутов по внешней шине для данных и вектора прерываний - **QBTO** и **IATO**. |
| 0012 | Флаг обнаружения спада на входе **nIRQ3** |
| 0112 | Флаг обнаружения спада на входе **nIRQ2** |
| 1002 | Флаги обнаружения фронта и спада на входе **nACLO** |
| 1012 | Флаг прерывания от ВЕ-таймера, устанавливается таймером, сбрасывается при обработке прерывания, есть только в К1801ВМ1Г |

Таблица входов матрицы и формируемые выходные значения

| Вход | Описание | **MCIR** | **VSEL** | **REA** |
| --- | --- | --- | --- | --- |
| **ACOK** | Флаг ожидания начального пуска, при аппаратном сбросе микропроцессора этот флаг сбрасывается и будет установлен только после возникновения события фронта на входе **nACLO** и обработки этого события матрицей (флаг устанавливается значением с выхода матрицы, после первичной установки будет оставаться установленным постоянно). После обработки начального пуска флаг устанавливается и в дальнейшей работе влияния на матрицу не оказывает |  |  |  |
| **ACOK**=0, **ACIN**=0 (нет фронта **nACLO**) | 0002 | 118 | 1112 |
| **ACOK**=0, **ACIN** =1 (есть фронт **nACLO**) | 1112 | 58 | 1002 |
| **ACOK**=1 - нормальная работа матрицы приоритетов прерываний |  | | |
| **ACIN** | Детектор фронта на входе **nACLO**, этот вход работает только при ожидании начального пуска, в дальнейшем не оказывает влияния на функционирование блока обработки прерываний | - | - | - |
| **IATO** | Тайм-аут получения вектора прерывания по внешней шине, всегда устанавливается вместе с флагом **QBTO**, сбрасывается после передачи кода блоку микропрограмм | 0112 | 78 | 0002 |
| **DBLE** | Флаг двойной ошибки. Если произошел тайм-аут шины, или исключение неопределенной инструкции, и при обработке исключения снова возник тайм-аут или неопределенная инструкция, то этот флаг устанавливается. Сброс флага происходит при загрузке кода новой инструкции в регистр инструкции. На практике может возникать только двойной тайм-аут (повторная неопределенная инструкция может возникнуть только при нарушении работы микрокода), поэтому этот флаг всегда сопровождается флагом **QBTO** | 0112 | 08 | 0002 |
| **QBTO** | тайм-аут внешней шины МПИ. При активации стробов **nDIN** или **nDOUT** запускается специальный таймер, который тактируется от делителя **CLC**/8, если в ответ не поступит **nRPLY**, то после отсчета таймером 8 тиков устанавливается флаг **QBTO**. Делитель частоты /8 не сбрасываемый, поэтому фактический тайм-аут может составлять от 56 до 64 тактов процессорной частоты |  |  |  |
| **PSW10**=0, **PSW11**=0, исключение по вектору 0000048 | 1012 | 48 | 0002 |
| **PSW10**=1, **PSW11**=0, исключение по вектору 1600028 | 0112 | 138 | 0002 |
| **PSW10**=x, **PSW11**=1, исключение по вектору 1600028 Примечание: К1801ВМ1Г формирует значение **MCIR**=0112 | 0102 | 138 | 0002 |
| **UERR** | Недопустимая инструкция, флаг устанавливается блоком микропрограммного управления при возникновении ошибки декодирования кода инструкции, загруженной в регистр инструкций. Флаг сбрасывается блоком прерываний при передаче кода старта обработки исключения блоку микропрограмм | 1012 | 28 | 0002 |
| **PSW4** | **T**-бит ловушки пошаговой отладки в слове состояния процессора **PSW**, прерывание зависит от режима работы процессора - например, сам по себе установленный бит **Т** в режиме ожидания прерывания по команде **WAIT** не вызывает исключения. Ниже рассмотрены условия при **PSW11**=0, **PSW10**=0, **PSW7**=0, **PSW4**=1. То есть прерывания **IRQ1**, **TVE**, **IRQ2**, **IRQ3**, **VIRQ** дополнительно не замаскированы. Если установлены биты маски, то соответствующий бит запроса следует просто считать нулевым (замаскированным) в приведенных ниже выражениях. Запрос **TVE** присутствует только в К1801ВМ1Г, для К1801ВМ1А его следует считать неактивным (нулевым). |  |  |  |
| **WCPU**=0, активный режим, прерывание по вектору 0000148 | 1002 | 118 | 0102 |
| **WCPU**=1, режим ожидания прерывания |  | | |
| **IRQ1**=1, **TVE**=x, **IRQ2**=x, **IRQ3**=x, **VIRQ**=x, переход в пульт | 0102 | 138 | 1112 |
| **IRQ1**=0, **TVE**=1, **IRQ2**=x, **IRQ3**=x, **VIRQ**=x, прерывание таймера | 1002 | 108 | 1012 |
| **IRQ1**=0, **TVE**=0, **IRQ2**=1, **IRQ3**=x, **VIRQ**=x, прерывание **nIRQ2** | 1002 | 128 | 0112 |
| **IRQ1**=0, **TVE**=0, **IRQ2**=0, **IRQ3**=1, **VIRQ**=x, прерывание **nIRQ3** | 1002 | 108 | 0012 |
| **IRQ1**=0, **TVE**=0, **IRQ2**=0, **IRQ3**=0, **VIRQ**=1, прерывание **nVIRQ** | 1002 | 148 | 0102 |
| **IRQ1**=0, **TVE**=0, **IRQ2**=0, **IRQ3**=0, **VIRQ**=0, ожидание | 0002 | 138 | 1112 |
| **ACLO** | Обнаружен ниспадающий фронт на входе **nACLO**, соответствует событию раннего оповещения о пропадании питания. |  |  |  |
| **PSW10**=1 - **ACLO** замаскирован | 0012 | 138 | 1112 |
| **PSW10**=0, **PSW4**=1, **WCPU**=0 - прерывание по биту T из активного режима, вектор 0000148 | 1002 | 38 | 0102 |
| **PSW10**=0, **PSW4**=0 или **WCPU**=1 - прерывание по вектору 0000248 если нет T бита или спящий режим (режим ожидания прерывания по команде WAIT) | 1002 | 118 | 1002 |
| **IRQ1** | Прерывание "аппаратного" останова и перехода в пультовый режим, может быть замаскировано битами **PSW10** или **PSW11** | 0102 | 138 | 1112 |
| **TVE** | Прерывание от ВЕ-таймера, детектор события достижения нуля. Имеет общий разделяемый с **IRQ3** вектор 0002708, маскируется единичными битами **PSW10**, **PSW7** и нулевым битом **MON** в регистре управления таймером | 1002 | 108 | 1012 |
| **IRQ2** | Прерывание по срезу на входе **nIRQ2**, маскируется битами **PSW10**, **PSW7** | 1002 | 128 | 0112 |
| **IRQ3** | Прерывание по срезу на входе **nIRQ3**, маскируется битами **PSW10**, **PSW7** | 1002 | 108 | 0012 |
| **VIRQ** | Векторное прерывание, запрос возникает по низкому уровню на входе nVIRQ, маскируется битами **PSW10**, **PSW7** | 1002 | 148 | 0102 |
| **PSW7** | Единичное значение бита **PSW7** маскирует следующие прерывания: - прерывание от ВЕ-таймера (только К1801ВМ1Г) - **nIRQ2** - **nIRQ3** - векторное прерывание **nVIRQ** |  |  |  |
| **PSW10** | Модифицирует обработку исключения зависания шины, если данный бит ненулевой, то исключение зависания будет обрабатываться в пультовом режиме по вектору 1600028, иначе обработка по вектору 0000048 без перехода в пульт  Единичное значение бита **PSW10** также маскирует следующие прерывания: - по пропаданию питания (срез на входе **nACLO**) - пультовое прерывание **nIRQ1** - прерывание от ВЕ-таймера (только К1801ВМ1Г) - **nIRQ2** - **nIRQ3** - векторное прерывание **nVIRQ**  Также замаскированные прерывания не осуществляют выход из режима ожидания по инструкции WAIT  При выполнении инструкции WAIT блок микропрограммного управления продолжает опрос блока прерывания до появления незамаскированного события |  |  |  |
| **PSW11** | Модифицирует обработку исключения зависания шины, если данный бит ненулевой, то исключение зависания будет обрабатываться в пультовом режиме по вектору 1600028, иначе обработка по вектору 0000048 без перехода в пульт  Единичное значение бита **PSW11** также запрещает пультовое прерывание **nIRQ1**. |  |  |  |
| **WCPU** | Признак режима ожидания внешнего прерывания, вход в этот режим осуществляется по инструкции WAIT, выход по незамаскированному внешнему прерыванию. Установленный бит Т не приводит к немедленному выходу из режима ожидания, если нет активных незамаскированных аппаратных прерываний. |  |  |  |

Таблица прерываний и исключений, значения векторов, стека сохранения **PSW** и **PC** и зависимость от маски запрета, расположены в порядке приоритета

|  | Описание | Вектор | PSW/PC | Маска |
| --- | --- | --- | --- | --- |
| 1 | Начальный пуск после аппаратного сброса (читается только стартовый адрес в старшем байте регистра, PSW всегда устанавливается в 3408) | 1777168 + Ncpu\*208 | - | - |
| 2 | Зависание шины при получении вектора прерывания (в цикле **nIAKO**) | 1600128 | 1776748 | - |
| 3 | Двойное зависание шины (повторное при попытке обработать первое исключение по зависанию) | 1600068 | 1776748 | - |
| 4 | Зависание шины, обработка зависит от битов 10 и 11 в **PSW**: если **PSW11**=0, **PSW10**=0 если хотя бы один бит **PSW10** и **PSW11** ненулевой | 0000048 1600028 | SP-4 1776748 | **PSW11** **PSW10** |
| 5 | Недопустимый код инструкции | 0000108 | SP-4 | - |
| 6 | **T**-бит, бит 4 в слове состояния процессора **PSW**. Если данный бит имеет единичное значение то в обычном режиме вызывает исключение по вектору 0000148. В режиме ожидания по команде **WAIT** **T**-бит не вызывает немедленного исключения, процессор ожидает прерывание, любое незамаскированное прерывание **ACLO**, **IRQ1**, **TVE**, **IRQ2**, **IRQ3**, **VIRQ** вызывает выход из этого режима и переход по вектору, соответствующему активному прерыванию | 0000148 | SP-4 | **WCPU** |
| 7 | Пропадание питания - ранее оповещение, обнаружен ниспадающий фронт на входе **nACLO**. | 0000248 | SP-4 | **PSW10** |
| 8 | Прерывание "аппаратного останова" и перехода в пультовой режим - запрос возникает при обнаружении низкого уровня на входе **nIRQ1**. Если уровень не будет снят после обработки запроса, то возникнет новый запрос, так как вход чувствителен к уровню, а не к фронту или срезу. Может быть замаскировано единичными битами **PSW10** или **PSW11** (запрещается, если хотя бы один бит установлен) | 1600028 | 1776748 | **PSW10 PSW11** |
| 9 | Прерывание от ВЕ-таймера, есть только в К1801ВМ1Г , может быть замаскировано обнулением бита **MON** в регистре управления таймером. Также прерывание может быть запрещено битами **PSW7** и **PSW10** (запрещается, если хотя бы один бит установлен) | 0002708 | SP-4 | **PSW10 PSW7 MON** |
| 10 | Прерывание по ниспадающему фронту на входе **nIRQ2**, может быть замаскировано битами **PSW7** и **PSW10** (запрещается, если хотя бы один бит установлен) | 0001008 | SP-4 | **PSW10 PSW7** |
| 11 | Прерывание по ниспадающему фронту на входе **nIRQ3**, может быть замаскировано битами **PSW7** и **PSW10** (запрещается, если хотя бы один бит установлен) | 0002708 | SP-4 | **PSW10 PSW7** |
| -12 | Векторное прерывание от внешних устройств - запрос возникает при обнаружении низкого уровня на входе **nVIRQ**. Если уровень не будет снят после обработки запроса, то возникнет новый запрос, так как вход чувствителен к уровню, а не к фронту или срезу. | внешний | SP-4 | **PSW10 PSW7** |
| 13 | Инструкция **HALT**, программное исключение, единственное программное исключение, вызывающее переход в пультовой режим. Остальные исключения пультового режима вызываются аппаратными причннами. | 1600028 | 1776748 | - |
| 14 | Инструкция **BPT**, программное исключение | 0000148 | SP-4 | - |
| 15 | Инструкция **IOT**, программное исключение | 0000208 | SP-4 | - |
| 16 | Инструкция **EMT**, программное исключение | 0000308 | SP-4 | - |
| 17 | Инструкция **TRAP**, программное исключение | 0000348 | SP-4 | - |

Если прерывание использует вектор 1600xx8, то перед сохранением текущих **PSW** и **PC** осуществляется установка бита 3 по адресу 1777168 (этот адрес НЕ зависит от физического номера процессора **PA0-PA1**) - таким способом осуществляется переход в "пультовый" режим, и сохранение состояния происходит уже в памяти "пультового" режима. Внутри собственно процессора нет специального "пультового" режима и каких-то выделенных для этого структур, бит управления режимом вынесен во внешние схемы. Подобная реализация делает сложным построение многопроцессорных систем – процессоры разделяют стек пультового режима и бит управления режимом (бит 3 регистра 1777168), разделение этих ресурсов может быть возложено на внешние по отношению к процессорам схемы.

При возникновении запроса на прерывание или исключение процессор выполняет следующие операции:

* при необходимости откатывает значение **PC**=**PC**-2 (зависит от младшего бита **MCIR**), если текущая инструкция еще не была обработана, таким образом, сохраняемый **PC** будет указывать на инструкцию-причину исключения
* если необходимо осуществить переход в пультовой режим (код **MCIR**=01x2), то на внешней шине выполняется цикл чтение-модификация-запись с установкой бита 3 в регистре 1777168 (адрес НЕ зависит от физического номера процессора **PA0**-**PA1**)
* сохраняется текущее значение **PSW** по адресу -(**SP**) или 1776768 (с использованием внутреннего регистра **R12**, если осуществляется переход в пультовой режим)
* сохраняется текущее значение **PC** по адресу -(**SP**) или 1776748 (с использованием внутреннего регистра **R12**, если осуществляется переход в пультовой режим)
* если для сохранения использовался регистр **SP**, то он остается модифицированным (уменьшен на 4)
* получает и сохраняет во внутреннем служебном регистре адрес вектора прерывания
* чтение нового значения **PC** по адресу вектор прерывания + 0
* чтение нового значения **PSW** по адресу вектор прерывания + 2
* возобновление выполнения программы
* если на каком-то этапе возникает ошибка шины МПИ (для К1801ВМ1 возможен только тайм-аут шины, так как исключение при словном обращении по нечетному адресу в данном процессоре отключено), то микропрограммный автомат останавливается, сбрасывается и начинает новый цикл с опроса блока прерывания, при этом он получает код возникшего исключения и переходит к обработке соответствующей ошибки - тайм-аут шины, тайм-аут получения вектора от внешнего устройства, двойной тайм-аут шины

Описанная выше последовательность действий выполняется как единая процедура за несколько последовательных микропрограммных шагов и может быть прервана только аппаратным сбросом процессора или ошибкой шины МПИ при обработке исключения (то есть, только тайм-аутом шины в случае процессора К1801ВМ1).

# Описание микропрограммы

В данном разделе приведена таблица всех возможных переходов между микроадресами микропрограммного автомата. В поле MA содержится исходный микроадрес, в поле IR значение регистра инструкций при котором происходит переход, поле MCIR описывает необходимое условие для осуществления перехода, поле NA содержит значение микроадреса, на который будет осуществлен переход при выполнении условий. От поля флагов переходы практически не зависят, немногие реальные случаи даны в описании.

На темном фоне приведены микроадреса, которые приводят к исключению неопределенной инструкции. В состояние процессора на этих микроадресах не вносится никаких изменений.

Описание переходов между адресами микроинструкций программного автомата 1801ВМ1А:

| MA | MCIR | Значение IR | NA | Примечание |
| --- | --- | --- | --- | --- |
| 00 | xxx | xxxxxx8 | 01 | Начальная точка входа после аппаратного сбросa, запускает опрос блока прерываний и переходит в начало основного цикла микропрограммного автомата (адрес 01)  MCIR poll |
| 01 | 000 | xxxxxx8 | 01 | Постоянный опрос статуса прерываний, используется при начальном старте для ожидания деактивации **nACLO**, а также инструкцией WAIT, микропрограммный автомат остается на адресе 01 (постоянно переходит сам на себя) и ожидает ненулевого **MCIR** для выхода из цикла опроса. При выполнении инструкции WAIT установлен флаг **WCPU**, блок прерываний постоянно записывает значение 000 в **MCIR** и поэтому содержимое **IR** не важно и более не декодируется до сброса флага **WCPU** |
| 001 | 0000008 | 01 | Инструкция HALT, записывает код исключения непосредственно в **MCIR** и перестартует исполнение с адреса 01 опрос блока прерываний не запускается, начнется обработка исключения по вектору 1600028 в пультовом режиме  MCIR = 0112 VSEL = 10112 (1600028) |
| 0000038 | 01 | Инструкция BPT, записывает код исключения непосредственно в **MCIR** и перестартует исполнение с адреса 01, опрос блока прерываний не запускается, начнется обработка исключения по вектору 0000148 в пользовательском режиме  MCIR = 1012 VSEL = 00112 (0000148) |
| 0000048 | 01 | Инструкция IOT, записывает код исключения непосредственно в **MCIR** и перестартует исполнение с адреса 01, опрос блока прерываний не запускается, начнется обработка исключения по вектору 0000148 в пользовательском режиме  MCIR = 1012 VSEL = 00012 (0000208) |
| 00010x8 | 01 | Инструкция JMP dd (безусловный переход с кодом адресации приемника 0), записывает код исключения непосредственно в **MCIR** и перестартует исполнение с адреса 01, опрос блока прерываний не запускается, начнется обработка исключения по вектору 0000048 в пользовательском режиме  MCIR = 1012 VSEL = 01002 (0000048) |
| 004x0x8 | 01 | Инструкция JSR r, dd (вызов подпрограммы с кодом адресации приемника 0), записывает код исключения непосредственно в **MCIR** и перестартует исполнение с адреса 01, опрос блока прерываний не запускается, начнется обработка исключения по вектору 0000048 в пользовательском режиме  MCIR = 1012 VSEL = 01002 (0000048) |
| 1040nn8 | 01 | Инструкция EMT, записывает код исключения непосредственно в **MCIR** и перестартует исполнение с адреса 01, опрос блока прерываний не запускается, начнется обработка исключения по вектору 0000308 в пользовательском режиме  MCIR = 1012 VSEL = 01102 (0000308) |
| 1044nn8 | 01 | Инструкция TRAP, записывает код исключения непосредственно в **MCIR** и перестартует исполнение с адреса 01, опрос блока прерываний не запускается, начнется обработка исключения по вектору 0000348 в пользовательском режиме  MCIR = 1012 VSEL = 11002 (0000348) |
| 077xxx8 | 27 | Инструкция SOB  MCIR = 0112 |
| 00001x8 | 2F | Инструкции START, STEP  R12 = 1776768 A = R12 |
| x05x0x8 x0600x8 x0610x8 x0620x8 x0630x8 00670x8 | 31 | Одноадресные инструкции CLR(B), COM(B), INC(B), DEC(B), NEG(B), ADC(B), SBC(B), TST(B), ROR(B), ROL(B), ASR(B), ASL(B), SXT с кодом адресации приемника равным 0 (регистр общего назначения). Если в приемнике используется **PC**, то обновление **PC** откладывается на момент после фактического выполнения операции, вместо этого временно используется регистр **R12**  A = PC IR preload start word read start if (dd register == PC)  R12 = PC + 2 else  PC = PC + 2 |
| 0000018 | 37 | Инструкция WAIT  PC = PC + 2 |
| 0000058 | 37 | Инструкция INIT  MCIR = 0102, INIT assert |
| 0064xx8 | 37 | Инструкция MARK  R12 = PC + IR[5:0]\*2 |
| 00024x8 | 37 | Инструкции манипуляции флагами CLx, Sex  A = PC IR preload start word read start |
| 0000028 0000068 | 38 | Инструкции RTI, RTT  A = SP word read start SP = SP + 2 |
| 0001xx8 | 45 | JMP, если метод адресации не 0 MCIR = 1002 |
| 0003xx8 | 45 | SWAB, если метод адресации не 0 MCIR = 1002 |
| x04xxx8 | 45 | JSR, если метод адресации не 0 MCIR = 1002 |
| x05xxx8 | 45 | CLR(B), COM(B), INC(B), DEC(B), NEG(B), ADC(B), SBC(B), TST(B), если метод адресации не 0 MCIR = 1112 (1012 для TST) |
| x06xxx8 | 45 | ROL(B), ROR(B), ASL(B), ASR(B), SXT, MTPS, MFPS, если метод адресации не 0 MCIR = 1112 |
| xxxxxx8 | 47 | Двухадресные инструкции, выполнение арифметических операций XOR, MOV(B), CMP(B), BIT(B), BIC(B), BIS(B), ADD, SUB с кодами адресации приемника и источника (для двухадресных операций) не равными 0 (регистр общего назначения). |
| 00020x8 | 50 | Инструкция RTS  MCIR = 0112 |
| 00030x8 | 50 | Инструкция SWAB Rd |
| 10640x8 | 50 | Инструкция MTPS Rd |
| 10670x8 | 50 | Инструкция MFPS Rd |
| 074x0x8 x10x0x8 x20x0x8 x30x0x8 x40x0x8 x50x0x8 x60x0x8 | 58 | Выполнение арифметических операций XOR, MOV(B), CMP(B), BIT(B), BIC(B), BIS(B), ADD, SUB с кодами адресации приемника и источника (для двухадресных операций) равными 0 (регистр общего назначения). Если в приемнике или источнике используется **PC**, то обновление **PC** откладывается на момент после фактического выполнения операции, вместо этого временно используется регистр **R12**  A = PC IR preload start word read start if (ss register == PC || dd register == PC)  R12 = PC + 2 else  PC = PC + 2 |
| 074xxx8 | 5A | Инструкция XOR, если режим адресации приемника != 0 (не регистр общего назначения)  MCIR = 0112 |
| x00xxx8 | 7B | Инструкции условного и безусловного перехода Bxx  MCIR = 0102 |
| 001 | 0000078 |  | Неопределенная инструкция, сброс автомата, исключение по вектору 0000108 |
| 00002x8 00003x8 00004x8 00005x8 00006x8 00007x8 |
| 00021x8 00022x8 00023x8 |
| 0065xx8 0066xx8 |
| 007xxx8 |
| 070xxx8 071xxx8 072xxx8 073xxx8 075xxx8 076xxx8 |
| 1065xx8 1066xx8 |
| 107xxx8 |
| 17xxxx8 |
| 01x | xxxxxx8 | 1D | Переход на процедуру обработки прерывания или исключения в пультовом режиме (core exception)  R12 = 1777168 (no Ncpu added) A = R12 word read-modify-write start |
| 10x | xxxxxx8 | 13 | Переход на процедуру обработки прерывания или исключения в пользовательском режиме (user exception)  SP = SP – 2 A = SP word write start |
| 11x | xxxxxx8 | 21 | Переход на процедуру начального пуска  R12 = 1777168 + Ncpu\*208 A = R12 word read start |
| 02 | Неопределенная инструкция, сброс автомата, исключение по вектору 0000108 | | | |
| 03 |  |  |  | 38:00208100 [x xxx xxx xxx xxx xxx] [00x] 3C:00DF7F00 [x xxx xxx xxx xxx xxx] [xxx] |
| 04 |  |  |  | 30:00200000 [x xxx xxx xxx 000 xxx] [xxx] 45:00E00000 [x xxx xxx xxx xxx xxx] [xxx] |
| 05 09 | Неопределенная инструкция, сброс автомата, исключение по вектору 0000108 | | | |
| 0A | 0xx | xxxxxx8 | 11 | Часть общей процедуры извлечения **PC** и **PSW** из вектора, используется как ветка для входа прерываний пультового режима  MCIR = 0102, WCPU reset |
| 1xx | xxxxxx8 | 0F | Часть общей процедуры извлечения **PC** и **PSW** из вектора, обнуление старшего байта **PSW**, используется как ветка для прерываний пользовательского режима  PSW = PSW & ~1774008 |
| 0B | xxx | xxxxxx8 | 3C | Часть общей процедуры извлечения **PC** и **PSW** из вектора, запуск чтения **PC** из вектора в **Q**  wait qbus or vector read R12 = Q A = Q word read start |
| 0C 0E | Неопределенная инструкция, сброс автомата, исключение по вектору 0000108 | | | |
| 0F | xxx | xxxxxx8 | 11 | Часть общей процедуры извлечения **PC** и **PSW** из вектора  MCIR = 0102, WCPU reset |
| 10 |  |  |  | 19:00400000 [x xxx xxx x11 xxx xxx] 39:00C00000 [x xxx xxx xxx xxx xxx] |
| 11 | xxx | xxxxxx8 | 01 | Завершение исполнения текущей инструкции и подготовка к обработке следующей инструкции – запуск опроса блока прерываний, запуск чтения кода следующей инструкции, продвижение **PC**  MCIR poll, IR cmd load start, A = PC, PC = PC + 2, word read start |
| 12 | Неопределенная инструкция, сброс автомата, исключение по вектору 0000108 | | | |
| 13 | xxx | xxxxxx8 | 14 | Часть общей процедуры входа в исключение или прерывание, сохранение **PSW** или в стеке **SP** или по адресу в **R12**  13: Q = PSW, write data |
| 14 | xxx | xxxxxx8 | 17 | Часть общей процедуры входа в исключение или прерывание, декремент указателя стека, **R12** для пультовых прерываний и **SP** – для пользовательских, запуск транзакции записи  wait write R12/SP = R12/SP – 2 A = R12/SP word write start |
| 15 | xxx | 00020x8 | 40 | Инструкция RTS, извлечение слова из стека  A = SP, SP = SP + 2, word read start |
|  | нет |  | 40:00400000 [x xxx xxx xxx 00x xxx] 48:00C00000 [x xxx xxx xxx xxx xxx] |
| 16 | Неопределенная инструкция, сброс автомата, исключение по вектору 0000108 | | | |
| 17 | xxx | xxxxxx8 | 1E | Часть общей процедуры входа в исключение или прерывание, выполняется коррекция **PC**, если есть необходимость  PC = PC – (MCIR[0] ? 0 : 2) Q = PC, write data |
| 18 | Неопределенная инструкция, сброс автомата, исключение по вектору 0000108 | | | |
| 19 |  | xxxxxx8 | 11 | plx:01000000 [x xxx xxx xxx xxx xxx] [xxx] [xxxxx] +wait:01000000 [xxxxxxxxxxxxx xxx] [xxx] [xxxxx] -init:01000000 [xxxx xxxxxx xxx xxx] [xxx] [xxxxx] +err7:01000000 [xxxxxxxxxx xxx xxx] [xxx] [xxxxx] 11:01000000 [x xxx xxx xxx xxx xxx] [xxx] [xxxxx] |
| 1A |  | xxxxxx8 | 41 | 1000000 |
| 1B | Неопределенная инструкция, сброс автомата, исключение по вектору 0000108 | | | |
| 1C | xxx | xxxxxx8 | 13 | Часть процедуры входа в пультовое исключение или прерывание  wait write R12 = 1776768 A = R12 word write start |
| 1D | xxx | xxxxxx8 | 1C | Часть процедуры входа в пультовое исключение или прерывание  wait read R12 = Q | 0000108 write modified data start |
| 1E | xxx | xxxxxx8 | 0B | Часть общей процедуры получение адреса вектора в **Q**, получение адреса вектора для чтения новых значений **PC** и **PSW**  if nVIRQ  wait qbus  vector read start else  R12 = vector[VSEL]  A = R12  Q = R12 |
| 1F | xxx | xxxxxx8 | 0A | Часть общей процедуры извлечения **PC** и **PSW** из вектора, ожидание чтения **PSW**  wait read PSW = Q |
| 20 | xxx | xxxxxx8 | 11 | Часть процедуры начального пуска  PSW = 0003408 |
| 21 | xxx | xxxxxx8 | 22 | Часть процедуры начального пуска  wait read R12 = Q & 1774008 |
| 22 | xxx | xxxxxx8 | 20 | Часть процедуры начального пуска  PC = R12 |
| 23 |  |  |  | 28:00800000 [x xxx xx0 xxx xxx xxx] 38:00800000 [x xxx xx1 xxx xxx xxx] |
| 24 25 | Неопределенная инструкция, сброс автомата, исключение по вектору 0000108 | | | |
| 26 |  |  |  | 30:00950000 [x xxx xxx xxx xxx xxx] [xxx] 32:002B0000 [0 xxx x0x xxx xxx xxx] [xxx] 38:00400000 [0 xxx x1x xxx xxx xxx] [xxx] |
| 27 | xxx | xx{xx02}xxx8 | 26 | 26:00800000 [x xxx xx0 xxx xxx xxx]  Rr = Rr & 1777778 |
| xxx | xx{xx12}xxx8 | 37 | Обработка инструкции SOB, декремент регистра  Rr = Rr - 1 |
| 28 29 | Неопределенная инструкция, сброс автомата, исключение по вектору 0000108 | | | |
| 2A | xxx | xxxxxx8 | 11 | Инструкции START  wait read, Q &= ~108, modified write |
| xxx | xxxxxx8 | 7A | Инструкции STEP  wait read, Q &= ~108, modified write |
|  |  |  | 11:00400000 [x xxx xxx xxx xx1 0xx] [xxx] [xxxxx] 30:00200000 [x xxx xxx xxx xx0 0xx] [xxx] [1xxxx] 31:00200000 [x xxx xxx xxx xx0 0xx] [xxx] [0xxxx] 38:00400000 [x xxx xxx 1xx xxx 1xx] [xxx] [xxxxx] 3A:00200000 [x xxx xxx 0xx xx0 1xx] [xxx] [xxxxx]  7A:00200000 [x xxx xxx 0xx xx1 1xx] [xxx] [xxxxx] |
| 2B | xxx | xxxxxx8 | 2A | Инструкции START, STEP  R12 = 1777168, A = R12, start rmw |
|  |  |  | 2A:00200000 [x xxx xx0 0xx xx1 xxx] [xxx] [xxxxx] 38:00800000 [x xxx xxx 1xx xxx xxx] [xxx] [xxxxx] 3A:00600000 [x xxx xxx 0xx xxx xxx] [xxx] [xxxxx] |
| 2C | xxx | xxxxxx8 | 2B | Инструкции START, STEP  wait read, PC = Q |
| 2D | xxx | xxxxxx8 | 2C | Инструкции START, STEP  R12 = R12 – 2, A = R12, word read |
| 2E | xxx | 00001x8 | 2D | Инструкции START, STEP  wait read, PC = Q |
|  | xxxxxx8 |  | 2D:00800000 [x xxx xxx xxx xx1 xxx] [xxx] [xxxxx] 3C:00400000 [x xxx xxx xxx xx0 xxx] [xxx] [1xxxx] 3D:00400000 [x xxx xxx xxx xx0 xxx] [xxx] [0xxxx] |
| 2F | xxx | 0000028 0000068 | 36 | Инструкции RTI, RTT, если **T** в **PSW** единичный PSW = PSW & ~1774008 |
| xxx | 0000028 0000068 | 37 | Инструкции RTI, RTT, если **T** в **PSW** нулевой PSW = PSW & ~1774008 |
| xxx | 00001x8 | 2E | Инструкции START, STEP R12 = R12 – 2, A = R12, word read |
|  |  |  | 2E:00400000 [x xxx xx0 xxx xx1 xxx] [xxx] [xxxxx] 36:00400000 [x xxx xxx xxx xx0 xxx] [xxx] [1xxxx] 37:00400000 [x xxx xxx xxx xx0 xxx] [xxx] [0xxxx] 3E:00400000 [x xxx xx1 xxx xx1 xxx] [xxx] [xxxxx] |
| 30 |  | xxxxxx8 | 59 | 1000000 |
| 31 |  | xxxxxx8 | 49 | 1000000 |
| 32 | xxx | 0001dd8 | 11 | Инструкция JMP  PC = R12 |
|  |  |  | 11:00FC0000 [x xxx xxx xxx xxx xxx]  30:00040000 [x xxx 0xx x00 xxx 1x1] |
| 33 | xxx | 00020x8 | 15 | Инструкция RTS  PC = R12 |
|  | нет |  | 11:00480000 [0 xxx xxx xxx xxx xxx] 15:00180000 [0 xxx x00 xxx xxx xxx] 30:00580000 [x xxx xxx xxx xxx xxx] 34:00480000 [x xxx xx0 xxx xxx xxx] |
| 34 35 | Неопределенная инструкция, сброс автомата, исключение по вектору 0000108 | | | |
| 36 |  |  |  | uop:00008000 [0 xxx 000 00x 0xx xxx] [xxx] [xxxxx] plx:0001A000 [0 xxx 000 0xx 0xx xxx] [xxx] [xxxxx] +wait:0000C000 [0xxx000011 0xx xxx] [xxx] [xxxxx] -init:00004000 [0xxx 000 00x 0xx xx1] [1xx] [xx1xx] +err7:0000C000 [0xxx0000110xx xxx] [xxx] [xxxxx] 01:00068000 [0 xxx 000 xxx xxx xxx] [xxx] [xxxxx] 07:00020000 [0 xxx 000 xxx 0xx xxx] [xxx] [xxxxx] 11:006A0000 [x xxx xxx xxx xxx xxx] [xxx] [xxxxx] 27:000F8000 [0 xxx 100 xxx xxx xxx] [xxx] [xxxxx] 28:00004000 [0 xxx 000 00x 1xx 1x0] [xxx] [1xxxx] 2A:00008000 [0 xxx 100 00x xxx 1x0] [xxx] [1xxxx] 30:0002C000 [x xxx 0xx x00 xxx 1x1] [xxx] [xx0xx]  31:00340000 [x xxx xxx xxx xxx xxx] [xxx] [xxxxx] 36:00004000 [0 xxx 000 x00 0xx 1x1] [xxx] [xx0xx] 37:00008000 [0 xxx 000 x0x 0xx xx1] [0xx] [xx1xx] 38:00080000 [x xxx xxx x0x xxx 1xx] [xxx] [xxxxx] 39:003D0000 [0 xxx x1x xxx xxx xxx] [xxx] [xxxxx] 47:00008000 [0 xxx 000 00x 0xx xxx] [xxx] [xxxxx] 6A:00004000 [0 xxx 000 00x 0xx 1x0] [xxx] [1xxxx] |
| xxx | 0000028 | 01 | Обработка инструкции RTI при установленном **T**  MCIR = 1012, VSEL = 00112 |
| 1xx | 0000058 | 11 | Обработка инструкции INIT, завершение цикла  if (FR Z)  INIT reset  GOTO 11 else  R12 = R12 - 2 |
| xxx | 0000058 | 36 | Обработка инструкции INIT  if (FR Z)  INIT reset  GOTO 11 else  R12 = R12 - 2 |
| 0xx | 0000058 | 37 | Обработка инструкции INIT  if (FR Z)  INIT reset  MCIR = 1102  GOTO 37 else  R12 = R12 - 2 |
| xxx | 0000068 | 6A | Обработка инструкции RTT при установленном **T**  A = PC, IR cmd preload start, PC = PC + 2 |
|  | xxx | 00024x8 | 01 | Инструкции манипулирования флагами CLx, SEx  36: PSW = PSW & ~R12, MCIR poll |
| 37 |  |  |  | uop:00088000 [x xxx xx0 00x xxx xxx] [xxx] [xxxxx] plx:000D0000 [x xxx xx0 0xx xxx xxx] [xxx] [xxxxx] +wait:000D0000 [xxxxxx00xxxxx xxx] [xxx] [xxxxx] -wait:000A0000 [1xxxxx00xx xxx xxx] [xxx] [xxxxx] +err7:000C0000 [xxxxxx00xxxxx xxx] [xxx] [xxxxx] 01:00044000 [0 xxx 000 x0x xxx xxx] [xxx] [xxxxx] 07:00018000 [0 xxx 000 10x xxx xxx] [xxx] [xxxxx] 11:002A8000 [0 xxx xxx xxx xxx xxx] [xxx] [xxxxx] 27:00100000 [0 xxx 100 xxx xxx xxx] [xxx] [xxxxx] 2A:00002000 [0 xxx 000 100 0xx 1x0] [xxx] [1xxxx] 30:00614000 [x xxx xxx xxx xxx xxx] [xxx] [xxxxx] 31:00100000 [0 xxx 101 xxx xxx xxx] [xxx] [xxxxx] 36:00420000 [x xxx xx0 xxx xxx xxx] [xxx] [xxxxx] 38:00020000 [x xxx 0x1 xx0 0xx 1x0] [xxx] [1xxxx] 3A:00018000 [x xxx 0x0 xx0 0xx 1x0] [xxx] [1xxxx] 47:00018000 [0 xxx 000 00x xxx xxx] [xxx] [xxxxx] 6A:00002000 [0 xxx 000 000 0xx 1x0] [xxx] [1xxxx] 76:00070000 [1 xxx xx0 00x xxx xxx] [xxx] [xxxxx] 7A:00004000 [1 xxx 0x0 000 0xx 1x0] [xxx] [1xxxx] |
| xxx | 0000018 | 01 | Обработка инструкции WAIT  MCIR = 0002, set WCPU |
| xxx | 0000028 | 01 | Обработка инструкции RTI (при сброшенном T)  MCIR poll, A = PC, IR cmd start, PC = PC + 2 |
| xxx | 0000058 | 36 | Обработка инструкции INIT  R12 = 0003408 |
| xxx | 0000068 | 01 | Обработка инструкции RTT (при сброшенном T)  A = PC, IR cmd load start, PC = PC + 2 |
| xxx | 00024x8 | 36 | Инструкции манипулирования флагами CLx, SEx  37: R12 = IR[3:0] |
| xxx | 077xxx8 | 11 | Обработка условного перехода инструкции SOB  if (FR Z)  R12 = PC – 2\*IR[5:0]; else   PC = PC – 2\*IR[5:0]; |
| 38 | xxx | xxxxxx8 | 39 | Инструкции RTI, RTT Запись прочитанного значения в **PC** или **R12**  wait read if (IR[2:0] != 7)  PC = Q else  R12 = Q |
| 39 | xxx | xxxxxx8 | 6B | Инструкции RTI, RTT Запуск чтения слова из стека (**SP**)+  A = SP word read start SP = SP + 2 |
| 3A 3B | Неопределенная инструкция, сброс автомата, исключение по вектору 0000108 | | | |
| 3C | xxx | xxxxxx8 | 3D | Часть общей процедуры извлечения **PC** и **PSW** из вектора, ожидание чтения **Q** из вектора и запись в **PC**  wait read PC = Q |
| 3D | xxx | xxxxxx8 | 1F | Часть общей процедуры извлечения **PC** и **PSW** из вектора, запуск чтения **PSW** из вектора по адресу в **R12**  R12 = R12 + 2 A = R12 word read start |
| 3E 3F | Неопределенная инструкция, сброс автомата, исключение по вектору 0000108 | | | |
| 40 | xxx | xxxxxx8 | 11 | Инструкция RTS  wait read, Rd = Q |
| 41 |  |  |  | 10:00000900 [x xxx xx0 xxx 000 xxx] [001] [xxxxx] 11:003EBFA0 [x xxx xxx xxx xxx xxx] [x0x] [xxxxx] 18:002FC400 [x xxx xxx xxx xxx xxx] [xxx] [xxxxx] 19:004F8500 [x xxx xxx xxx xxx xxx] [xxx] [xxxxx] 31:00200620 [x xxx xxx xxx xxx xxx] [xxx] [xxxxx] 38:00107C40 [x xxx xxx xxx xxx xxx] [xxx] [xxxxx] 39:00116C00 [x xxx xxx xxx xxx xxx] [xxx] [xxxxx] |
| 42 |  |  |  | 04:00800000 [x xxx xx0 xxx xxx xxx]  4E:00800000 [x xxx xx1 xxx xxx xxx] |
| 43 44 | Неопределенная инструкция, сброс автомата, исключение по вектору 0000108 | | | |
| 45 | xxx | xxxx0x8 | 47 | Одноадресные инструкции с методом адресации 0 вызывают исключения, на данную точку нет перехода для таких инструкций, код вставлен для перестраховки |
| xxx | xxxx1x8 | 48 | Одноадресные инструкции с методом адресации 1 |
| xxx | xxxxxx8 | 4C | Одноадресные инструкции с методами адресации 6 и 7 |
| xxx | xxxxxx8 | 4D | Одноадресные инструкции с методами адресации 3 и 5 |
| xxx | xxxxxx8 | 55 | Одноадресные инструкции с методами адресации 2 и 4 |
| 46 |  |  |  | 04:00800000 [x xxx xx0 xxx xxx xxx] 4E:00800000 [x xxx xx1 xxx xxx xxx] |
| 47 |  |  |  | 04:00600000 [x xxx xxx xxx xxx xxx] 46:00400000 [x xxx 11x xxx xxx xxx] 4E:00400000 [x xxx xx1 xxx xxx xxx] 5A:00200000 [x xxx 000 xxx xxx xxx] |
| 48 |  |  |  | Используется двухадресными инструкциями для финальной операции, MCIR при этом 0xx2, поэтому никакие флаги в дополнительном векторе не устанавливаются  plx:0036C000 [x x0x xxx xxx xxx xxx] [1xx] [xxxxx] +wait:0036C000 [xx0xxxxxxxxxx xxx] [1xx] [xxxxx] -wait:00019800 [xx00xxxxxx xxx xxx] [1xx] [xxxxx] +init:0036C000 [xx0xxxxxxx xxx xxx] [1xx] [xxxxx] -init:00290000 [xx0x xxx xxx xxx xxx] [1xx] [xxxxx] +stop:00098000 [xx0xx1xxxx xxx xxx] [1xx] [xxxxx] +err7:0036C000 [xx0xxxxxxxxxx xxx] [1xx] [xxxxx] 10:00016000 [x 000 0xx xxx xxx xxx] [100] [xxxxx] 11:00A96000 [x xxx xxx xxx xxx xxx] [xxx] [xxxxx] 12:00002000 [x 000 010 1x0 xxx xxx] [100] [xxxxx] 17:0030A000 [x x0x xxx xxx xxx xxx] [1xx] [xxxxx] 19:00200000 [x 00x xxx xxx xxx xxx] [0xx] [xxxxx] 31:00004000 [1 000 x11 1x0 xxx xxx] [1x1] [xxxxx] 32:00008000 [x 000 000 xxx xxx xxx] [100] [xxxxx] 37:0003C000 [x 000 xx0 xxx xxx xxx] [1xx] [xxxxx] |
| 49 |  |  |  | plx:00550000 [x x0x xxx xxx xxx xxx] [xxx] [xxxxx] +wait:00550000 [xx0xxxxxxxxxx xxx] [xxx] [xxxxx] -wait:00010000 [x000x100x1xxx xxx] [1xx] [xxxxx] +stop:00090000 [xx0xx1x0xx xxx xxx] [1xx] [xxxxx] 01:00976000 [x xxx xxx xxx xxx xxx] [xxx] [xxxxx] 11:0015A000 [x xxx xxx xxx xxx 111] [xxx] [xxxxx]  47:0048A000 [x x0x xxx xxx xxx xxx] [xxx] [xxxxx] 57:000A6000 [x x0x xxx xxx xxx 111] [xxx] [xxxxx] |
| 4A 4B | Неопределенная инструкция, сброс автомата, исключение по вектору 0000108 | | | |
| 4C |  |  |  | 48:00800000 [x xxx xxx xxx xx0 xxx] 4D:00800000 [x xxx xxx xxx xx1 xxx] |
| 4D | xxx | xxxxxx8 | 48 | 1000000 |
| 4E | xxx | xxxxxx8 | 04 | 1000000 |
| 4F |  | | | |
| 50 | xxx | 00020x8 | 33 | Инструкция RTS  R12 = Rd & 1777778 |
| xxx | 00030x8 | 51 | Инструкция SWAB Rd |
| xxx | 10640x8 | 37 | Инструкция MTPS Rd |
| xxx | 10670x8 | 51 | Инструкция MFPS Rd |
|  |  |  | Установка +wait и –wait не используются для обрабатываемых инструкций на данном микроадресе plx:00200000 [x xxx xxx 011 xxx xxx] [xxx] [xxxxx] +wait:00200000 [x xxxxxx011xxxxxx] [xxx] [xxxxx] -wait:00200000 [xxxxxxx 011 xxx xxx] [xxx] [xxxxx] 31:00400000 [x xxx xxx x01 xxx xxx] [xxx] [xxxxx] 33:00400000 [x xxx xxx x10 xxx xxx] [xxx] [xxxxx] 37:00400000 [x xxx xxx x00 xxx xxx] [xxx] [xxxxx] 51:00400000 [x xxx xxx x11 xxx xxx] [xxx] [xxxxx] |
| 51 |  |  |  | 01:00E00000 [x xxx xxx xxx xxx xxx]  11:00200000 [x xxx xxx xxx xxx 111] |
| 52 54 | Неопределенная инструкция, сброс автомата, исключение по вектору 0000108 | | | |
| 55 |  |  |  | uop:00400000 [x xxx xxx xxx 00x xxx] 47:00400000 [x xxx xxx xxx 00x xxx] 48:00C00000 [x xxx xxx xxx xxx xxx] |
| 56 57 | Неопределенная инструкция, сброс автомата, исключение по вектору 0000108 | | | |
| 58 |  |  |  | plx:00300000 [x x0x xxx xxx xxx xxx] [xxx] [xxxxx] +wait:00300000 [x x0x xxx xxx xxx xxx] [xxx] [xxxxx] -wait:00180000 [xx0xxxxx1x xxx xxx] [xxx] [xxxxx] +stop:00180000 [xx0xxxx1xx xxx xxx] [xxx] [xxxxx] +err3:00180000 [xx0xxxxxx1 xxx xxx] [xxx] [xxxxx] 01:0086C000 [x xxx xxx xxx xxx xxx] [xxx] [xxxxx] 11:00294000 [x xxx xxx xxx xxx xxx] [xxx] [xxxxx] 47:0024C000 [x x0x xxx xxx xxx xxx] [xxx] [xxxxx] 51:00200000 [1 00x xxx xxx xxx xxx] [xxx] [xxxxx] 57:000B4000 [x x0x xxx xxx xxx xxx] [xxx] [xxxxx] |
| 59 |  |  |  | plx:00300000 [x x0x xxx xxx xxx xxx] [xxx] [xxxxx] +wait:00300000 [xx0xxxxxxxxxx xxx] [xxx] [xxxxx] -wait:00300000 [x x0x xxxxxxxxxxxx] [xxx] [xxxxx] +stop:00300000 [xx0xxxxxxx xxx xxx] [xxx] [xxxxx] +err3:00300000 [xx0xxxxxxx xxx xxx] [xxx] [xxxxx] 01:009A0000 [x xxx xxx xxx xxx xxx] [xxx] [xxxxx] 11:00160000 [x xxx xxx xxx xxx 111] [xxx] [xxxxx] 47:002A0000 [x x0x xxx xxx xxx xxx] [xxx] [xxxxx] 51:00200000 [1 00x xxx xxx xxx xxx] [xxx] [xxxxx] 57:00060000 [x x0x xxx xxx xxx 111] [xxx] [xxxxx] |
| 5A | xxx | xxxxxx8 | 45 | 1000000 |
| 5B 69 | Неопределенная инструкция, сброс автомата, исключение по вектору 0000108 | | | |
| 6A | xxx | 0000068 | 01 | Инструкция RTT при установленном флаге **T** ожидает загрузки кода следующей инструкции |
| xxx | 0000148 | 01 | Инструкция STEP ожидает загрузки кода следующей инструкции |
|  |  |  | 01:00800000 [x xxx xxx 0xx xxx xxx] 11:00800000 [x xxx xxx 1xx xxx xxx] |
| 6B | xxx | 0000028 0000068 | 2F | Инструкции RTI, RTT  PSW = Q |
| xxx |  |  | 11:00800000 [x xxx xxx 1xx xxx xxx] 2F:00800000 [x xxx xxx 0xx xxx xxx] |
| 6C 79 | Неопределенная инструкция, сброс автомата, исключение по вектору 0000108 | | | |
| 7A | xxx | 00001x8 | 6A | Инструкция STEP, запуск чтения следующей инструкции  A = PC, IR cmd preload start, PC = PC + 2 |
|  |  |  | 28:00800000 [x xxx xxx xxx xx0 xxx] 6A:00800000 [x xxx xxx xxx xx1 xxx] |
| 7B | xxx | xxxxxx8 | 11 | Инструкции условного и безусловного перехода Bxx. При совпадении флагов с условиями, которые требуются в инструкции, происходит добавление смещения к **PC**  if (cond)  PC = PC + sign extended(IR[7:0]\*2) else  R12 = PC + sign extended(IR[7:0]\*2) |
| 7C 7D | Неопределенная инструкция, сброс автомата, исключение по вектору 0000108 | | | |
| 7E | xxx | xxxxxx8 | 6A | 1000000 |
| 7F | Неопределенная инструкция, сброс автомата, исключение по вектору 0000108 | | | |

## Цикл микропрограммного автомата

Циклом микропрограммного автомата называется набор тактов частоты **CLC**, при котором в регистре **MA** сохраняется некоторое фиксированное значение микроадреса. Цикл микропрограммного автомата длится минимум два такта **CLC**, но может быть удлинен на некоторое количество тактов по следующим причинам:

* ожидание готовности результата АЛУ
* ожидание завершения чтения данных на шине МПИ, когда данные нужны в качестве аргумента для операции АЛУ, данные будут занесены в регистр **Q** и использованы в операции
* ожидания завершения чтения кода инструкции на шине МПИ и записи его в регистр инструкций **IR**
* ожидание завершения опроса блока прерываний
* ожидание освобождения регистра адреса **A** для инициирования новой транзакции на шине МПИ в конвейере

По завершению цикла в регистр MA записывается новое значение микроадреса, что означает переход к новому циклу микропрограммного автомата. Иногда значение нового микроадреса может совпадать со старым, что приводит к повторению цикла, вероятно с новыми параметрами. Например, инструкция BPT на микроадресе 01 записывает новое значение в регистр **MCIR** и повторяет цикл автомата по тому же микроадресу 01, но уже с новым параметром.

После аппаратного сброса микропрограммный автомат начинает исполнение с микроадреса 00, на котором просто происходит запуск опроса блока прерываний и следует безусловный переход на основную точку входа микропрограммы на микроадресе 01.

Микроадрес 01 является основной точкой входа в цикл обработки процессорных инструкций, при выполнении этого микроадреса обычно уже выполнен опрос блока прерываний и регистр **MCIR** содержит актуальное состояние запросов на прерывание или код исключения. Также предполагается, что в регистр кода инструкции **IR** уже загружено слово новой инструкции, регистр **PC** указывает на следующее слово за уже загруженным в **IR** (**PC** содержит значение “.+2” для обрабатываемой инструкции). На микроадресе 01 происходит основное ветвление микропрограммы – начинается обработка прерывания или исключения, или декодирование и исполнение загруженного кода процессорной инструкции.

Особые ситуации возникают при исключениях тайм-аута транзакции на шине МПИ и неопределенной инструкции. При этих исключениях блок прерываний фиксирует соответствующие флаги, а микропрограммный автомат принудительно переводится на микроадрес 01 и также принудительно запускается опрос блока прерываний, гарантируя, что в регистр **MCIR** будет корректно записана причина исключения. Схемами процессора также предполагалось что будет возникать подобное исключение при словном обращении по нечетному адреса, но данная возможность в процессоре 1801ВМ1 отключена.

Последовательность обработки большинства инструкций завершается на адресе 11 – в этом месте микропрограммный автомат ожидает готовности шины МПИ к запуску транзакции чтения кода следующей процессорной инструкции, записывает значение **PC** в регистр адреса **А**, запуская собственно транзакцию, затем **PC** увеличивается на 2. Также выдается запрос на проверку статуса блока прерываний и происходит переход на адрес 01, обеспечивая начало обработки следующей инструкции.

## Процедура начального старта

Аппаратный сброс микропроцессора 1801ВМ1 осуществляется низким уровнем на входе **nDCLO**. Микропрограммный автомат при этом сбрасывается и при снятии низкого уровня со входа **nDCLO** начинает исполнение с микроадреса 00. На этом микроадресе осуществляется запуск опроса блока прерываний и происходит переход на микроадрес 01. Блок прерываний будет возвращать нулевое значение **MCIR** до детектирования нарастающего фронта на входе **nACLO**. Основная микропрограмма на микроадресе 01 при нулевом значении **MCIR** перезапускает опрос блока прерываний и повторяет исполнение микроадреса 01. При обнаружении нарастающего фронта на входе **nACLO** (первого после аппаратного сброса по **nDCLO**) блок прерываний вернет значение **MCIR** равное 1112 и микропрограмма по адресу 01 начнет исполнение последовательности начального пуска.

00: MCIR poll  
01: while (MCIR == 0002) MCIR poll  
01: if (MCIR == 11x2)  
 R12 = 1777168 + Ncpu\*208  
 A = R12  
 word read start  
21: wait read  
 R12 = Q & 1774008  
22: PC = R12  
20: PSW = 000340811: MCIR poll, IR cmd load start,  
 A = PC, PC = PC + 2, word read start  
01: main loop

В ходе выполнения последовательности начального пуска происходит чтение внешнего регистра 1777168 + Ncpu\*208, который в старшем байте должен содержать значение, записываемое в старший байт программного счетчика **PC**. Фактический адрес регистра вектора начального пуска зависит от номера процессора в системе (определяется значением на входах **nPA0** и **nPA1**). Для определения начального значения PC используется только старший байт содержимого регистра начального пуска. Далее слову состояния процессора **PSW** присваивается фиксированное значение 3408, затем запускается выборка слова инструкции по адресу в **PC**, **PС** автоинкрементируется, запускается опрос блока прерываний и начинается исполнение основного микропрограммного цикла обработки процессорных инструкций

## Процедура входа в пультовые исключения и прерывания

Микрокод процедуры входа в пультовые исключения и прерывания имеет вид:

01: R12 = 1777168 (no Ncpu\*208 added)  
 A = R12  
 word read-modify-write start  
1D: wait read   
 R12 = Q | 0000108  
 write modified data start  
1C: wait write  
 R12 = 1776768  
 A = R12  
 word write start  
13: Q = PSW, write data  
14: wait write  
 R12 = R12 – 2  
 A = R12  
 word write start  
17: PC = PC – ((MCIR == 0112) ? 0 : 2)  
 Q = PC, write data  
1E: R12 = vector[VSEL]  
 A = R12  
 Q = R12  
0B: wait write  
 R12 = Q  
 A = Q  
 word read start  
3C: wait read  
 PC = Q  
3D: R12 = R12 + 2  
 A = R12  
 word read start  
1F: wait read  
 PSW = Q  
0A: MCIR = 0102, WCPU reset11: MCIR poll, IR cmd load start,  
 A = PC, PC = PC + 2, word read start  
01: main loop

Исключения и прерывания пультового режима выполняются следующим образом:

* в начале обработки устанавливают бит 3 в регистре 1777168
* сохраняют **PSW** по адресу 1776768
* для исключений с кодом **MCIR**=0102 корректируют **PС** вычитая 2
* сохраняют **PС**  по адресу 1776748
* читают новое значение **PC** по адресу вектор+0
* читают новое значение **PSW** по адресу вектор+2

Следующие прерывания и исключения будут обрабатываться процессором в пультовом режиме (с установкой бита 3 в регистре 1777168) по векторам:

|  |  |  |
| --- | --- | --- |
| Инструкция **HALT** | 1600028 | **PC** |
| Низкий уровень на входе **nIRQ1** | 1600028 | **PC**-2 |
| Тайм-аут шины МПИ, **PSW10**=1 и **PSW11**=0 | 1600028 | **PC** |
| Тайм-аут шины МПИ, 1801ВМ1А, **PSW10**=x и **PSW11**=1 | 1600028 | **PC**-2 |
| Тайм-аут шины МПИ, 1801ВМ1Г, **PSW10**=x и **PSW11**=1 | 1600028 | **PC** |
| Двойной тайм-аут шины МПИ (повторный при попытке обработать первое исключение по зависанию) | 1600068 | **PC** |
| Тайм-аут шины МПИ при получении вектора прерывания (в цикле **nIAKO**) | 1600128 | **PC** |

В крайнем правом столбце таблицы указано сохраняемое значение в ячейке 1776748, при входе в обработчик исключения по инструкции HALT там будет сохранен указатель на следующую за HALT инструкцию, при возникновении исключения по низкому уровню на входе будет сохранен указатель на первую еще не обработанную инструкцию, на которой возникло исключение. Исключения по тайм-ауту шины обычно (для 1801ВМ1Г всегда) сохраняют указатели на +2 к базовому адресу инструкции, являющейся причиной исключения.

Следует отметить, что прерывания и исключения пультового режима никак не используют стек пользовательского режима и регистр указателя на него – **SP** (**R6**) остается неизменным.

Также имеется различие между процессорами 1801ВМ1А и 1801ВМ1Г при обработке исключения зависания шины, если установлен бит **PSW11**– сохраняются различные значения **PC**.

Возврат из обработчиков исключений и прерываний пультового режима удобно осуществлять специальными инструкциями процессора 1801ВМ1, которые автоматически извлекают сохраненные значения **PC** и **PSW** по адресу 1776748 и сбрасывают бит 3 в регистре 1777168. Инструкция START является аналогом стандартной инструкции RTI, инструкция STEP является аналогом стандартной инструкции RTT. Отличие от стандартных инструкций заключается в использовании стека пультового режима и последующем сбросе бита 3 регистра 1777168.

Собственно в процессоре 1801ВМ1 нет никаких аппаратных средств или признаков "пультового" режима - процессор всегда работает одинаково. Реализация "пультового" режима заключается в микропрограммном управлении битом 3 во внешнем (по отношению к микросхеме процессора) регистре, расположенном по адресу 1777168. При входе в "пультовый" режим по прерыванию или исключению процессор выполняет операцию чтение-модификация-запись по адресу 1777168, устанавливая бит 3. При возврате из "пультового" режима инструкциями STEP и START происходит аналогичное обращение по тому же адресу со сбросом бита 3. Особенности реализации данного бита могут различаться, например, в системах, построенных на основе 1801ВП1-030, данный бит управляет отображением ПЗУ в области адресов 1600008-1737778, при входе в "пультовый" режим бит 3 будет установлен и по данным адресам будет гарантировано отображено системное ПЗУ, в котором можно разместить гарантировано доступный код обработчика пультового исключения или прерывания.

## Процедура входа в пользовательские исключения и прерывания

Микрокод процедуры входа в пользовательские исключения и прерывания имеет вид:

01: SP = SP – 2  
 A = SP  
 word write start  
13: Q = PSW, write data  
14: wait write  
 SP = SP – 2  
 A = SP  
 word write start  
17: PC = PC – ((MCIR == 1012) ? 0 : 2)  
 Q = PC, write data  
1E: if nVIRQ  
 wait write  
 vector read start  
 else  
 R12 = vector[VSEL]  
 A = R12  
 Q = R12  
0B: wait write or vector read  
 R12 = Q  
 A = Q  
 word read start  
3C: wait read  
 PC = Q  
3D: R12 = R12 + 2  
 A = R12  
 word read start  
1F: wait read  
 PSW = Q  
0A: PSW = PSW & ~17740080F: MCIR = 0102, WCPU reset11: MCIR poll, IR cmd load start,  
 A = PC, PC = PC + 2, word read start  
01: main loop

Исключения и прерывания пользовательского режима выполняются следующим образом:

* **SP** = **SP** – 2, сохраняют **PSW** по адресу **SP**
* для исключений с кодом **MCIR**=1002 корректируют **PС** вычитая 2
* **SP** = **SP** – 2, сохраняют **PС**  по адресу **SP**
* читают новое значение **PC** по адресу вектор+0
* читают новое значение **PSW** по адресу вектор+2
* обнуляют старший байт **PSW**

Следующие прерывания и исключения будут обрабатываться процессором в пользовательском режиме (без модификации бита 3 в регистре 1777168 и использованием стека SP) по векторам:

|  |  |  |
| --- | --- | --- |
| тайм-аут внешней шины МПИ, если **PSW10**=0, **PSW11**=0 | 0000048 | PC |
| Недопустимый код инструкции | 0000108 | PC |
| **T**-бит ловушки пошаговой отладки | 0000148 | PC-2 |
| Пропадание питания, ниспадающий фронт на входе **nACLO**. | 0000248 | PC-2 |
| Прерывание от ВЕ-таймера | 0002708 | PC-2 |
| Прерывание по срезу на входе **nIRQ2** | 0001008 | PC-2 |
| Прерывание по срезу на входе **nIRQ3** | 0002708 | PC-2 |
| Векторное прерывание по низкому уровню на входе **nVIRQ** | xxxxxx8 | PC-2 |
| Инструкция BPT, программное исключение | 0000148 | PC |
| Инструкция IOT, программное исключение | 0000208 | PC |
| Инструкция EMT, программное исключение | 0000308 | PC |
| Инструкция TRAP, программное исключение | 0000348 | PC |

Последний столбец таблицы отображает сохраняемое в стеке значение **PC**. Асинхронные прерывания, вызываемые внешними сигналами, а также отладочное исключение по **T**-биту сохраняют в стеке указатель на первую невыполненную инструкцию, в то время как синхронные исключения сохранят указатель на следующую инструкцию (или на базу текущей инструкции + 2).

При входе в процедуру обработки прерывания или исключения пользовательского режима также обнуляется старший байт слова состояния процессора **PSW**, значения, прочитанные из вектора, игнорируются.

Для векторного прерывания по низкому уровню на входе **nVIRQ**, значение вектора читается в специальной транзакции подтверждения векторного прерывания на шине МПИ.

Возврат из процедур обработки прерываний и исключений пользовательского режима следует осуществлять при помощи стандартных инструкций RTI и RTT.

## Реализация инструкции умножения в процессоре 1801ВМ1Г

Версия микропрограммы процессора 1801ВМ1Г дополнительно реализует инструкцию целочисленного умножения.

Инструкция MUL умножает регистровый операнд приемника на стандартный операнд источника, старшие 16 бит произведения сохраняются в регистре приемника, младшие 16 бит произведения сохраняются в регистре с номером регистр приемника плюс 1, если регистровый номер приемника четный, иначе старшие биты просто отбрасываются (просто затираются младшими битами). Код инструкции MUL – 070rss8. При попытке исполнения инструкции MUL на процессоре 1801ВМ1А происходит исключение по вектору 108. Умножение предполагает что числа знаковые, в дополнительном коде.

01: MCIR = 1012  
if (ss address mode == 0)  
 7A: R11 = Rr  
 40: R12 = Rs  
else  
 switch(ss address mode)  
 case 0: Rs  
 45: A = R12 = Rs, word read start  
 58: stop microcode (error)  
 case 1: @Rs  
 45: A = Rs, R12 = Rs, word read start  
 case 2: (Rd)+  
 45: A = Rs, Rs = Rs + 2, word read start  
 55: R12 = Rs – 2  
 case 3: @(Rs)+  
 45: A = Rs, word read start, Rs = Rs + 2  
 4C: wait read, R12 = Q,  
 A = Q, word read start  
 case 4: -(Rs)  
 45: Rs = Rs – 2, A = Rs, word read start  
 55: R12 = Rs  
 case 5: @-(Rs)  
 45: Rs = Rs – 2, A = Rs, word read start  
 4C: wait read, R12 = Q  
 A = Q, word read start  
 case 6: E(Rs)  
 45: A = PC, word read start, PC = PC + 2  
 44: wait read, R12 = Rs + Q,  
 A = R12, word read start  
 case 7: @E(Rs)  
 45: A = PC, word read start, PC = PC + 2  
 44: wait read, R12 = Rs + Q, A = R12  
 word read start  
 4C: wait read, R12 = Q,  
 A = Q, word read start  
 48: wait read, R12 = Q  
//  
// Аргументы получены в R11 и R12, можно выполнять умножение  
//

// R11 – первый аргумент, R12 – второй  
// R8 – старшие 16 бит произведения, R9 – младшие   
32: R8 = 0  
25: R10 = R11  
6E: R9 = 1000008  
74: FR C = R11[0], R11 = R11 >> 1  
if (FR C)  
 69: R8 = R8 + R12, assign NZVC  
 6B: if (V) R8 = ROR(R8) else R8 = ASR(R8), assign NZVC  
else  
 69: R8 = ASR(R8), assign NZVC  
77: R9 = ROR(R9)  
if (FR C == 0)  
 75: FR C = R11[0], R11 = R11 >> 1  
 69: next cycle  
else  
 75: R10 = R10, set FR N  
if (FR N)  
 76: R8 = R8 – R12  
else MCIR = 1102  
07: Rr = R8  
06: R[r | 1] = R9  
if (FR N==0 && FR Z==0)  
 7C: PSW |= 0000018  
 11: next instruction  
else  
 if (FR N==1)  
 7C: R12 = R8 - 1777778  
 if (FR Z==0)  
 7E: PSW |= 0000018  
 11: next instruction  
 else  
 7E: R9 = R9  
 7D: PSW |= N ? 0000008 : 0000018  
 11: next instruction  
 else  
 7C: R9 = R9  
 if (FR N==0 && FR Z==0)  
 7F: R12 = 0000018, set NZVC  
 11: next instruction  
 else  
 if (FR N==0)  
 7F: PSW |= 0000008  
 11: next instruction  
 else  
 7F: PSW ^= 0000018, set NZVC  
 11: next instruction

# Набор процессорных инструкций

В данном разделе описаны процессорные инструкции, исполнение которых обеспечивает микропроцессор 1801ВМ1А, а также последовательности микроадресов и выполняемые внутренние действия микропрограммного автомата. При описании кодировки инструкций использованы следующие обозначения:

|  |  |
| --- | --- |
| r | номер регистра общего назначения 0-7 |
| dd | 6-битовое поле адресации приемника, старшие 3 бита метод, младшие 3 бита номер регистра |
| ss | 6-битовое поле адресации приемника, старшие 3 бита метод, младшие 3 бита номер регистра |
| x | Произвольная восьмеричная цифра |
| nzvc | 4-битовое поле флагов в инструкция манипуляции арифметическими флагами |
| uu | 6-битовое беззнаковое целое |
| bb | 8-битовое знаковое поле, задает смещение условного перехода |
| nn | 8-битовое беззнаковое поле |

Кодирование методов адресации в полях источника и приемника

|  |  |  |  |
| --- | --- | --- | --- |
| 0 | Rn |  | Прямая регистровая, операнд непосредственно в регистре Rn |
| 1 | @Rn |  | Косвенная, в регистре Rn находится адрес операнда |
| 2 | (Rn)+ | #E | Автоинкрементная, в регистре Rn находится адрес операнда, после извлечения данных из памяти регистр Rn будет увеличен на 1 для байтовых операций и на 2 для словных операций |
| 3 | @(Rn)+ | @#E | Автоинкрементная косвенная, в регистре Rn находится адрес указателя на операнд, после извлечения указателя из памяти регистр Rn будет увеличен на 2 |
| 4 | -(Rn) |  | Автодекрементная, в регистре Rn находится адрес операнда, до извлечения данных из памяти регистр Rn уменьшается на 1 для байтовых операций и на 2 для словных операций |
| 5 | @-(Rn) |  | Автодекрементная косвенная, в регистре Rn находится адрес указателя на операнд, до извлечения указателя из памяти регистр Rn уменьшается на 2 |
| 6 | E(Rn) | E | Индексная, адрес операнда вычисляется как сумма 16-битного смешения Е и регистра Rn |
| 7 | @E(Rn) | @E | Индексная косвенная, адрес указателя на операнд вычисляется как сумма 16-битного смешения Е и регистра Rn |

| Код инструкции | Мнемоника | NZVC | Описание |
| --- | --- | --- | --- |
| 0000008 | HALT | \* | Переход в пультовой режим. Код исключения записывается в MCIR и далее используется цепочка микрокода для обработки исключений пультового режима  01: MCIR = 0112, VSEL = 10112 01: core exception (1600028) |
| 0000018 | WAIT | - | Ожидание прерывания, микропрограммный автомат циклически опрашивает блок прерываний, до возникновения прерывания или сброса бита **WCPU** записью в регистр управления внешним агентом.  **PC** указывает на следующую за WAIT инструкцию, если обработчик прерывания не изменит адрес возврата то исполнение продолжится со следующей за WAIT инструкции.  Установленный бит **Т** не приводит к немедленному выходу из режима ожидания, если нет активных незамаскированных аппаратных прерываний, позволяя выполниться инструкции WAIT предусмотренным способом  01: PC = PC + 2 37: MCIR = 0002, set WCPU 01: MCIR poll 01: if (MCIR != 0002) exception/interrupt |
| 0000028 | RTI | \* | Возврат из прерывания. PC = (SP)+, PSW = (SP)+, старший байт **PSW** обнуляется, значение загруженное из стека игнорируется  01: A = SP, word read start, SP = SP + 2 38: wait read, PC = Q 39: A = SP, read start, SP = SP + 2 6B: PSW = Q 2F: PSW = PSW & ~1774008 if (T)  36: MCIR = 1012, VSEL = 00112  01: user exception (0000148) else  37: MCIR poll, A = PC  IR cmd load start, PC = PC + 2  01: wait read, next instruction |
| 0000038 | BPT | \* | Инструкция BPT, записывает код исключения непосредственно в **MCIR** и перестартует исполнение с адреса 01, опрос блока прерываний не запускается, начнется обработка исключения по вектору 0000148 в пользовательском режиме  01: MCIR = 1012, VSEL = 00112 01: user exception (0000148) |
| 0000048 | IOT | \* | Инструкция IOT, записывает код исключения непосредственно в **MCIR** и перестартует исполнение с адреса 01, опрос блока прерываний не запускается, начнется обработка исключения по вектору 0000208 в пользовательском режиме  01: MCIR = 1012, VSEL = 00012 01: user exception (0000208) |
| 0000058 | RESET | - | Сброс внешних устройств, на выходе **nINIT** формируется активный сигнал низкого уровня длительностью 224 такта **CLC**, затем сигнал деактивируется и снова выдерживается пауза 224 такта **CLC**. Данный сигнал также инициализирует ВЕ-таймер и детекторы фронтов внешних прерываний.  Микропрограмма активирует сигнал **nINIT**, затем в **R12** записывается значение 3408, потом в цикле вычитается по 2, при достижении нулевого значения **nINIT** деактивируется, в **R12** снова заносится значение 3408 и цикл вычитания повторяется, по достижении нулевого значения происходит переход к следующей инструкции  01: MCIR = 0102, INIT set 36: R12 = 3408 37: while !(FR Z) R12 = R12 - 2 37: INIT reset, MCIR = 1102 36: 36: R12 = 3408 37: while !(FR Z) R12 = R12 - 2 11: next instruction |
| 0000068 | RTT | \* | Возврат из прерывания. PC = (SP)+, PSW = (SP)+, старший байт **PSW** обнуляется, значение загруженное из стека игнорируется. После исполнения задерживает возникновение исключения по биту **T** (если он установлен в слове **PSW** извлекаемом из стека) на одну инструкцию  01: A = SP, word read start, SP = SP + 2 38: wait read, PC = Q 39: A = SP, read start, SP = SP + 2 6B: PSW = Q 2F: PSW = PSW & ~1774008 if (T)  36: A = PC, IR cmd preload start,  PC = PC + 2  6A: wait read   01: next instruction else  37: A = PC, IR cmd load start,  PC = PC + 2  01: wait read, next instruction |
| 0000078 | MFPT | - | Недопустимая команда  01: user exception (0000108) |
| 0000108 0000118 0000128 0000138 | START | \* | Возобновление исполнения пользовательской программы из пультового режима, **PC** и **PSW** берутся из вектора 1776748, бит 3 в регистре 1777168 сбрасывается после чтения данных из вектора, так происходит переключение памяти в “пользовательский режим”  01: R12 = 1776768, A = R12 2F: R12 = R12 – 2, A = R12, word read 2E: wait read, PC = Q 2D: R12 = R12 + 2, A = R12, word read 2C: wait read, PSW = Q 2B: R12 = 1777168, A = R12, start rmw 2A: wait read, Q &= ~108, modified write 11: next instruction |
| 0000148 0000158 0000168 0000178 | STEP | \* | Возобновление исполнения пользовательской программы из пультового режима, **PC** и **PSW** берутся из вектора 1776748, бит 3 в регистре 1777168 сбрасывается после чтения данных из вектора, так происходит переключение памяти в “пользовательский режим”  01: R12 = 1776768, A = R12 2F: R12 = R12 – 2, A = R12, word read 2E: wait read, PC = Q 2D: R12 = R12 + 2, A = R12, word read 2C: wait read, PSW = Q 2B: R12 = 1777168, A = R12, start rmw 2A: wait read, Q &= ~108, modified write 7A: A = PC, word read, PC = PC + 2 6A: wait read 01: next instruction |
| 00002x8 00003x8 00004x8 00005x8 00006x8 00007x8 |  | - | Недопустимая команда  01: user exception (0000108) |
| 0001dd8 | JMP dd | - | Безусловный переход, **PC** присваивается значение источника. Попытка исполнения инструкции JMP с кодом адресации приемника 0 записывает код исключения непосредственно в **MCIR** и перестартует исполнение с адреса 01, опрос блока прерываний не запускается, начнется обработка исключения по вектору 0000048 в пользовательском режиме  if (dd address mode == 0)  01: MCIR = 1012, VSEL = 01002  01: user exception (0000048) else  01: MCIR = 1002  switch (dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: R12 = Rd  case 2: (Rd)+  45: Rd = Rd + 2  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q  case 4: -(Rd)  45: Rd = Rd – 2  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word read start  4D: wait read, R12 = Q  48: Q = Q  32: PC = R12  11: next instruction |
| 00020r8 | RTS r | - | Возврат из подпрограммы. PC = Rr, Rr = \*SP, SP = SP+2  01: MCIR = 0112 50: R12 = Rr & 1777778 33: PC = R12 15: A = SP, word read start, SP = SP + 2 40: wait read, Rr = Q 11: next instruction |
| 00021x8 00022x8 00023x8 |  | - | Недопустимая команда  01: user exception (0000108) |
| 0002408 | nzvc | CL nzvc | \* | Сбрасывает арифметические флаги в слове состояния **PSW** согласно установленным битам в поле **nzvc** кода операции |
| 0002408 0002418 0002428 0002448 0002508 0002578 | NOP CLN CLZ CLV CLC CCC | ---- 0--- -0-- --0- ---0 0000 | 01: A = PC, IR preload start 01: PC = PC + 2, word read start 37: R12 = IR[3:0] 36: PSW = PSW & ~R12, MCIR poll 01: wait read, next instruction |
| 0002608 | nzvc | SE nzvc | \* | Устанавливает арифметические флаги в слове состояния **PSW** согласно установленным битам в поле **nzvc** кода операции |
| 0002608 0002618 0002628 0002648 0002708 0002778 | NOP SEN SEZ SEV SEC SCC | ---- 1--- -1-- --1- ---1 1111 | 01: A = PC, IR preload start 01: PC = PC + 2, word read start 37: R12 = IR[3:0] 36: PSW = PSW | R12, MCIR poll 01: wait read, next instruction |
| 0003dd8 | SWAB dd | \*\*00 | Обмен байтов в слове приемника tmp = dd, tmp = (tmp << 8) | (tmp >> 8), dd = tmp,  N = dd[7], Z = (dd[7:0] == 0), C = 0, V = 0  if (dd address mode == 0)  01: A = PC  IR preload start, word read start  if (dd register == PC)  01: PC = PC + 2  50: Rd = (Rd >> 8) | (Rd << 8)  51: R12 = Rd & ~1774008, set NZVC  11: next instruction  else  01: R12 = PC + 2  50: Rd = (Rd >> 8) | (Rd << 8)  51: R12 = Rd & ~1774008, assign NZVC,  MCIR poll, wait read  01: next instruction  01: MCIR = 1112  switch (dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, word rmw start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 2, word rmw start  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, word rmw start  case 4: -(Rd)  45: Rd = Rd – 2, A = Rd, word rmw start  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, word rmw start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, word rmw start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word read start  4D: wait read, R12 = Q,  A = Rd, word rmw start  48: wait read, Q = (Q >> 8) | (Q << 8),  modified data write  37: R12 = byte Q, assign NZVC  11: next instruction |
| 0004bb8 | BR bb | - | Безусловный переход в пределах -128..+128 слов от базового адреса инструкции (“.”). 8-битовое поле смешения в коде инструкции умножается на 2 и знаково расширяется до 16 бит по старшему биту  01: MCIR = 0102 7B: PC = PC + sign extended(IR[7:0]\*2) 11: next instruction |
| 0010bb8 | BNE bb | - | Переход если Z==0  01: MCIR = 0102 7B: if (Z==0)   PC = PC + sign extended(IR[7:0]\*2)  else  R12 = PC + sign extended(IR[7:0]\*2) 11: next instruction |
| 0014bb8 | BEQ bb | - | Переход если Z==1  01: MCIR = 0102 7B: if (Z)   PC = PC + sign extended(IR[7:0]\*2)  else  R12 = PC + sign extended(IR[7:0]\*2) 11: next instruction |
| 0020bb8 | BGE bb | - | Переход если (N ^ V) == 0  01: MCIR = 0102 7B: if !(N ^ V)   PC = PC + sign extended(IR[7:0]\*2)  else  R12 = PC + sign extended(IR[7:0]\*2) 11: next instruction |
| 0024bb8 | BLT bb | - | Переход если (N ^ V) == 1  01: MCIR = 0102 7B: if (N ^ V)   PC = PC + sign extended(IR[7:0]\*2)  else  R12 = PC + sign extended(IR[7:0]\*2) 11: next instruction |
| 0030bb8 | BGT bb | - | Переход если (Z | (N ^ V)) == 0  01: MCIR = 0102 7B: if !(Z | (N ^ V))   PC = PC + sign extended(IR[7:0]\*2)  else  R12 = PC + sign extended(IR[7:0]\*2) 11: next instruction |
| 0034bb8 | BLE bb | - | Переход если (Z | (N ^ V)) == 1  01: MCIR = 0102 7B: if (Z | (N ^ V))   PC = PC + sign extended(IR[7:0]\*2)  else  R12 = PC + sign extended(IR[7:0]\*2) 11: next instruction |
| 004rdd8 | JSR r, dd | - | Вызов подпрограммы, указанный регистр сохраняется в стеке, **PC** записывается в регистр и затем получает значение приемника. Попытка исполнения инструкции JSR с кодом адресации приемника 0 записывает код исключения непосредственно в **MCIR** и перестартует исполнение с адреса 01, опрос блока прерываний не запускается, начнется обработка исключения по вектору 0000048 в пользовательском режиме  If (dd address mode == 0)  01: MCIR = 1012, VSEL = 01002;  01: user exception (0000048) else   01: MCIR = 1002  switch (dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: R12 = Rd  case 2: (Rd)+  45: Rd = Rd + 2  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q  case 4: -(Rd)  45: Rd = Rd – 2  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word read start  4D: wait read, R12 = Q  48: Q = Q  37: SP = SP – 2, A = SP, word write start  27: Rr = Rr & 1777778, Q = Rr, write data  26: Rr = PC  32: PC = R12  11: next instruction |
| 0050dd8 | CLR dd | 0100 | Присвоение приемнику нулевого значения  dd = 0, V = 0, С = 0, N = 0, Z = 1  if (dd address mode == 0)  01: A = PC  IR preload start, word read start  if (dd register == PC)  01: R12 = PC + 2  31: MCIR = 1012  49: PC = 000000­8, assign NZVC  11: next instruction  else  01: PC = PC + 2  31: MCIR = 1012  49: Rd = 0000008, assign NZVC,  MCIR poll, wait read  01: next instruction else  01: MCIR = 1112  switch (dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, word rmw start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 2, word rmw start  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, word rmw start  case 4: -(Rd)  45: Rd = Rd – 2, A = Rd, word rmw start  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, word rmw start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, word rmw start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word read start  4D: wait read, R12 = Q,  A = Rd, word rmw start  48: wait read, Q = 0000008, assign NZVC  modified data write  11: next instruction |
| 0051dd8 | COM dd | \*\*01 | Побитовое инвертирование операнда dd = ~dd, V = 0, С = 0, N = dd[15], Z = (dd==0)  if (dd address mode == 0)  01: A = PC  IR preload start, word read start  if (dd register == PC)  01: R12 = PC + 2  31: MCIR = 1012  49: PC = PC ^ 1777778, assign NZVC  11: next instruction  else  01: PC = PC + 2  31: MCIR = 1012  49: Rd = Rd ^ 1777778, assign NZVC,  MCIR poll, wait read  01: next instruction else  01: MCIR = 1112  switch (dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, word rmw start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 2, word rmw start  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, word rmw start  case 4: -(Rd)  45: Rd = Rd – 2, A = Rd, word rmw start  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, word rmw start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, word rmw start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word read start  4D: wait read, R12 = Q,  A = Rd, word rmw start  48: wait read, Q = Q ^ 1777778, assign NZVC  modified data write  11: next instruction |
| 0052dd8 | INC dd | \*\*\*- | Прибавление 1 к операнду dd = dd + 1, assign V, N = dd[15], Z = (dd==0) фактически V установится, если dd был равен 0777778  if (dd address mode == 0)  01: A = PC  IR preload start, word read start  if (dd register == PC)  01: R12 = PC + 2  31: MCIR = 1012  49: PC = PC + 1, assign NZV  11: next instruction  else  01: PC = PC + 2  31: MCIR = 1012  49: Rd = Rd + 1, assign NZV,  MCIR poll, wait read  01: next instruction else  01: MCIR = 1112  switch (dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, word rmw start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 2, word rmw start  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, word rmw start  case 4: -(Rd)  45: Rd = Rd – 2, A = Rd, word rmw start  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, word rmw start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, word rmw start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word read start  4D: wait read, R12 = Q,  A = Rd, word rmw start  48: wait read, Q = Q + 0000018, assign NZV  modified data write  11: next instruction |
| 0053dd8 | DEC dd | \*\*\*- | Вычитание 1 из операнда dd = dd + 1777778, assign V, N = dd[15], Z = (dd==0) фактически V установится, если dd был равен 1000008  if (dd address mode == 0)  01: A = PC  IR preload start, word read start  if (dd register == PC)  01: R12 = PC + 2  31: MCIR = 1012  49: PC = PC - 1, assign NZV  11: next instruction  else  01: PC = PC + 2  31: MCIR = 1012  49: Rd = Rd - 1, assign NZV,  MCIR poll, wait read  01: next instruction else  01: MCIR = 1112  switch (dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, word rmw start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 2, word rmw start  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, word rmw start  case 4: -(Rd)  45: Rd = Rd – 2, A = Rd, word rmw start  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, word rmw start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, word rmw start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word read start  4D: wait read, R12 = Q,  A = Rd, word rmw start  48: wait read, Q = Q - 0000018, assign NZV  modified data write  11: next instruction |
| 0054dd8 | NEG dd | \*\*\*\* | Меняет знак операнда dd = ~dd + 1, assign CV, N = dd[15], Z = (dd==0) фактически V установится, если dd был равен 1000008  if (dd address mode == 0)  01: A = PC  IR preload start, word read start  if (dd register == PC)  01: R12 = PC + 2  31: MCIR = 1012  49: PC = 0 - PC, assign NZVC  11: next instruction  else  01: PC = PC + 2  31: MCIR = 1012  49: Rd = 0 - Rd, assign NZVC,  MCIR poll, wait read  01: next instruction else  01: MCIR = 1112  switch (dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, word rmw start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 2, word rmw start  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, word rmw start  case 4: -(Rd)  45: Rd = Rd – 2, A = Rd, word rmw start  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, word rmw start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, word rmw start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word read start  4D: wait read, R12 = Q,  A = Rd, word rmw start  48: wait read, Q = 0000008 - Q, assign NZVC  modified data write  11: next instruction |
| 0055dd8 | ADC dd | \*\*\*\* | Прибавление к операнду флага переноса **C** dd = dd + C, assign CV, N = dd[15], Z = (dd==0) фактически V установится, если dd был равен 0777778  if (dd address mode == 0)  01: A = PC  IR preload start, word read start  if (dd register == PC)  01: R12 = PC + 2  31: MCIR = 1012  49: PC = PC + C, assign NZVC  11: next instruction  else  01: PC = PC + 2  31: MCIR = 1012  49: Rd = Rd + C, assign NZVC,  MCIR poll, wait read  01: next instruction else  01: MCIR = 1112  switch (dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, word rmw start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 2, word rmw start  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, word rmw start  case 4: -(Rd)  45: Rd = Rd – 2, A = Rd, word rmw start  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, word rmw start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, word rmw start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word read start  4D: wait read, R12 = Q,  A = Rd, word rmw start  48: wait read, Q = Q + C, assign NZVC  modified data write  11: next instruction |
| 0056dd8 | SBC dd | \*\*\*\* | Вычитание из операнда флага переноса **C** dd = dd - C, assign CV, N = dd[15], Z = (dd==0)  if (dd address mode == 0)  01: A = PC  IR preload start, word read start  if (dd register == PC)  01: R12 = PC + 2  31: MCIR = 1012  49: PC = PC - C, assign NZVC  11: next instruction  else  01: PC = PC + 2  31: MCIR = 1012  49: Rd = Rd - C, assign NZVC,  MCIR poll, wait read  01: next instruction else  01: MCIR = 1112  switch (dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, word rmw start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 2, word rmw start  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, word rmw start  case 4: -(Rd)  45: Rd = Rd – 2, A = Rd, word rmw start  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, word rmw start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, word rmw start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word read start  4D: wait read, R12 = Q,  A = Rd, word rmw start  48: wait read, Q = Q - C, assign NZVC  modified data write  11: next instruction |
| 0057dd8 | TST dd | \*\*00 | Установка флагов условий **PSW** соответственно операнду С = 0, V = 0, N = dd[15], Z = (dd==0)  if (dd address mode == 0)  01: A = PC  IR preload start, word read start  if (dd register == PC)  01: R12 = PC + 2  31: MCIR = 1012  49: PC = PC & 1777778, assign NZVC  11: next instruction  else  01: PC = PC + 2  31: MCIR = 1012  49: Rd = Rd & 1777778, assign NZVC,  MCIR poll, wait read  01: next instruction else  01: MCIR = 1012  switch (dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, word read start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 2, word read start  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, word read start  case 4: -(Rd)  45: Rd = Rd – 2, A = Rd, word read start  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, word read start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, word read start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word read start  4D: wait read, R12 = Q,  A = Rd, word read start  48: wait read, Q = Q & 1777778, assign NZVC  11: next instruction |
| 0060dd8 | ROR dd | \*\*\*\* | Кольцевой сдвиг вправо, вращает все биты операнда на одну позицию вправо, старший бит загружается из флага переноса, младший бит, выдвинутый из операнда, загружается во флаг переноса tmp = C, C = dd[0], dd = dd >> 1, dd[15] = tmp, N = dd[15], Z = (dd==0), V = C ^ N  if (dd address mode == 0)  01: A = PC  IR preload start, word read start  if (dd register == PC)  01: R12 = PC + 2  31: MCIR = 1012  49: PC = ROR(PC), assign NZVC  11: next instruction  else  01: PC = PC + 2  31: MCIR = 1012  49: Rd = ROR(Rd), assign NZVC,  MCIR poll, wait read  01: next instruction else  01: MCIR = 1112  switch (dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, word rmw start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 2, word rmw start  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, word rmw start  case 4: -(Rd)  45: Rd = Rd – 2, A = Rd, word rmw start  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, word rmw start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, word rmw start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word read start  4D: wait read, R12 = Q,  A = Rd, word rmw start  48: wait read, Q = ROR(Q), assign NZVC  modified data write  11: next instruction |
| 0061dd8 | ROL dd | \*\*\*\* | Кольцевой сдвиг влево, вращает все биты операнда на одну позицию влево, младший бит грузится из флага переноса, выдвинутый старший бит загружается во флаг переноса tmp = C, C = dd[15], dd = dd << 1, dd[0] = tmp, N = dd[15], Z = (dd==0), V = C ^ N  if (dd address mode == 0)  01: A = PC  IR preload start, word read start  if (dd register == PC)  01: R12 = PC + 2  31: MCIR = 1012  49: PC = ROL(PC), assign NZVC  11: next instruction  else  01: PC = PC + 2  31: MCIR = 1012  49: Rd = ROL(Rd), assign NZVC,  MCIR poll, wait read  01: next instruction else  01: MCIR = 1112  switch (dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, word rmw start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 2, word rmw start  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, word rmw start  case 4: -(Rd)  45: Rd = Rd – 2, A = Rd, word rmw start  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, word rmw start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, word rmw start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word read start  4D: wait read, R12 = Q,  A = Rd, word rmw start  48: wait read, Q = ROL(Q), assign NZVC  modified data write  11: next instruction |
| 0062dd8 | ASR dd | \*\*\*\* | Арифметический сдвиг вправо, содержимое операнда сдвигается на одну позицию вправо, старший (знаковый) бит остается неизменным, флаг переноса грузится содержимым выдвинутого бита. Операцию можно трактовать как целочисленное деление знакового операнда на два, с остатком, остающимся во флаге переноса C = dd[0], dd = dd >> 1, dd[15] = dd[14], N = dd[15], Z = (dd==0), V = C ^ N  if (dd address mode == 0)  01: A = PC  IR preload start, word read start  if (dd register == PC)  01: R12 = PC + 2  31: MCIR = 1012  49: PC = ASR(PC), assign NZVC  11: next instruction  else  01: PC = PC + 2  31: MCIR = 1012  49: Rd = ASR(Rd), assign NZVC,  MCIR poll, wait read  01: next instruction else  01: MCIR = 1112  switch (dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, word rmw start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 2, word rmw start  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, word rmw start  case 4: -(Rd)  45: Rd = Rd – 2, A = Rd, word rmw start  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, word rmw start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, word rmw start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word read start  4D: wait read, R12 = Q,  A = Rd, word rmw start  48: wait read, Q = ASR(Q), assign NZVC  modified data write  11: next instruction |
| 0063dd8 | ASL dd | \*\*\*\* | Арифметический сдвиг влево, содержимое операнда сдвигается на одну позицию влево, младший бит обнуляется, выдвинутый знаковый бит грузится во флаг переноса. Операцию можно рассматривать как целочисленное умножение операнда на два C = dd[15], dd = dd <<1, N = dd[15], Z = (dd==0), V = C ^ N  if (dd address mode == 0)  01: A = PC  IR preload start, word read start  if (dd register == PC)  01: R12 = PC + 2  31: MCIR = 1012  49: PC = ASL(PC), assign NZVC  11: next instruction  else  01: PC = PC + 2  31: MCIR = 1012  49: Rd = ASL(Rd), assign NZVC,  MCIR poll, wait read  01: next instruction else  01: MCIR = 1112  switch (dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, word rmw start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 2, word rmw start  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, word rmw start  case 4: -(Rd)  45: Rd = Rd – 2, A = Rd, word rmw start  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, word rmw start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, word rmw start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word read start  4D: wait read, R12 = Q,  A = Rd, word rmw start  48: wait read, Q = ASL(Q), assign NZVC  modified data write  11: next instruction |
| 0064nn8 | MARK nn | - | Удаление параметров из стека, SP = PC+2\*nn, PC = R5, R5 = (SP)+; nn число параметров (6-битное беззнаковое поле)  01: R12 = PC + IR[5:0]\*2 37: SP = R12 36: PC = R5 39: A = SP, SP = SP + 2, word read start 6B: wait read, R5 = Q 11: next instruction |
| 0065xx8 0066xx8 | MFPI MTPI | - | Недопустимая команда  01: user exception (0000108) |
| 0067dd8 | SXT dd | -\*0- | Распространение знака, устанавливает приемник в 0 или 1777778 в зависимости от флага **N** dd = N ? 1777778 : 08, Z = N, V = 0  if (dd address mode == 0)  01: A = PC  IR preload start, word read start  if (dd register == PC)  01: R12 = PC + 2  31: MCIR = 1012  49: PC = N ? 1777778:0, assign NZV  11: next instruction  else  01: PC = PC + 2  31: MCIR = 1012  49: Rd = N ? 1777778:0, assign NZV,  MCIR poll, wait read  01: next instruction else  01: MCIR = 1112  switch (dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, word rmw start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 2, word rmw start  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, word rmw start  case 4: -(Rd)  45: Rd = Rd – 2, A = Rd, word rmw start  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, word rmw start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, word rmw start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word read start  4D: wait read, R12 = Q,  A = Rd, word rmw start  48: wait read, Q = N?1777778 :0, assign NZV  modified data write  11: next instruction |
| 007xxx8 |  | - | Недопустимая команда  01: user exception (0000108) |
| 01ssdd8 | MOV ss, dd | \*\*0- | Присвоение приемнику значения источника  dd = ss, V = 0, N = dd[15], Z = (dd==0)  if (dd address mode == 0) &&  (ss address mode == 0)  01: A = PC  IR preload start, word read start  if (ss register == PC) ||  (dd register == PC)  01: R12 = PC + 2  58: Rd = Rs, assign NZV  11: next instruction  else  01: PC = PC + 2  58: Rd = Rs, assign NZV   MCIR poll, wait read else  01: MCIR = 0112  switch (ss address mode)  case 0: Rs  47: R12 = Rs  5A: R11 = Rs  case 1: @Rs  47: A = Rs, R12 = Rs, word read start  04: wait read, R11 = Q  case 2: (Rs)+  47: A = Rs, Rs = Rs + 2, word read start  04: wait read, R11 = Q  case 3: @(Rs)+  47: A = Rs, word read start, Rs = Rs + 2  4E: wait read, R12 = Q,  A = Q, word read start  04: wait read, R11 = Q  case 4: -(Rs)  47: Rs = Rs – 2, A = Rs, word read start  04: wait read, R11 = Q  case 5: @-(Rs)  47: Rs = Rs – 2, A = Rs, word read start  4E: wait read, R12 = Q  A = Q, word read start  04: wait read, R11 = Q  case 6: E(Rs)  47: A = PC, word read start, PC = PC + 2  46: wait read, R12 = Rs + Q,  A = R12, word read start  04: wait read, R11 = Q  case 7: @E(Rs)  47: A = PC, word read start, PC = PC + 2  46: wait read, R12 = Rs + Q, A = R12  word read start  4E: wait read, R12 = Q,  A = Q, word read start  04: wait read, R11 = Q  if (dd address mode == 0)  if (dd register == 7)  30: A = PC, R12 = PC+2, IR preload start  word read start  59: Rd = R11, assign NVZ  11: next instruction  else  30: A = PC, PC = PC + 2, IR preload start  word read start  59: Rd = R11, assign NVZ, MCIR poll  01: next instruction else  switch(dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, word write start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 2, word write  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, word write start  case 4: -(Rd)  45: Rd = Rd – 2, A = Rd, word write  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, word write start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, word write start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word read start  4D: wait read, R12 = Q,  A = Rd, word write start  48: R12 = R11, Q = R11, data write  19: Q = Q, assign NZV  11: next instruction |
| 02ssdd8 | CMP ss, dd | \*\*\*\* | Вычисление разности (ss – dd) без сохранения результата в приемнике, установка флагов **PSW** по результатам вычислений. Операция не изменяет исходных операндов. Порядок вычитания отличается от команды SUB.  tmp = ss + (~dd + 1), assign CV, N = tmp[15], Z = (tmp==0)  if (dd address mode == 0) &&  (ss address mode == 0)  01: A = PC  IR preload start, word read start  if (ss register == PC) ||  (dd register == PC)  01: R12 = PC + 2  58: R12 = Rs - Rd, assign NZVC  11: next instruction  else  01: PC = PC + 2  58: R12 = Rs - Rd, assign NZVC   MCIR poll, wait read else  01: MCIR = 0012  switch (ss address mode)  case 0: Rs  47: R12 = Rs  5A: R11 = Rs  case 1: @Rs  47: A = Rs, R12 = Rs, word read start  04: wait read, R11 = Q  case 2: (Rs)+  47: A = Rs, Rs = Rs + 2, word read start  04: wait read, R11 = Q  case 3: @(Rs)+  47: A = Rs, word read start, Rs = Rs + 2  4E: wait read, R12 = Q,  A = Q, word read start  04: wait read, R11 = Q  case 4: -(Rs)  47: Rs = Rs – 2, A = Rs, word read start  04: wait read, R11 = Q  case 5: @-(Rs)  47: Rs = Rs – 2, A = Rs, word read start  4E: wait read, R12 = Q  A = Q, word read start  04: wait read, R11 = Q  case 6: E(Rs)  47: A = PC, word read start, PC = PC + 2  46: wait read, R12 = Rs + Q,  A = R12, word read start  04: wait read, R11 = Q  case 7: @E(Rs)  47: A = PC, word read start, PC = PC + 2  46: wait read, R12 = Rs + Q, A = R12  word read start  4E: wait read, R12 = Q,  A = Q, word read start  04: wait read, R11 = Q  if (dd address mode == 0)  if (dd register == 7)  30: A = PC, R12 = PC+2, IR preload start  word read start  59: Rd = R11, assign NVZ  11: next instruction  else  30: A = PC, PC = PC + 2, IR preload start  word read start  59: Rd = R11, assign NVZ, MCIR poll  01: next instruction  else  switch(dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, word read start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 2, word read  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, word read start  case 4: -(Rd)  45: Rd = Rd – 2, A = Rd, word read  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, word read start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, word read start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word read start  4D: wait read, R12 = Q,  A = Rd, word read start  48: wait read, R12 = R11 - Q, assign NZVC  19: Q = Q, assign NZV  11: next instruction |
| 03ssdd8 | BIT ss, dd | \*\*0- | Проверка битов приемника по маске источника tmp = ss & dd, V = 0, N = tmp[15], Z = (tmp==0)  if (dd address mode == 0) &&  (ss address mode == 0)  01: A = PC  IR preload start, word read start  if (ss register == PC) ||  (dd register == PC)  01: R12 = PC + 2  58: R12 = Rs & Rd, assign NZV  11: next instruction  else  01: PC = PC + 2  58: R12 = Rs & Rd, assign NZV   MCIR poll, wait read else  01: MCIR = 0012  switch (ss address mode)  case 0: Rs  47: R12 = Rs  5A: R11 = Rs  case 1: @Rs  47: A = Rs, R12 = Rs, word read start  04: wait read, R11 = Q  case 2: (Rs)+  47: A = Rs, Rs = Rs + 2, word read start  04: wait read, R11 = Q  case 3: @(Rs)+  47: A = Rs, word read start, Rs = Rs + 2  4E: wait read, R12 = Q,  A = Q, word read start  04: wait read, R11 = Q  case 4: -(Rs)  47: Rs = Rs – 2, A = Rs, word read start  04: wait read, R11 = Q  case 5: @-(Rs)  47: Rs = Rs – 2, A = Rs, word read start  4E: wait read, R12 = Q  A = Q, word read start  04: wait read, R11 = Q  case 6: E(Rs)  47: A = PC, word read start, PC = PC + 2  46: wait read, R12 = Rs + Q,  A = R12, word read start  04: wait read, R11 = Q  case 7: @E(Rs)  47: A = PC, word read start, PC = PC + 2  46: wait read, R12 = Rs + Q, A = R12  word read start  4E: wait read, R12 = Q,  A = Q, word read start  04: wait read, R11 = Q  if (dd address mode == 0)  if (dd register == 7)  30: A = PC, R12 = PC+2, IR preload start  word read start  59: Rd = R11, assign NVZ  11: next instruction  else  30: A = PC, PC = PC + 2, IR preload start  word read start  59: Rd = R11, assign NVZ, MCIR poll  01: next instruction  else  switch(dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, word read start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 2, word read  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, word read start  case 4: -(Rd)  45: Rd = Rd – 2, A = Rd, word read  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, word read start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, word read start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word read start  4D: wait read, R12 = Q,  A = Rd, word read start  48: wait read, R12 = R11 & Q, assign NZV  19: Q = Q, assign NZV  11: next instruction |
| 04ssdd8 | BIC ss, dd | \*\*0- | Сброс битов приемника по маске источника dd = dd & ~ss, V = 0, N = dd[15], Z = (dd==0)  if (dd address mode == 0) &&  (ss address mode == 0)  01: A = PC  IR preload start, word read start  if (ss register == PC) ||  (dd register == PC)  01: R12 = PC + 2  58: Rd = Rd & ~Rs, assign NZV  11: next instruction  else  01: PC = PC + 2  58: Rd = Rd & ~Rs, assign NZV   MCIR poll, wait read else  01: MCIR = 0112  switch (ss address mode)  case 0: Rs  47: R12 = Rs  5A: R11 = Rs  case 1: @Rs  47: A = Rs, R12 = Rs, word read start  04: wait read, R11 = Q  case 2: (Rs)+  47: A = Rs, Rs = Rs + 2, word read start  04: wait read, R11 = Q  case 3: @(Rs)+  47: A = Rs, word read start, Rs = Rs + 2  4E: wait read, R12 = Q,  A = Q, word read start  04: wait read, R11 = Q  case 4: -(Rs)  47: Rs = Rs – 2, A = Rs, word read start  04: wait read, R11 = Q  case 5: @-(Rs)  47: Rs = Rs – 2, A = Rs, word read start  4E: wait read, R12 = Q  A = Q, word read start  04: wait read, R11 = Q  case 6: E(Rs)  47: A = PC, word read start, PC = PC + 2  46: wait read, R12 = Rs + Q,  A = R12, word read start  04: wait read, R11 = Q  case 7: @E(Rs)  47: A = PC, word read start, PC = PC + 2  46: wait read, R12 = Rs + Q, A = R12  word read start  4E: wait read, R12 = Q,  A = Q, word read start  04: wait read, R11 = Q  if (dd address mode == 0)  if (dd register == 7)  30: A = PC, R12 = PC+2, IR preload start  word read start  59: Rd = R11, assign NVZ  11: next instruction  else  30: A = PC, PC = PC + 2, IR preload start  word read start  59: Rd = R11, assign NVZ, MCIR poll  01: next instruction  else  switch(dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, word rmw start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 2, word rmw start  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, word rmw start  case 4: -(Rd)  45: Rd = Rd – 2, A = Rd, word rmw start  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, word rmw start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, word rmw start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word rmw start  4D: wait read, R12 = Q,  A = Rd, word rmw start  48: wait read, R12 = Q & ~R11, assign NZV  19: Q = Q, write modified, data, assign NZV  11: next instruction |
| 05ssdd8 | BIS ss, dd | \*\*0- | Установка битов приемника по маске источника dd = dd | ss, V = 0, N = dd[15], Z = (dd==0)  if (dd address mode == 0) &&  (ss address mode == 0)  01: A = PC  IR preload start, word read start  if (ss register == PC) ||  (dd register == PC)  01: R12 = PC + 2  58: Rd = Rd | Rs, assign NZV  11: next instruction  else  01: PC = PC + 2  58: Rd = Rd | Rs, assign NZV   MCIR poll, wait read else  01: MCIR = 0112  switch (ss address mode)  case 0: Rs  47: R12 = Rs  5A: R11 = Rs  case 1: @Rs  47: A = Rs, R12 = Rs, word read start  04: wait read, R11 = Q  case 2: (Rs)+  47: A = Rs, Rs = Rs + 2, word read start  04: wait read, R11 = Q  case 3: @(Rs)+  47: A = Rs, word read start, Rs = Rs + 2  4E: wait read, R12 = Q,  A = Q, word read start  04: wait read, R11 = Q  case 4: -(Rs)  47: Rs = Rs – 2, A = Rs, word read start  04: wait read, R11 = Q  case 5: @-(Rs)  47: Rs = Rs – 2, A = Rs, word read start  4E: wait read, R12 = Q  A = Q, word read start  04: wait read, R11 = Q  case 6: E(Rs)  47: A = PC, word read start, PC = PC + 2  46: wait read, R12 = Rs + Q,  A = R12, word read start  04: wait read, R11 = Q  case 7: @E(Rs)  47: A = PC, word read start, PC = PC + 2  46: wait read, R12 = Rs + Q, A = R12  word read start  4E: wait read, R12 = Q,  A = Q, word read start  04: wait read, R11 = Q  if (dd address mode == 0)  if (dd register == 7)  30: A = PC, R12 = PC+2, IR preload start  word read start  59: Rd = R11, assign NVZ  11: next instruction  else  30: A = PC, PC = PC + 2, IR preload start  word read start  59: Rd = R11, assign NVZ, MCIR poll  01: next instruction  else  switch(dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, word rmw start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 2, word rmw start  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, word rmw start  case 4: -(Rd)  45: Rd = Rd – 2, A = Rd, word rmw start  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, word rmw start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, word rmw start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word rmw start  4D: wait read, R12 = Q,  A = Rd, word rmw start  48: wait read, R12 = Q | R11, assign NZV  19: Q = Q, write modified, data, assign NZV  11: next instruction |
| 06ssdd8 | ADD ss, dd | \*\*\*\* | Добавление источника к приемнику dd = ss + dd, assign CV, N = dd[15], Z = (dd==0)  if (dd address mode == 0) &&  (ss address mode == 0)  01: A = PC  IR preload start, word read start  if (ss register == PC) ||  (dd register == PC)  01: R12 = PC + 2  58: Rd = Rd + Rs, assign NZVC  11: next instruction  else  01: PC = PC + 2  58: Rd = Rd + Rs, assign NZVC   MCIR poll, wait read else  01: MCIR = 0102  switch (ss address mode)  case 0: Rs  47: R12 = Rs  5A: R11 = Rs  case 1: @Rs  47: A = Rs, R12 = Rs, word read start  04: wait read, R11 = Q  case 2: (Rs)+  47: A = Rs, Rs = Rs + 2, word read start  04: wait read, R11 = Q  case 3: @(Rs)+  47: A = Rs, word read start, Rs = Rs + 2  4E: wait read, R12 = Q,  A = Q, word read start  04: wait read, R11 = Q  case 4: -(Rs)  47: Rs = Rs – 2, A = Rs, word read start  04: wait read, R11 = Q  case 5: @-(Rs)  47: Rs = Rs – 2, A = Rs, word read start  4E: wait read, R12 = Q  A = Q, word read start  04: wait read, R11 = Q  case 6: E(Rs)  47: A = PC, word read start, PC = PC + 2  46: wait read, R12 = Rs + Q,  A = R12, word read start  04: wait read, R11 = Q  case 7: @E(Rs)  47: A = PC, word read start, PC = PC + 2  46: wait read, R12 = Rs + Q, A = R12  word read start  4E: wait read, R12 = Q,  A = Q, word read start  04: wait read, R11 = Q  if (dd address mode == 0)  if (dd register == 7)  30: A = PC, R12 = PC+2, IR preload start  word read start  59: Rd = R11, assign NVZ  11: next instruction  else  30: A = PC, PC = PC + 2, IR preload start  word read start  59: Rd = R11, assign NVZ, MCIR poll  01: next instruction  else  switch(dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, word rmw start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 2, word rmw start  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, word rmw start  case 4: -(Rd)  45: Rd = Rd – 2, A = Rd, word rmw start  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, word rmw start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, word rmw start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word rmw start  4D: wait read, R12 = Q,  A = Rd, word rmw start  48: wait read, R12 = Q + R11, assign NZVC  19: Q = Q, write modified, data, assign NZVC  11: next instruction |
| 070xxx8 071xxx8 072xxx8 073xxx8 | MUL DIV ASH ASHC | - | Недопустимая команда  01: user exception (0000108) |
| 074rdd8 | XOR r, dd | \*\*0- | Исключающее ИЛИ, в качестве источника допускается только регистр, нет байтовой версии инструкции dd = dd ^ Rr V = 0, N = dd[15], Z = (dd==0) if (dd address mode == 0)  01: A = PC  IR preload start, word read start  if (dd register == PC) ||  (r register == PC)  01: R12 = PC + 2  58: Rd = Rr ^ Rd, assign NZVC  11: next instruction  else  01: PC = PC + 2  58: Rd = Rr ^ Rd, assign NZVC,  MCIR poll, wait read  01: next instruction else  01: MCIR = 0112  5A: R11 = Rr  switch (dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, word rmw start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 2, word rmw start  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, word rmw start  case 4: -(Rd)  45: Rd = Rd – 2, A = Rd, word rmw start  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, word rmw start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, word rmw start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word read start  4D: wait read, R12 = Q,  A = Rd, word rmw start  48: wait read, Q = Q ^ R11, assign NZVC  modified data write  11: next instruction |
| 075xxx8 076xxx8 |  | - | Недопустимая команда  01: user exception (0000108) |
| 077ruu8 | SOB r, bb | - | Вычесть 1 из регистра единицу и выполнить переход, если результат вычитания ненулевой. Переход возможен только назад в пределах 63 слов от адреса “.+2” (на который указывает **PC** в момент исполнения команды), никакие флаги **PSW** не изменяются  01: GOTO 27 27: Rr = Rr – 1, set FR register 37: if (FR Z) R12 = PC – 2\*IR[5:0];  else PC = PC – 2\*IR[5:0]; 11: next instruction |
| 1000bb8 | BPL bb | - | Переход если N==0  01: MCIR = 0102 7B: if (!N)   PC = PC + sign extended(IR[7:0]\*2)  else  R12 = PC + sign extended(IR[7:0]\*2) 11: next instruction |
| 1004bb8 | BMI bb | - | Переход если N==1  01: MCIR = 0102 7B: if (N)   PC = PC + sign extended(IR[7:0]\*2)  else  R12 = PC + sign extended(IR[7:0]\*2) 11: next instruction |
| 1010bb8 | BHI bb | - | Переход если (Z | C)==0  01: MCIR = 0102 7B: if !(Z | C)   PC = PC + sign extended(IR[7:0]\*2)  else  R12 = PC + sign extended(IR[7:0]\*2) 11: next instruction |
| 1014bb8 | BLOS bb | - | Переход если (Z | C)==1  01: MCIR = 0102 7B: if (Z | C)   PC = PC + sign extended(IR[7:0]\*2)  else  R12 = PC + sign extended(IR[7:0]\*2) 11: next instruction |
| 1020bb8 | BVC bb | - | Переход если V==0  01: MCIR = 0102 7B: if !(V)   PC = PC + sign extended(IR[7:0]\*2)  else  R12 = PC + sign extended(IR[7:0]\*2) 11: next instruction |
| 1024bb8 | BVS bb | - | Переход если V==1  01: MCIR = 0102 7B: if (V)   PC = PC + sign extended(IR[7:0]\*2)  else  R12 = PC + sign extended(IR[7:0]\*2) 11: next instruction |
| 1030bb8 | BCC bb BHIS bb | - | Переход если C==0  01: MCIR = 0102 7B: if !(C)   PC = PC + sign extended(IR[7:0]\*2)  else  R12 = PC + sign extended(IR[7:0]\*2) 11: next instruction |
| 1034bb8 | BCS bb BLO bb | - | Переход если C==1  01: MCIR = 0102 7B: if (C)   PC = PC + sign extended(IR[7:0]\*2)  else  R12 = PC + sign extended(IR[7:0]\*2) 11: next instruction |
| 1040nn8 | EMT nn | \* | Инструкция EMT, записывает код исключения непосредственно в **MCIR** и перестартует исполнение с адреса 01, опрос блока прерываний не запускается, начнется обработка исключения по вектору 0000308 в пользовательском режиме  01: MCIR = 1012, VSEL = 01102; 01: user exception (0000308) |
| 1044nn8 | TRAP nn | \* | Инструкция TRAP, записывает код исключения непосредственно в **MCIR** и перестартует исполнение с адреса 01, опрос блока прерываний не запускается, начнется обработка исключения по вектору 0000348 в пользовательском режиме  01: MCIR = 1012, VSEL = 11002; 01: user exception (0000348) |
| 1050dd8 | CLRB dd | 0100 | Присвоение приемнику нулевого значения  dd = 0, V = 0, С = 0, N = 0, Z = 1  if (dd address mode == 0)  01: A = PC  IR preload start, word read start  if (dd register == PC)  01: R12 = PC + 2  31: MCIR = 1012  49: PC[7:0] = 000­8, assign NZVC  11: next instruction  else  01: PC = PC + 2  31: MCIR = 1012  49: Rd[7:0] = 0008, assign NZVC,  MCIR poll, wait read  01: next instruction else  01: MCIR = 1112  switch (dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, byte rmw start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 1, byte rmw start  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, byte rmw start  case 4: -(Rd)  45: Rd = Rd – 1, A = Rd, byte rmw start  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, byte rmw start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, byte rmw start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word read start  4D: wait read, R12 = Q,  A = Rd, byte rmw start  48: wait read, Q = 0000008, assign NZVC  modified byte data write  11: next instruction |
| 1051dd8 | COMB dd | \*\*01 | Побитовое инвертирование операнда dd = ~dd, V = 0, С = 0, N = dd[7], Z = (dd==0)  if (dd address mode == 0)  01: A = PC  IR preload start, word read start  if (dd register == PC)  01: R12 = PC + 2  31: MCIR = 1012  49: PC[7:0] ^= 377­8, assign NZVC  11: next instruction  else  01: PC = PC + 2  31: MCIR = 1012  49: Rd[7:0] ^= 3778, assign NZVC,  MCIR poll, wait read  01: next instruction else  01: MCIR = 1112  switch (dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, byte rmw start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 1, byte rmw start  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, byte rmw start  case 4: -(Rd)  45: Rd = Rd – 1, A = Rd, byte rmw start  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, byte rmw start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, byte rmw start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word read start  4D: wait read, R12 = Q,  A = Rd, byte rmw start  48: wait read, Q ^= 1777778, assign NZVC  modified byte data write  11: next instruction |
| 1052dd8 | INCB dd | \*\*\*- | Прибавление 1 к операнду dd = dd + 1, assign V, N = dd[7], Z = (dd==0) фактически V установится если dd был равен 1778  if (dd address mode == 0)  01: A = PC  IR preload start, word read start  if (dd register == PC)  01: R12 = PC + 2  31: MCIR = 1012  49: PC[7:0] += 18, assign NZV  11: next instruction  else  01: PC = PC + 2  31: MCIR = 1012  49: Rd[7:0] += 1, assign NZV,  MCIR poll, wait read  01: next instruction else  01: MCIR = 1112  switch (dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, byte rmw start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 1, byte rmw start  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, byte rmw start  case 4: -(Rd)  45: Rd = Rd – 1, A = Rd, byte rmw start  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, byte rmw start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, byte rmw start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word read start  4D: wait read, R12 = Q,  A = Rd, byte rmw start  48: wait read, Q = Q + 1, assign NZV  modified byte data write  11: next instruction |
| 1053dd8 | DECB dd | \*\*\*- | Вычитание 1 из операнда dd = dd - 1, assign V, N = dd[7], Z = (dd==0) фактически V установится если dd был равен 2008  if (dd address mode == 0)  01: A = PC  IR preload start, word read start  if (dd register == PC)  01: R12 = PC + 2  31: MCIR = 1012  49: PC[7:0] -= 18, assign NZV  11: next instruction  else  01: PC = PC + 2  31: MCIR = 1012  49: Rd[7:0] -= 1, assign NZV,  MCIR poll, wait read  01: next instruction else  01: MCIR = 1112  switch (dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, byte rmw start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 1, byte rmw start  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, byte rmw start  case 4: -(Rd)  45: Rd = Rd – 1, A = Rd, byte rmw start  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, byte rmw start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, byte rmw start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word read start  4D: wait read, R12 = Q,  A = Rd, byte rmw start  48: wait read, Q = Q - 1, assign NZV  modified byte data write  11: next instruction |
| 1054dd8 | NEGB dd | \*\*\*\* | Меняет знак операнда dd = ~dd + 1, assign CV, N = dd[7], Z = (dd==0) фактически V установится если dd был равен 2008  if (dd address mode == 0)  01: A = PC  IR preload start, word read start  if (dd register == PC)  01: R12 = PC + 2  31: MCIR = 1012  49: PC[7:0] = 0–PC[7:0], assign NZVC  11: next instruction  else  01: PC = PC + 2  31: MCIR = 1012  49: Rd[7:0] = 0-Rd[7:0], assign NZVC,  MCIR poll, wait read  01: next instruction else  01: MCIR = 1112  switch (dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, byte rmw start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 1, byte rmw start  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, byte rmw start  case 4: -(Rd)  45: Rd = Rd – 1, A = Rd, byte rmw start  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, byte rmw start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, byte rmw start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word read start  4D: wait read, R12 = Q,  A = Rd, byte rmw start  48: wait read, Q = 0 - Q, assign NZVC  modified byte data write  11: next instruction |
| 1055dd8 | ADCB dd | \*\*\*\* | Прибавление к операнду флага переноса **C** dd = dd + C, assign CV, N = dd[7], Z = (dd==0) фактически V установится если dd был равен 01778  if (dd address mode == 0)  01: A = PC  IR preload start, word read start  if (dd register == PC)  01: R12 = PC + 2  31: MCIR = 1012  49: PC[7:0] += C, assign NZVC  11: next instruction  else  01: PC = PC + 2  31: MCIR = 1012  49: Rd[7:0] += C, assign NZVC,  MCIR poll, wait read  01: next instruction else  01: MCIR = 1112  switch (dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, byte rmw start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 1, byte rmw start  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, byte rmw start  case 4: -(Rd)  45: Rd = Rd – 1, A = Rd, byte rmw start  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, byte rmw start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, byte rmw start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word read start  4D: wait read, R12 = Q,  A = Rd, byte rmw start  48: wait read, Q = Q + C, assign NZVC  modified byte data write  11: next instruction |
| 1056dd8 | SBCB dd | \*\*\*\* | Вычитание из операнда флага переноса **C** dd = dd - C, assign CV, N = dd[7], Z = (dd==0)  if (dd address mode == 0)  01: A = PC  IR preload start, word read start  if (dd register == PC)  01: R12 = PC + 2  31: MCIR = 1012  49: PC[7:0] -= C, assign NZVC  11: next instruction  else  01: PC = PC + 2  31: MCIR = 1012  49: Rd[7:0] -= C, assign NZVC,  MCIR poll, wait read  01: next instruction else  01: MCIR = 1112  switch (dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, byte rmw start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 1, byte rmw start  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, byte rmw start  case 4: -(Rd)  45: Rd = Rd – 1, A = Rd, byte rmw start  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, byte rmw start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, byte rmw start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word read start  4D: wait read, R12 = Q,  A = Rd, byte rmw start  48: wait read, Q = Q - C, assign NZVC  modified byte data write  11: next instruction |
| 1057dd8 | TSTB dd | \*\*00 | Установка флагов условий **PSW** соответственно операнду С = 0, V = 0, N = dd[7], Z = (dd==0)  if (dd address mode == 0)  01: A = PC  IR preload start, word read start  if (dd register == PC)  01: R12 = PC + 2  31: MCIR = 1012  49: PC = PC & 1777778, assign NZVC  11: next instruction  else  01: PC = PC + 2  31: MCIR = 1012  49: Rd = Rd & 1777778, assign NZVC,  MCIR poll, wait read  01: next instruction else  01: MCIR = 1012  switch (dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, word read start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 2, word read start  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, word read start  case 4: -(Rd)  45: Rd = Rd – 2, A = Rd, word read start  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, word read start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, word read start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word read start  4D: wait read, R12 = Q,  A = Rd, word read start  48: wait read, Q = Q & 1777778, assign NZVC  11: next instruction |
| 1060dd8 | RORB dd | \*\*\*\* | Кольцевой сдвиг вправо, вращает все биты операнда на одну позицию вправо, старший бит загружается из флага переноса, младший бит, выдвинутый из операнда, загружается во флаг переноса tmp = C, C = dd[0], dd = dd >> 1, dd[7] = tmp, N = dd[7], Z = (dd==0), V = C ^ N  if (dd address mode == 0)  01: A = PC  IR preload start, word read start  if (dd register == PC)  01: R12 = PC + 2  31: MCIR = 1012  49: PC[7:0] = RORB(PC), assign NZVC  11: next instruction  else  01: PC = PC + 2  31: MCIR = 1012  49: Rd[7:0] = RORB(Rd), assign NZVC,  MCIR poll, wait read  01: next instruction else  01: MCIR = 1112  switch (dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, byte rmw start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 1, byte rmw start  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, byte rmw start  case 4: -(Rd)  45: Rd = Rd – 1, A = Rd, byte rmw start  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, byte rmw start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, byte rmw start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word read start  4D: wait read, R12 = Q,  A = Rd, byte rmw start  48: wait read, Q = RORB(Q), assign NZVC  modified byte data write  11: next instruction |
| 1061dd8 | ROLB dd | \*\*\*\* | Кольцевой сдвиг влево, вращает все биты операнда на одну позицию влево, младший бит грузится из флага переноса, выдвинутый старший бит загружается во флаг переноса tmp = C, C = dd[7], dd = dd << 1, dd[0] = tmp, N = dd[7], Z = (dd==0), V = C ^ N  if (dd address mode == 0)  01: A = PC  IR preload start, word read start  if (dd register == PC)  01: R12 = PC + 2  31: MCIR = 1012  49: PC[7:0] = ROLB(PC), assign NZVC  11: next instruction  else  01: PC = PC + 2  31: MCIR = 1012  49: Rd[7:0] = ROLB(Rd), assign NZVC,  MCIR poll, wait read  01: next instruction else  01: MCIR = 1112  switch (dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, byte rmw start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 1, byte rmw start  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, byte rmw start  case 4: -(Rd)  45: Rd = Rd – 1, A = Rd, byte rmw start  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, byte rmw start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, byte rmw start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word read start  4D: wait read, R12 = Q,  A = Rd, byte rmw start  48: wait read, Q = ROLB(Q), assign NZVC  modified byte data write  11: next instruction |
| 1062dd8 | ASRB dd | \*\*\*\* | Арифметический сдвиг вправо, содержимое операнда сдвигается на одну позицию вправо, старший (знаковый) бит остается неизменным, флаг переноса грузится содержимым выдвинутого бита. Операцию можно трактовать как целочисленное деление знакового операнда на два, с остатком, остающимся во флаге переноса C = dd[0], dd = dd >> 1, dd[7] = dd[6], N = dd[7], Z = (dd==0), V = C ^ N  if (dd address mode == 0)  01: A = PC  IR preload start, word read start  if (dd register == PC)  01: R12 = PC + 2  31: MCIR = 1012  49: PC[7:0] = ASRB(PC), assign NZVC  11: next instruction  else  01: PC = PC + 2  31: MCIR = 1012  49: Rd[7:0] = ASRB(Rd), assign NZVC,  MCIR poll, wait read  01: next instruction else  01: MCIR = 1112  switch (dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, byte rmw start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 1, byte rmw start  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, byte rmw start  case 4: -(Rd)  45: Rd = Rd – 1, A = Rd, byte rmw start  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, byte rmw start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, byte rmw start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word read start  4D: wait read, R12 = Q,  A = Rd, byte rmw start  48: wait read, Q = ASRB(Q), assign NZVC  modified byte data write  11: next instruction |
| 1063dd8 | ASLB dd | \*\*\*\* | Арифметический сдвиг влево, содержимое операнда сдвигается на одну позицию влево, младший бит обнуляется, выдвинутый знаковый бит грузится во флаг переноса. Операцию можно рассматривать как целочисленное умножение операнда на два C = dd[7], dd = dd <<1, N = dd[7], Z = (dd==0), V = C ^ N  if (dd address mode == 0)  01: A = PC  IR preload start, word read start  if (dd register == PC)  01: R12 = PC + 2  31: MCIR = 1012  49: PC[7:0] = ASLB(PC), assign NZVC  11: next instruction  else  01: PC = PC + 2  31: MCIR = 1012  49: Rd[7:0] = ASLB(Rd), assign NZVC,  MCIR poll, wait read  01: next instruction else  01: MCIR = 1112  switch (dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, byte rmw start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 1, byte rmw start  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, byte rmw start  case 4: -(Rd)  45: Rd = Rd – 1, A = Rd, byte rmw start  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, byte rmw start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, byte rmw start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word read start  4D: wait read, R12 = Q,  A = Rd, byte rmw start  48: wait read, Q = ASLB(Q), assign NZVC  modified byte data write  11: next instruction |
| 1064ss8 | MTPS ss | \* | Запись источника в слово состояния процессора **PSW**, позволяет задать только младшие 8 бит **PSW**, бит **T** не изменяется. Операндом является байт – автоинкремент и автодекремент адреса на единицу.  if (dd address mode == 0)  01: A = PC, IR preload start,  word read start, R12 = PC + 2  50: Rd = Rd & ~0000208, Q = Rd  37: PSW[7:0] = PSW[7:0] & 0000208  36: PSW[7:0] = PSW[7:0] | Q  11: next instruction else  01: MCIR = 1012  switch (dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, byte read start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 1, byte read start  55: R12 = Rd – 1  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, byte read start  case 4: -(Rd)  45: Rd = Rd – 1, A = Rd, byte read start  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, byte read start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, byte read start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word read start  4D: wait read, R12 = Q,  A = Rd, byte start  48: wait read, Q = Q & ~0000208  37: PSW[7:0] = PSW[7:0] & 0000208  36: PSW[7:0] = PSW[7:0] | Q  11: next instruction |
| 1065xx8 1066xx8 | MFPD MTPD | - | Недопустимая команда  01: user exception (0000108) |
| 1067dd8 | MFPS dd | \*\*0- | Запись в приемник слова состояния процессора **PSW**, трактуется как байтовая, если приемником является регистр то старший байт заполняется знаковым расширением (как MOVB)  if (dd address mode == 0)  01: A = PC  IR preload start, word read start  if (dd register == PC)  01: R12 = PC + 2  50: PC = PSW   51: if (N) PC |= 1774008  else PC &= ~1774008  assign NZV  11: next instruction  else  01: PC = PC + 2  50: Rd = PSW  51: if (N) Rd |= 1774008  else Rd &= ~1774008  assign NZV, MCIR poll, wait read  01: next instruction else  01: MCIR = 1112  switch (dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, byte rmw start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 1, byte rmw start  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, byte rmw start  case 4: -(Rd)  45: Rd = Rd – 1, A = Rd, byte rmw start  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, byte rmw start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, byte rmw start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word read start  4D: wait read, R12 = Q,  A = Rd, byte rmw start  48: wait read, Q = PSW, assign NZV  modified byte data write  11: next instruction |
| 107xxx8 |  | - | Недопустимая команда  01: user exception (0000108) |
| 11ssdd8 | MOVB ss, dd | \*\*0- | Присвоение приемнику значения источника, Если приемник является регистром, то старший байт принимает значение знакового расширения младшего байта  dd = ss, V = 0, N = dd[7], Z = (dd[7:0]==0), if (dd addressing mode == 0) dd[15:8] = dd[7] ? 3778 : 0  if (dd address mode == 0) &&  (ss address mode == 0)  01: A = PC  IR preload start, word read start  if (ss register == PC) ||  (dd register == PC)  01: R12 = PC + 2  58: Rd = Rs  51: if (N) Rd |= 1774008  else Rd &= ~1774008  assign NZV  11: next instruction  else  01: PC = PC + 2  58: Rd = Rs  51: if (N) Rd |= 1774008  else Rd &= ~1774008  assign NZV, MCIR poll, wait read  01: next instruction else  01: MCIR = 0112  switch (ss address mode)  case 0: Rs  47: R12 = Rs  5A: R11 = Rs  case 1: @Rs  47: A = Rs, R12 = Rs, byte read start  04: wait read, R11 = Q  case 2: (Rs)+  47: A = Rs, Rs = Rs + 2, byte read start  04: wait read, R11 = Q  case 3: @(Rs)+  47: A = Rs, word read start, Rs = Rs + 2  4E: wait read, R12 = Q,  A = Q, byte read start  04: wait read, R11 = Q  case 4: -(Rs)  47: Rs = Rs – 2, A = Rs, byte read start  04: wait read, R11 = Q  case 5: @-(Rs)  47: Rs = Rs – 2, A = Rs, word read start  4E: wait read, R12 = Q  A = Q, byte read start  04: wait read, R11 = Q  case 6: E(Rs)  47: A = PC, word read start, PC = PC + 2  46: wait read, R12 = Rs + Q,  A = R12, byte read start  04: wait read, R11 = Q  case 7: @E(Rs)  47: A = PC, word read start, PC = PC + 2  46: wait read, R12 = Rs + Q, A = R12  word read start  4E: wait read, R12 = Q,  A = Q, byte read start  04: wait read, R11 = Q  if (dd address mode == 0)  if (dd register == 7)  30: A = PC, R12 = PC + 2,  IR preload start, word read start  59: Rd = R11  51: if (N) Rd |= 1774008  else Rd &= ~1774008  assign NZV, MCIR poll, wait read  11: next instruction  else  30: A = PC, PC = PC + 2, IR preload start  word read start  59: Rd = R11  51: if (N) Rd |= 1774008  else Rd &= ~1774008  assign NZV, MCIR poll, wait read  01: next instruction  else  switch(dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, byte write start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 2, byte write  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, byte write start  case 4: -(Rd)  45: Rd = Rd – 2, A = Rd, byte write  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, byte write start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, byte write start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  byte read start  4D: wait read, R12 = Q,  A = Rd, word write start  48: R12 = R11, Q = R11, data byte write  19: Q = Q, assign NZV  11: next instruction |
| 12ssdd8 | CMPB ss, dd | \*\*\*\* | Вычисление разности (ss – dd) без сохранения результата в приемнике, установка флагов **PSW** по результатам вычислений. Операция не изменяет исходных операндов. Порядок вычитания отличается от команды SUB.  tmp = ss[7:0] – dd[7:0], assign CV, N = tmp[7], Z = (tmp==0)  if (dd address mode == 0) &&  (ss address mode == 0)  01: A = PC  IR preload start, word read start  if (ss register == PC) ||  (dd register == PC)  01: R12 = PC + 2  58: R12[7:0] = Rs[7:0] – Rd[7:0],  assign NZVC  11: next instruction  else  01: PC = PC + 2  58: R12[7:0] = Rs[7:0] – Rd[7:0],  assign NZVC, MCIR poll, wait read else  01: MCIR = 0012  switch (ss address mode)  case 0: Rs  47: R12 = Rs  5A: R11 = Rs  case 1: @Rs  47: A = Rs, R12 = Rs, byte read start  04: wait read, R11 = Q  case 2: (Rs)+  47: A = Rs, Rs = Rs + 2, byte read start  04: wait read, R11 = Q  case 3: @(Rs)+  47: A = Rs, word read start, Rs = Rs + 2  4E: wait read, R12 = Q,  A = Q, byte read start  04: wait read, R11 = Q  case 4: -(Rs)  47: Rs = Rs – 2, A = Rs, byte read start  04: wait read, R11 = Q  case 5: @-(Rs)  47: Rs = Rs – 2, A = Rs, word read start  4E: wait read, R12 = Q  A = Q, byte read start  04: wait read, R11 = Q  case 6: E(Rs)  47: A = PC, word read start, PC = PC + 2  46: wait read, R12 = Rs + Q,  A = R12, byte read start  04: wait read, R11 = Q  case 7: @E(Rs)  47: A = PC, word read start, PC = PC + 2  46: wait read, R12 = Rs + Q, A = R12  word read start  4E: wait read, R12 = Q,  A = Q, byte read start  04: wait read, R11 = Q  if (dd address mode == 0)  if (dd register == 7)  30: A = PC, R12 = PC+2, IR preload start  word read start  59: R12 = Rs[7:0] – Rd[7:0], assign NZVC  11: next instruction  else  30: A = PC, PC = PC + 2, IR preload start  word read start  59: R12 = Rs[7:0] – Rd[7:0],  assign NZVC, MCIR poll  01: next instruction  else  switch(dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, byte read start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 2, byte read  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, byte read start  case 4: -(Rd)  45: Rd = Rd – 2, A = Rd, byte read  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, byte read start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, byte read start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word read start  4D: wait read, R12 = Q,  A = Rd, byte read start  48: wait read, Q = R11[7:0] – Q[7:0],  assign NZVC  19: Q = Q, assign NZV  11: next instruction |
| 13ssdd8 | BITB ss, dd | \*\*0- | Проверка битов приемника по маске источника tmp = ss & dd, V = 0, N = tmp[7], Z = (tmp==0)  if (dd address mode == 0) &&  (ss address mode == 0)  01: A = PC  IR preload start, word read start  if (ss register == PC) ||  (dd register == PC)  01: R12 = PC + 2  58: R12[7:0] = Rs[7:0] & Rd[7:0],  assign NZV  11: next instruction  else  01: PC = PC + 2  58: R12[7:0] = Rs[7:0] & Rd[7:0],  assign NZV, MCIR poll, wait read else  01: MCIR = 0012  switch (ss address mode)  case 0: Rs  47: R12 = Rs  5A: R11 = Rs  case 1: @Rs  47: A = Rs, R12 = Rs, byte read start  04: wait read, R11 = Q  case 2: (Rs)+  47: A = Rs, Rs = Rs + 2, byte read start  04: wait read, R11 = Q  case 3: @(Rs)+  47: A = Rs, word read start, Rs = Rs + 2  4E: wait read, R12 = Q,  A = Q, byte read start  04: wait read, R11 = Q  case 4: -(Rs)  47: Rs = Rs – 2, A = Rs, byte read start  04: wait read, R11 = Q  case 5: @-(Rs)  47: Rs = Rs – 2, A = Rs, word read start  4E: wait read, R12 = Q  A = Q, byte read start  04: wait read, R11 = Q  case 6: E(Rs)  47: A = PC, word read start, PC = PC + 2  46: wait read, R12 = Rs + Q,  A = R12, byte read start  04: wait read, R11 = Q  case 7: @E(Rs)  47: A = PC, word read start, PC = PC + 2  46: wait read, R12 = Rs + Q, A = R12  word read start  4E: wait read, R12 = Q,  A = Q, byte read start  04: wait read, R11 = Q  if (dd address mode == 0)  if (dd register == 7)  30: A = PC, R12 = PC+2, IR preload start  word read start  59: R12 = Rs[7:0] – Rd[7:0], assign NZVC  11: next instruction  else  30: A = PC, PC = PC + 2, IR preload start  word read start  59: R12 = Rs[7:0] & Rd[7:0],  assign NZVC, MCIR poll  01: next instruction  else  switch(dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, byte read start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 2, byte read  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, byte read start  case 4: -(Rd)  45: Rd = Rd – 2, A = Rd, byte read  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, byte read start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, byte read start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word read start  4D: wait read, R12 = Q,  A = Rd, byte read start  48: wait read, Q = R11[7:0] & Q[7:0],  assign NZVC  19: Q = Q, assign NZV  11: next instruction |
| 14ssdd8 | BICB ss, dd | \*\*0- | Сброс битов приемника по маске источника dd = dd & ~ss, V = 0, N = dd[7], Z = (dd==0)  if (dd address mode == 0) &&  (ss address mode == 0)  01: A = PC  IR preload start, word read start  if (ss register == PC) ||  (dd register == PC)  01: R12 = PC + 2  58: Rd[7:0] = Rs[7:0] & ~Rd[7:0],  assign NZV  11: next instruction  else  01: PC = PC + 2  58: Rd[7:0] = Rs[7:0] & ~Rd[7:0],  assign NZV, MCIR poll, wait read else  01: MCIR = 0112  switch (ss address mode)  case 0: Rs  47: R12 = Rs  5A: R11 = Rs  case 1: @Rs  47: A = Rs, R12 = Rs, byte read start  04: wait read, R11 = Q  case 2: (Rs)+  47: A = Rs, Rs = Rs + 2, byte read start  04: wait read, R11 = Q  case 3: @(Rs)+  47: A = Rs, word read start, Rs = Rs + 2  4E: wait read, R12 = Q,  A = Q, byte read start  04: wait read, R11 = Q  case 4: -(Rs)  47: Rs = Rs – 2, A = Rs, byte read start  04: wait read, R11 = Q  case 5: @-(Rs)  47: Rs = Rs – 2, A = Rs, word read start  4E: wait read, R12 = Q  A = Q, byte read start  04: wait read, R11 = Q  case 6: E(Rs)  47: A = PC, word read start, PC = PC + 2  46: wait read, R12 = Rs + Q,  A = R12, byte read start  04: wait read, R11 = Q  case 7: @E(Rs)  47: A = PC, word read start, PC = PC + 2  46: wait read, R12 = Rs + Q, A = R12  word read start  4E: wait read, R12 = Q,  A = Q, byte read start  04: wait read, R11 = Q  if (dd address mode == 0)  switch(dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, byte rmw start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 2, byte rmw  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, byte rmw start  case 4: -(Rd)  45: Rd = Rd – 2, A = Rd, byte rmw start 55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, byte rmw start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, byte rmw start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word read start  4D: wait read, R12 = Q,  A = Rd, byte rmw start  48: wait read, Q = R11[7:0] & ~Q[7:0],  assign NZV, write modified byte data  19: Q = Q, assign NZV  11: next instruction |
| 15ssdd8 | BISB ss, dd | \*\*0- | Установка битов приемника по маске источника dd = dd | ss, V = 0, N = dd[7], Z = (dd==0)  if (dd address mode == 0) &&  (ss address mode == 0)  01: A = PC  IR preload start, word read start  if (ss register == PC) ||  (dd register == PC)  01: R12 = PC + 2  58: Rd[7:0] = Rs[7:0] | Rd[7:0],  assign NZV  11: next instruction  else  01: PC = PC + 2  58: Rd[7:0] = Rs[7:0] | Rd[7:0],  assign NZV, MCIR poll, wait read else  01: MCIR = 0112  switch (ss address mode)  case 0: Rs  47: R12 = Rs  5A: R11 = Rs  case 1: @Rs  47: A = Rs, R12 = Rs, byte read start  04: wait read, R11 = Q  case 2: (Rs)+  47: A = Rs, Rs = Rs + 2, byte read start  04: wait read, R11 = Q  case 3: @(Rs)+  47: A = Rs, word read start, Rs = Rs + 2  4E: wait read, R12 = Q,  A = Q, byte read start  04: wait read, R11 = Q  case 4: -(Rs)  47: Rs = Rs – 2, A = Rs, byte read start  04: wait read, R11 = Q  case 5: @-(Rs)  47: Rs = Rs – 2, A = Rs, word read start  4E: wait read, R12 = Q  A = Q, byte read start  04: wait read, R11 = Q  case 6: E(Rs)  47: A = PC, word read start, PC = PC + 2  46: wait read, R12 = Rs + Q,  A = R12, byte read start  04: wait read, R11 = Q  case 7: @E(Rs)  47: A = PC, word read start, PC = PC + 2  46: wait read, R12 = Rs + Q, A = R12  word read start  4E: wait read, R12 = Q,  A = Q, byte read start  04: wait read, R11 = Q  if (dd address mode == 0)  switch(dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, byte rmw start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 2, byte rmw  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, byte rmw start  case 4: -(Rd)  45: Rd = Rd – 2, A = Rd, byte rmw start 55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, byte rmw start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, byte rmw start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word read start  4D: wait read, R12 = Q,  A = Rd, byte rmw start  48: wait read, Q = R11[7:0] | Q[7:0],  assign NZV, write modified byte data  19: Q = Q, assign NZV  11: next instruction |
| 16ssdd8 | SUB ss, dd | \*\*\*\* | Вычитание источника из приемника dd = dd - ss, assign CV, N = dd[15], Z = (dd==0)  if (dd address mode == 0) &&  (ss address mode == 0)  01: A = PC  IR preload start, word read start  if (ss register == PC) ||  (dd register == PC)  01: R12 = PC + 2  58: Rd = Rd - Rs, assign NZVC  11: next instruction  else  01: PC = PC + 2  58: Rd = Rd - Rs, assign NZVC   MCIR poll, wait read else  01: MCIR = 0102  switch (ss address mode)  case 0: Rs  47: R12 = Rs  5A: R11 = Rs  case 1: @Rs  47: A = Rs, R12 = Rs, word read start  04: wait read, R11 = Q  case 2: (Rs)+  47: A = Rs, Rs = Rs + 2, word read start  04: wait read, R11 = Q  case 3: @(Rs)+  47: A = Rs, word read start, Rs = Rs + 2  4E: wait read, R12 = Q,  A = Q, word read start  04: wait read, R11 = Q  case 4: -(Rs)  47: Rs = Rs – 2, A = Rs, word read start  04: wait read, R11 = Q  case 5: @-(Rs)  47: Rs = Rs – 2, A = Rs, word read start  4E: wait read, R12 = Q  A = Q, word read start  04: wait read, R11 = Q  case 6: E(Rs)  47: A = PC, word read start, PC = PC + 2  46: wait read, R12 = Rs + Q,  A = R12, word read start  04: wait read, R11 = Q  case 7: @E(Rs)  47: A = PC, word read start, PC = PC + 2  46: wait read, R12 = Rs + Q, A = R12  word read start  4E: wait read, R12 = Q,  A = Q, word read start  04: wait read, R11 = Q  if (dd address mode == 0)  if (dd register == 7)  30: A = PC, R12 = PC+2, IR preload start  word read start  59: Rd = R11, assign NVZ  11: next instruction  else  30: A = PC, PC = PC + 2, IR preload start  word read start  59: Rd = R11, assign NVZ, MCIR poll  01: next instruction  else  switch(dd address mode)  case 0: Rd  45: user exception (0000108)  case 1: @Rd  45: A = Rd, R12 = Rd, word rmw start  case 2: (Rd)+  45: A = Rd, Rd = Rd + 2, word rmw start  55: R12 = Rd – 2  case 3: @(Rd)+  45: A = Rd, word read start, Rd = Rd + 2  4D: wait read, R12 = Q,  A = Q, word rmw start  case 4: -(Rd)  45: Rd = Rd – 2, A = Rd, word rmw start  55: R12 = Rd  case 5: @-(Rd)  45: Rd = Rd – 2, A = Rd, word read start  4D: wait read, R12 = Q  A = Q, word rmw start  case 6: E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q,  A = R12, word rmw start  case 7: @E(Rd)  45: A = PC, word read start, PC = PC + 2  4C: wait read, R12 = Rd + Q, A = R12  word rmw start  4D: wait read, R12 = Q,  A = Rd, word rmw start  48: wait read, R12 = Q - R11, assign NZVC  19: Q = Q, write modified, data, assign NZVC  11: next instruction |
| 17xxxx8 |  | - | Недопустимая команда  01: user exception (0000108) |

# Обнаруженные ошибки

|  |
| --- |
| Флаг переноса **C** трактуется инструкциями условного перехода как сброшенный после инструкций MOVB xx, Rd и MFPS Rd (только с указанными режимами адресации приемника) [7]. Ошибка локализована по микроадресу 0x51 (для 1801ВМ1А), на этом микроадресе выполняется знаковое расширение байта в регистр результата, при этом временное значение флага **C** в промежуточном регистре флагов устанавливается нулевым и может быть использовано следующей инструкцией условного перехода:  sec ; установим флаг C  movb R1, R0 ; флаг С не должен измениться  bcc 1$ ; переход будет выполнен (неверно)  Значение флага **C** в реальном регистре **PSW** устанавливается всегда корректно, значение флага в промежуточном регистре влияет только на инструкции перехода.  sec ; установим флаг C  movb R1, R0 ; флаг С не должен измениться  mfps R2 ; бит 0 в R2 будет единичным (верно)  bcc 1$ ; переход будет выполнен (неверно)  При выполнении любой инструкции (кроме MOVB xx, Rd и MFPS Rd) промежуточный регистр флагов перезаписывается из реального **PSW** и инструкции условного перехода начинают работать правильно  sec ; установим флаг C  movb R1, R0 ; флаг С не должен измениться  nop ;  bcc 1$ ; переход не будет выполнен (верно)  Микроадрес 0x51 используется инструкциями MOVB xx, Rd и MFPS Rd, а также инструкцией SWAB Rd (для выставления флагов **N** и **Z** по младшему байту результата), но инструкция SWAB предполагает сброс флага **C**, поэтому данная ошибка не проявляется. |

# Маркировка

Маркировка процессоров К1801ВМ1 в различные периоды их промышленного выпуска осуществлялась согласно начального ТУ и нескольких последующих изменений.

|  |  |  |
| --- | --- | --- |
| Начальное ТУ бК0.348.570-02ТУ-81 | 1.12.81 до 31.12.83 | К1801ВМ1А - одна точка К1801ВМ1Б - две точки |
| Изменение ТУ №3 от 1.09.83г | 1.01.84 до 31.12.89 | К1801ВМ1А - одна точка К1801ВМ1Б - две точки К1801ВМ1В - три точки К1801ВМ1Г - четыре точки |
| Изменение ТУ №8 от 21.04.89г. | 1.01.90 | К1801ВМ1А - без точек К1801ВМ1Б - одна точка К1801ВМ1Г - две точки |

# Ссылки

1. Сборное описание 1801ВМx - http://vak.ru/doku.php/proj/bk/1801vm1

2. Статья о маркировке 1801ВМ1 - http://sovietcpu.com/articles/69-label-1801

3. Тема о реверс-инжиниринге 1801ВМ1 - http://zx-pk.ru/showthread.php?t=23978

4. Описание на 155la3.ru - http://www.155la3.ru/k1801.htm

5. Википедия - https://ru.wikipedia.org/wiki/1801BMx

6. ГОСТ 26765.51-86 Интерфейс МПИ - <http://rfgost.ru/gost/332002/download>

7. Статья об ошибке в 1801ВМ1- <https://m.habr.com/ru/post/471020/>