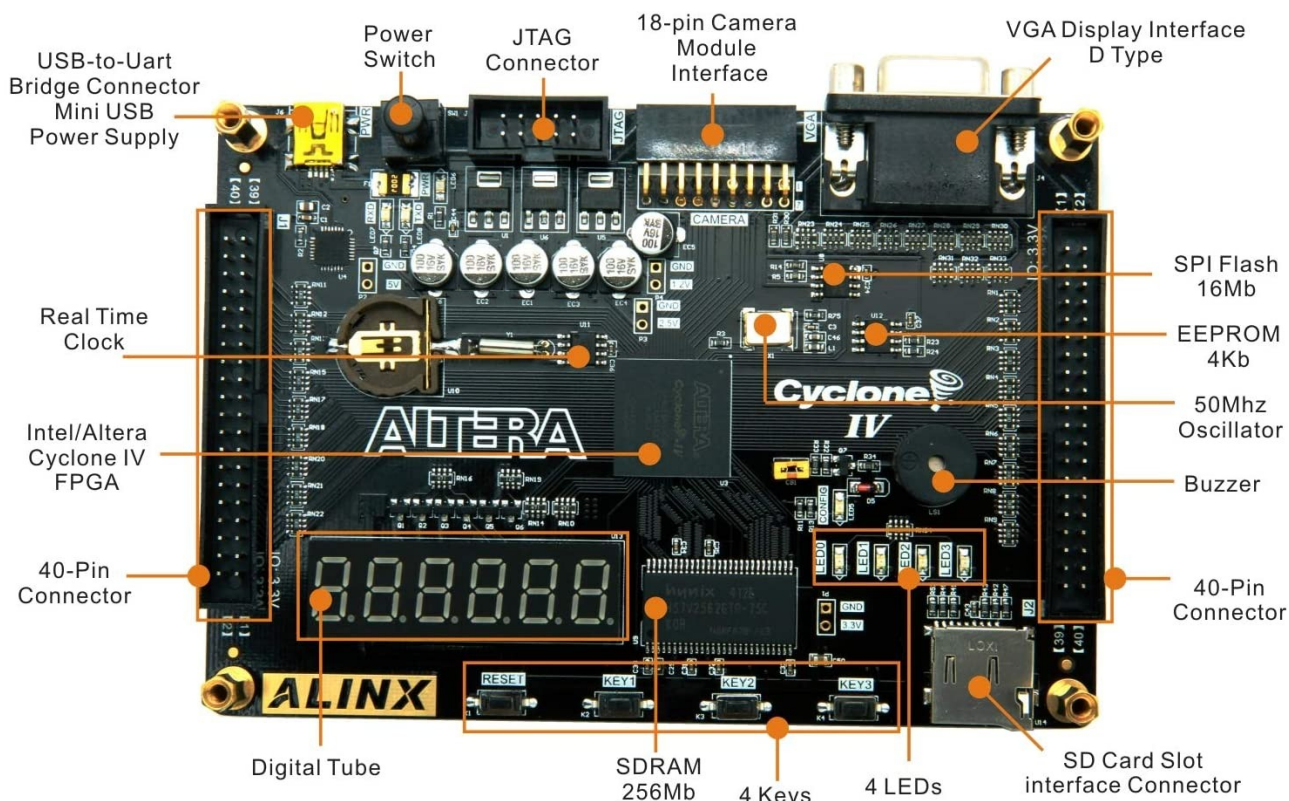


## Вариант проекта для платы ALINX AX4010

Плата AX4010 основана на FPGA Altera EP4CE10. Плата содержит на борту все необходимое для реализации проекта, кроме разъема PS/2 и набора переключателей.

Плата выглядит так:



VGA интерфейс платы содержит 5-битные цап для каналов R и B, и 6-битный ЦАП для канала G. В данном проекте управление яркостью цветов не используется, но можно настраивать оттенки цветов и цветовой баланс изображения, настраивая константы в схеме управления видео-ЦАП интерфейсного модуля.

На плате имеется две 40-пиновой гребенки, на которые выведена большая часть неиспользуемых ножек FPGA. Этот интерфейс можно использовать для подключения собственной периферии, и использовать эту плату в качестве контроллера, управляющего каким-либо оборудованием. Именно в этом качестве такая плата трудится у нас в лаборатории с лета 2020 года и показала себя с самой лучшей стороны.

Подключение клавиатуры PS/2:

PS/2 clk	pin R12
PS/2 data	pin R11

Разумеется, вы можете выбрать любую другую пару пинов для подключения клавиатуры. Питание +5v имеется на обеих 40-пиновых гребенках. Поскольку линии PS/2 — это выходы с открытым коллектором, то обе линии клавиатуры можно подключать прямо к ножкам FPGA, что обычно и бывает сделано на всех китайских платах. Линии следует подтянуть к питанию 3.3v или с помощью внешних резисторов, или активировав встроенные в FPGA

подтягивающие резисторы, включив опцию weak pull-up resistors в assignments editor. Для вышеуказанных ножек R11 и R12 это уже сделано в проекте.

В текущей конфигурации, для упрощения запуска проекта, набор переключателей конфигурации не вынесен наружу, вместо него в головном модуле ax4010 жестко прописаны их значения. Но нет никаких проблем вынести переключатели на любые из множества свободных ножек.

bt_reset	Общий сброс	button[0]	
bt_halt	Программа-пульт	button[1]	
bt_terminal_rst	Сброс терминала	button[2]	
bt_timer	Переключатель таймера	button[3]	
sw_diskbank	Выбор дискового банка		2'b00
sw_console	Выбор консольного порта		2'b0
sw_cpuslow	Режим замедления процессора		2'b0
rk_led	Активность диска RK	led[0]	
dx_led, my_led	Активность дисков DX, MY	led[2]	
dw_led	Активность диска DW	led[1]	
timer_led	Признак включения таймера	led[3]	

Плата отлично подходит для реализации проекта, и уже проверена в боевых условиях. Если вам достаточно проекта в его текущем виде (с одним из реализованных процессоров), то плата однозначно рекомендуется к покупке. Однако, если далее будут созданы HDL-модели более совершенных процессоров, с диспетчером памяти, в эту FPGA они уже, скорее всего, не влезут.