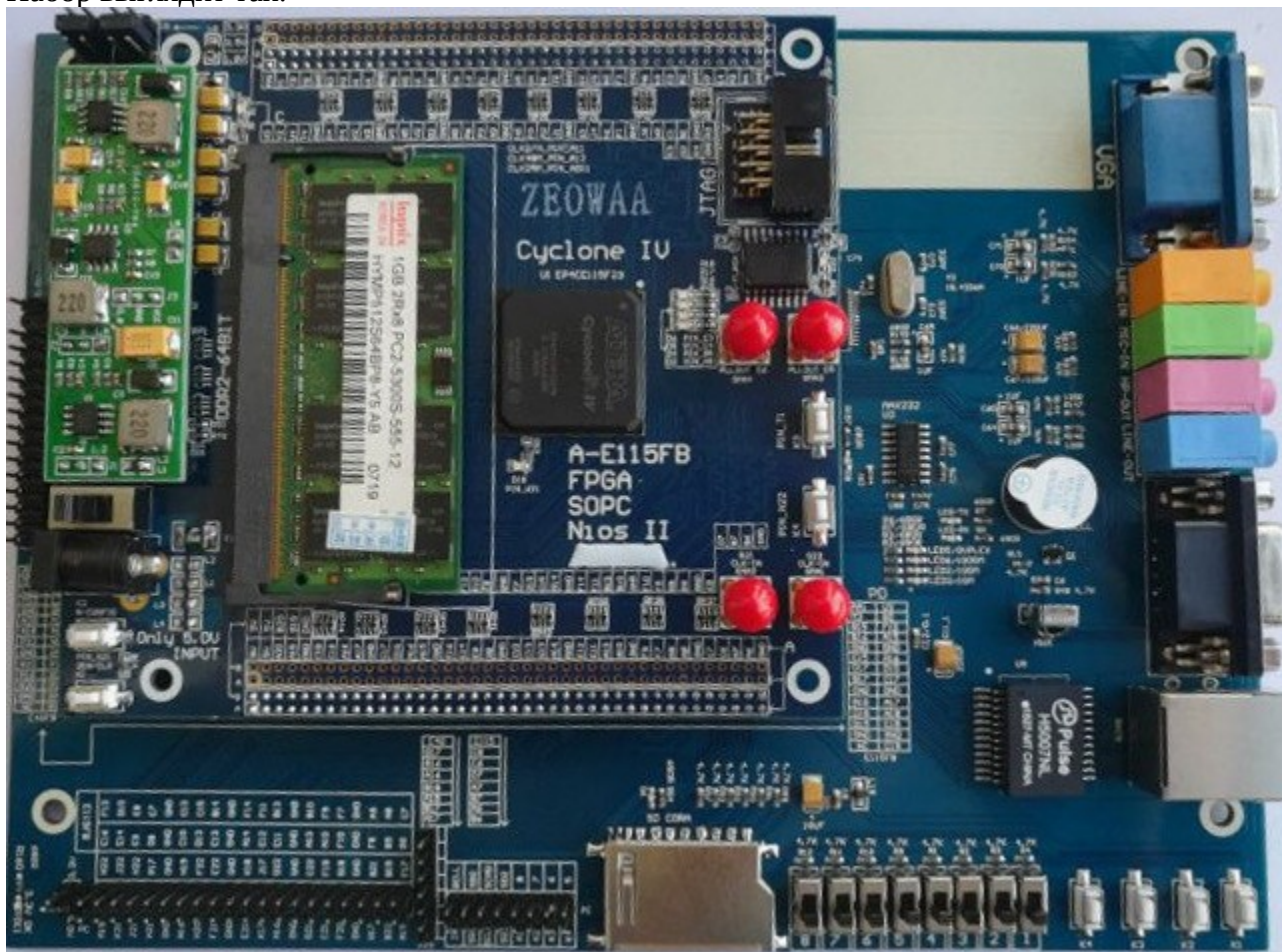


Вариант проекта для платы A-E115FB

Этот набор состоит из двух плат: FPGA-платы A-E115FB и дочерней платы ввода-вывода. Набор выглядит так:



На FPGA-плате установлена FPGA Altera EP4CE115F23I7. Эта FPGA - самая старшая из линейки Cyclone 4. В качестве блока оперативной памяти установлена колодка под SO-DIMM DDR2.

На дочерней плате ввода-вывода имеется последовательный порт, VGA, разъем SD-карты, пьезопищалка, гигабитный сетевой адаптер, звуковой кодек WM8731, 4 светодиода, 4 кнопки и 8 переключателей конфигурации. Таким образом, для реализации проекта не хватает только разъема PS/2.

VGA ЦАП платы построен на микросхеме ADV7123, каждый из каналов представлен 8-битным DAC. В данном проекте управление яркостью цветов не используется, но можно настраивать оттенки цветов и цветовой баланс изображения, настраивая константы в схеме управления видео-ЦАП интерфейсного модуля. Также ADV7123 требует передачи на него пиксельной частоты 50 МГц и двух дополнительных сигналов управления.

Распределение органов управления и индикации:

bt_reset	Общий сброс	button[0]	PIN F8
bt_halt	Программа-пульт	button[1]	PIN F10
bt_terminal_rst	Сброс терминала	button[2]	PIN A10

bt_timer	Переключатель таймера	button[3]	PIN A13
sw_diskbank	Выбор дискового банка	sw[1:0]	PIN F7,A9
sw_console	Выбор консольного порта	sw[2]	PIN F9
sw_cpuslow	Режим замедления процессора	sw[3]	PIN B10
rk_led	Активность диска RK	led[0]	
dx_led	Активность диска DX	led[1]	
my_led	Активность диска MY	led[2]	
dw_led	Активность диска DW	led[3]	
timer_led	Признак включения таймера	led[4]	
buzzer	Звуковая пищалка терминала	buzzer	PIN B6

Кнопки, переключатели, пищалка и SD-карта не подсоединены напрямую к FPGA. Они все выведены на отдельную гребенку, с помощью внешних перемычек все эти сигналы можно подключить к любым свободным портам FPGA. В данном случае подключение производится по вышеприведенной таблице.

Подключение клавиатуры PS/2:

PS/2 clk	pin B15
PS/2 data	pin B16

Поскольку линии PS/2 — это выходы с открытым коллектором, то обе линии клавиатуры можно подключать прямо к ножкам FPGA, что обычно и бывает сделано на всех китайских платах.

Поскольку для текущей реализации проекта достаточно 64К памяти, я не стал встраивать в схему контроллер DDR2, а просто выделил блок altsyncram из внутренней памяти. Также, по результатам временного анализа, частоту процессоров BM1 и BM2 пришлось понизить до 75 МГц. На 100МГц тоже все вроде как работает, но отрицательные слаки в 4нс не позволяют оставить такую частоту в качестве рабочей. Желающие могут попробовать сами.

На этой плате нет источника тактовой частоты 50 МГц. Поэтому PLL здесь питается от имеющейся частоты 25 МГц, а 50 МГц синтезируется.

Данная плата, конечно, более чем избыточна для реализации проекта. Я включил ее в проект в основном для демонстрации того, что можно сделать при нестандартной тактовой частоте, нестандартном VGA DAC и нестандартной памяти.