西南交通大学
Southwest Jiaotong University

第七章 基本输入输出接口

❖ 本章内容提要

1. 输入输出接口功能及其数据交换方式;
2. 8255结构、功能与应用;
3. 8253/8254结构、功能与应用;
4. 8259A结构、功能与应用;
5. 串行通信的基本概念;
6. 16C550芯片结构、功能与应用。

第一节

输入输出接口功能及其数据交换方式

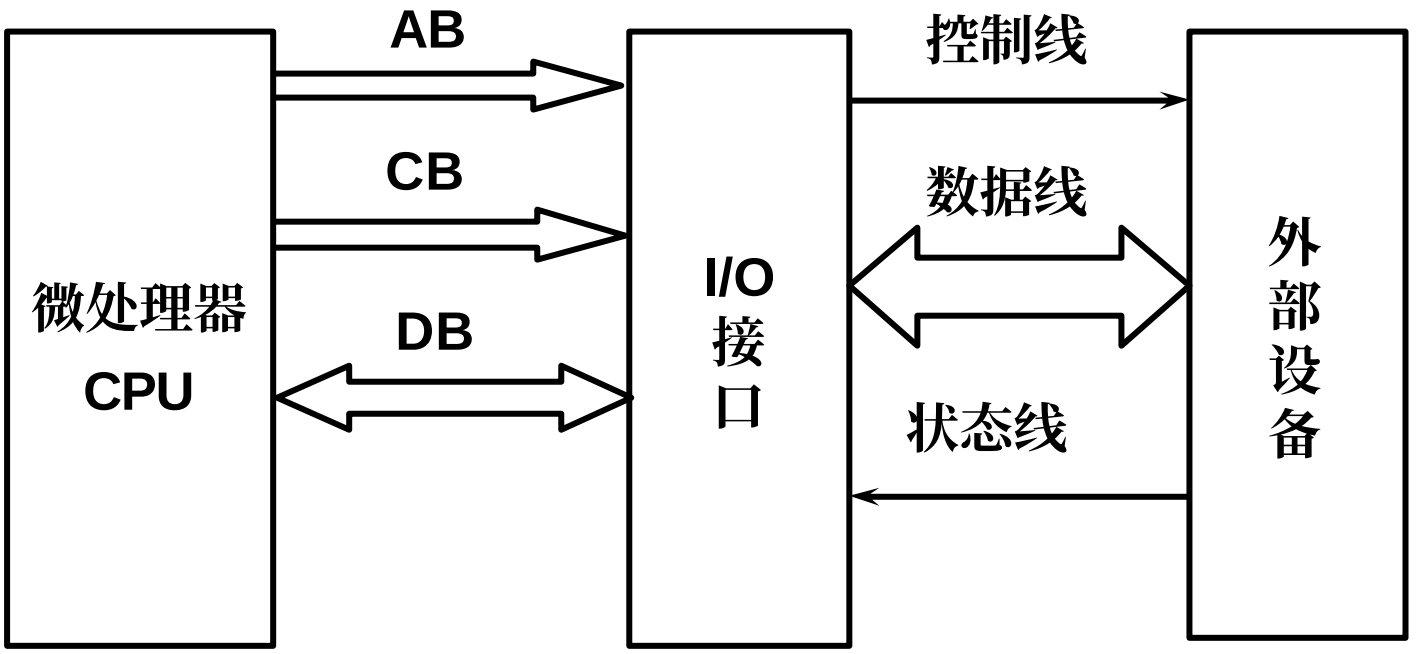
1. I/O接口电路及其功能;
2. 8086 CPU的I/O指令、I/O端口编址与端口译码;
3. I/O接口电路与CPU的数据交换方式。

设置接口电路的原因

西南交通大学 Southwest Jiaotong University

- 通过接口电路，CPU与外部设备之间建立信息交换通道，有三种信息类型：
  - 数据信息：数字量、模拟量 、开关量；
  - 状态信息：外设状态通过接口送达CPU；
  - 控制信息：CPU通过接口控制外设工作。
- 接口电路在外设与CPU之间完成相应的信号转换、速度匹配、数据缓冲等功能。

CPU与外设连接示意图



输入输出接口功能描述

1. 数据缓冲功能; (CPU与外设工作速度匹配)
2. 接受和执行CPU命令的功能;
3. 信号转换功能; (用一组逻辑电平编码信息)
4. 设备选择功能;
5. 中断管理功能; (提高系统效率与事件响应速度)
6. 数据格式变换功能; (串 « 并转换)
7. 可编程功能。(增加硬件电路灵活性)

I/O指令及其执行过程

❖ I/O指令

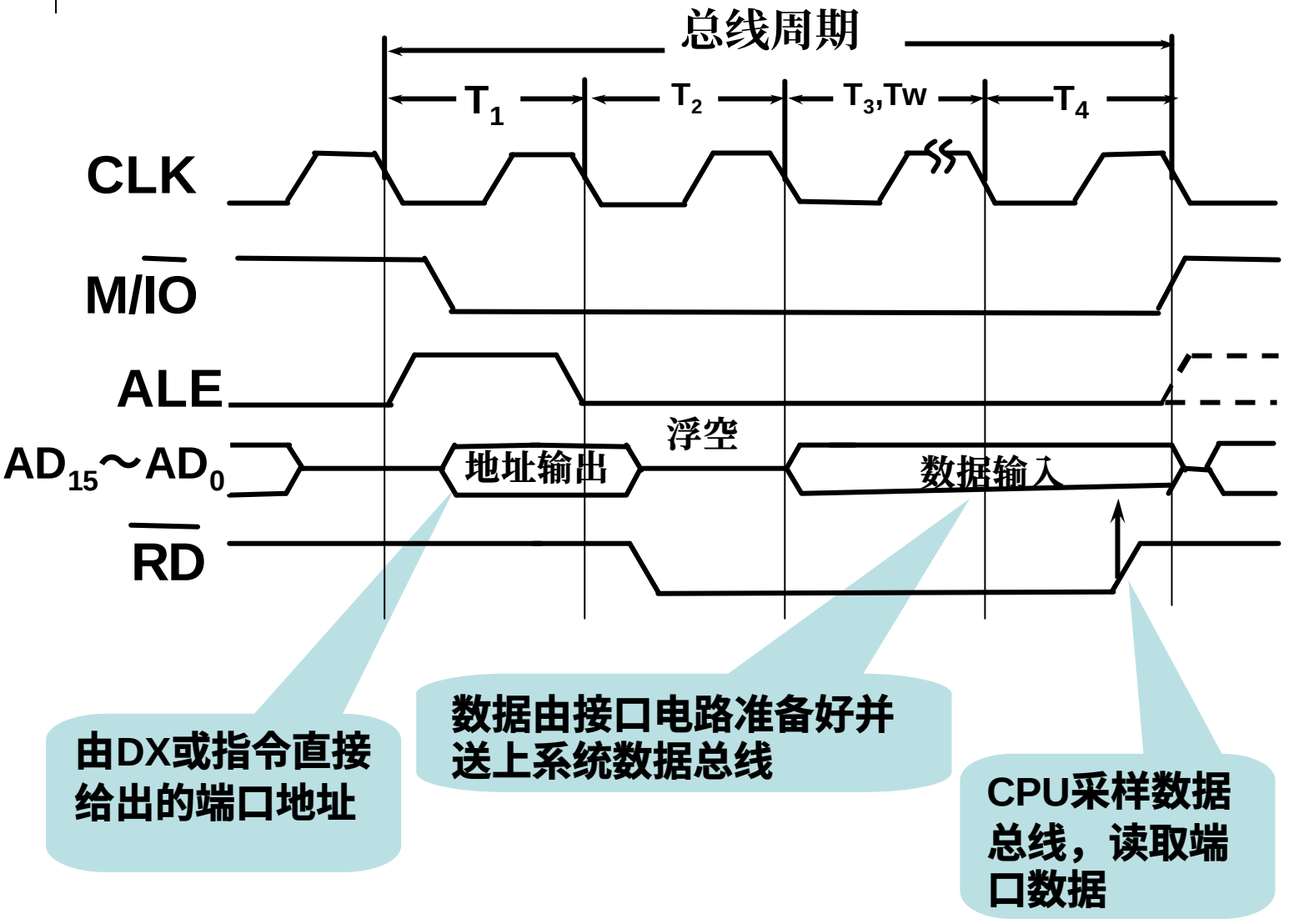
IN AL，PORT	OUT PORT，AL
IN AX，PORT	OUT PORT，AX
IN AL，DX	OUT DX，AL
IN AX，DX	OUT DX，AX

其中PORT为直接端口地址(0~0FFH);

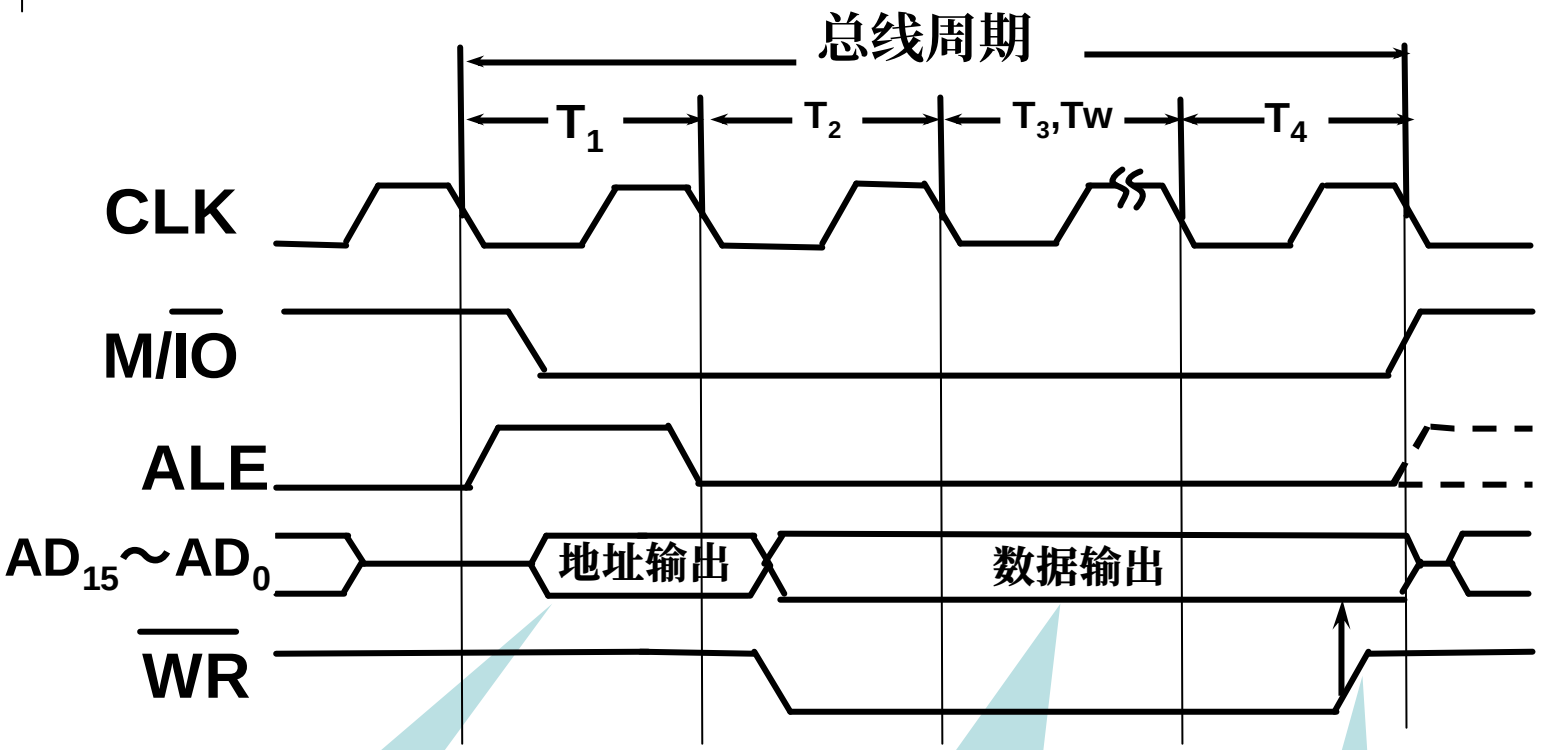
DX为间接端口寻址寄存器;

8086 CPU能寻址2^{16}个I/O端口。

IN指令执行过程(时序)


总线周期
T1
T2
T3,Tw
T4
CLK
M/IO
ALE
AD15～AD0
浮空
地址输出
数据输入
RD
由DX或指令直接给出的端口地址
数据由接口电路准备好并送上系统数据总线
CPU采样数据总线，读取端口数据

OUT指令执行过程(时序)



由DX或指令直接给出的端口地址

AL或AX中数据输出到系统数据总线

此时接口电路应捕获数据总线上数据

I/O接口编址方式

西南交通大學 Southwest Jiaotong University

- 独立编址输入输出
  - I/O空间与存储器空间分开编址;
  - 设置专用的输入输出指令;
  - 设置专用的控制信号M/$\overline{IO}$。
- 存储器映像输入输出
  - I/O操作与存储器操作指令相同;
  - I/O接口占用存储空间。

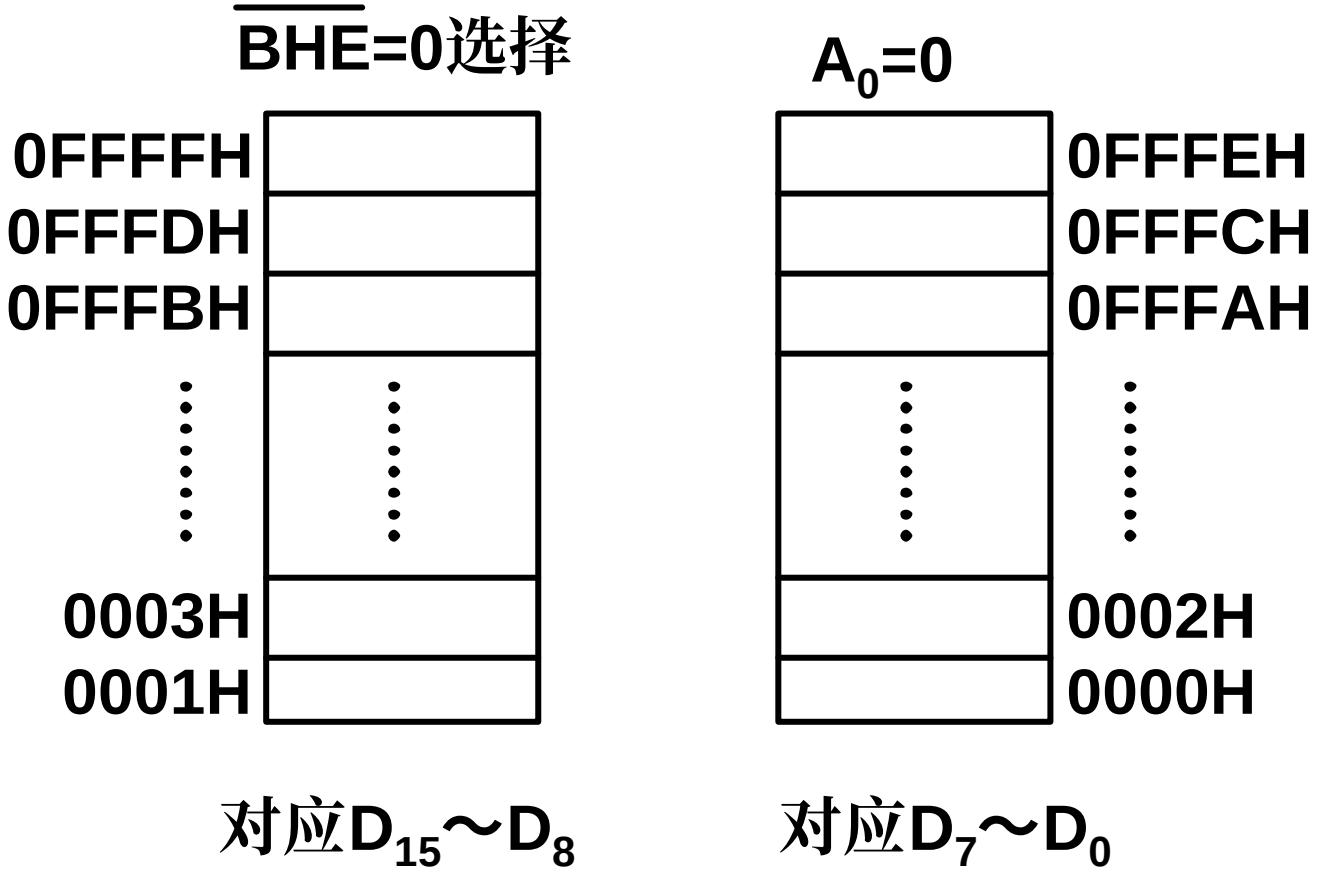
输入输出端口地址译码

Southwest Jiaotong University

- I/O端口地址译码与存储器地址译码非常相似；
- 考虑M/$\overline{IO}$＝0为I/O操作;
- 长格式I/O指令可只译码A_7～A_0，短格式 I/O指令必须译码A_{15}～A_0地址线;
- 如同存储器一样，8086CPU的I/O系统包含两个8位I/O体，如图所示，16位规则字数据或8位数据I/O只需一次操作即可;
- 8088CPU只有一个I/O体，执行16位I/O指令时，需要两次总线操作，分别读/写高/低字节。

NEXT

8086I/O体结构



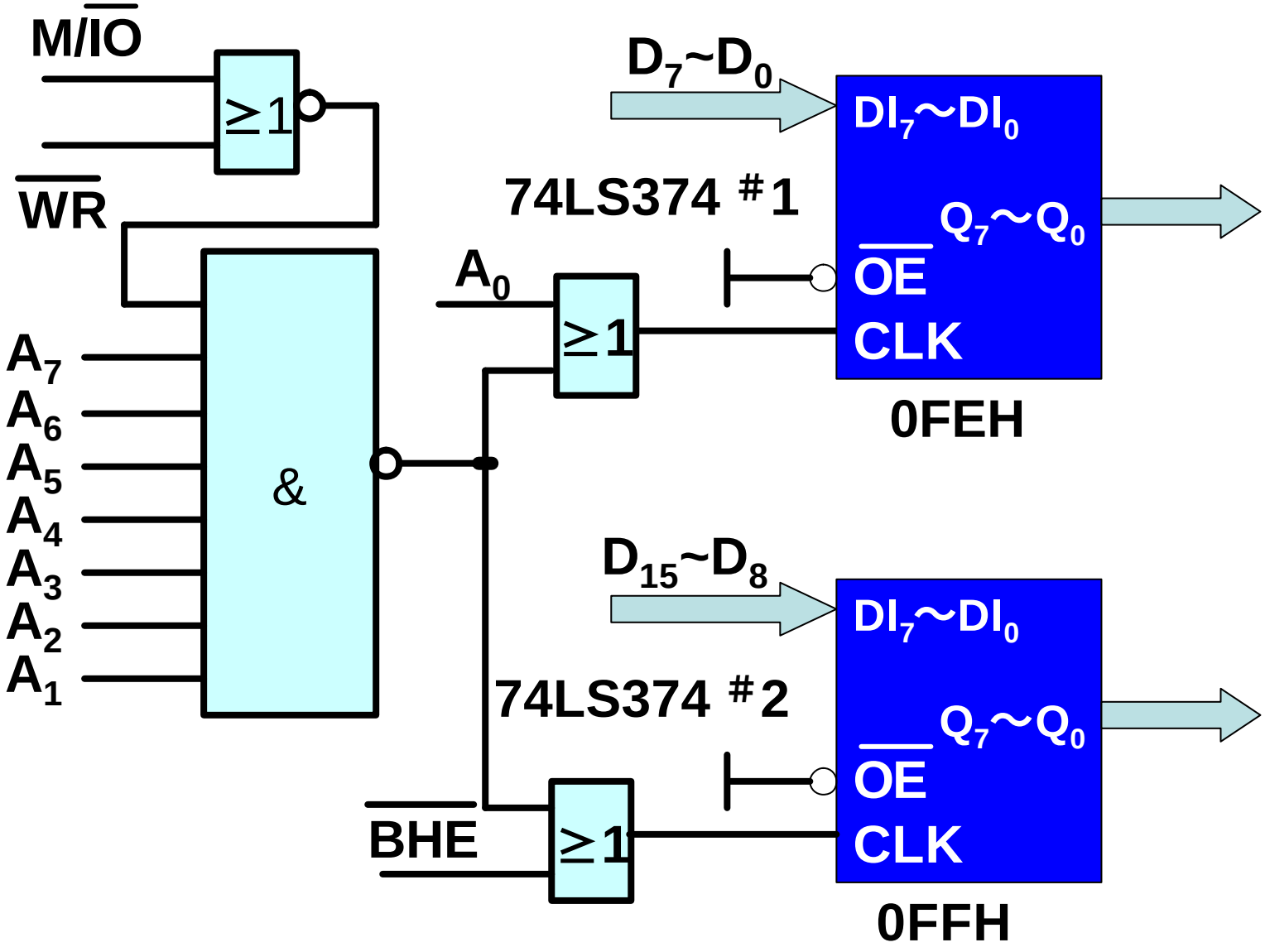
返回

译码电路设计

西南交通大学 Southwest Jiaotong University

- 例：设两个输出端口地址为0FEH～0FFH，设计其输出电路，要求该电路可按照字节或字进行输出操作。

8位或16位输出电路原理图



- 相应操作指令及其执行结果：
  - 执行：OUT 0FEH，AL时，AL内容送74LS374 #1
  - 执行：OUT 0FFH，AL时，AL内容送74LS374 #2
  - 执行：OUT 0FEH，AX时，AL内容送74LS74 #1，AH内容送74LS74 #2。
  - 需要注意的是，执行OUT 0FFH，AL指令时，AL内容是由CPU数据总线的D_{15}～D_8送出。

CPU与外设间数据交换方式

- CPU与外设间的数据交换，有程序控制方式、中断控制方式和存储器直接存取控制方式。其中程序控制方式是基础，应首先掌握该方式。
- 程序控制方式是指CPU与外设间的数据交换在程序控制下进行，分为无条件传送方式和条件传送方式两类。

无条件传送方式

- 无条件输入

  不管外设状态，CPU执行IN指令直接从端口输入即为无条件输入。

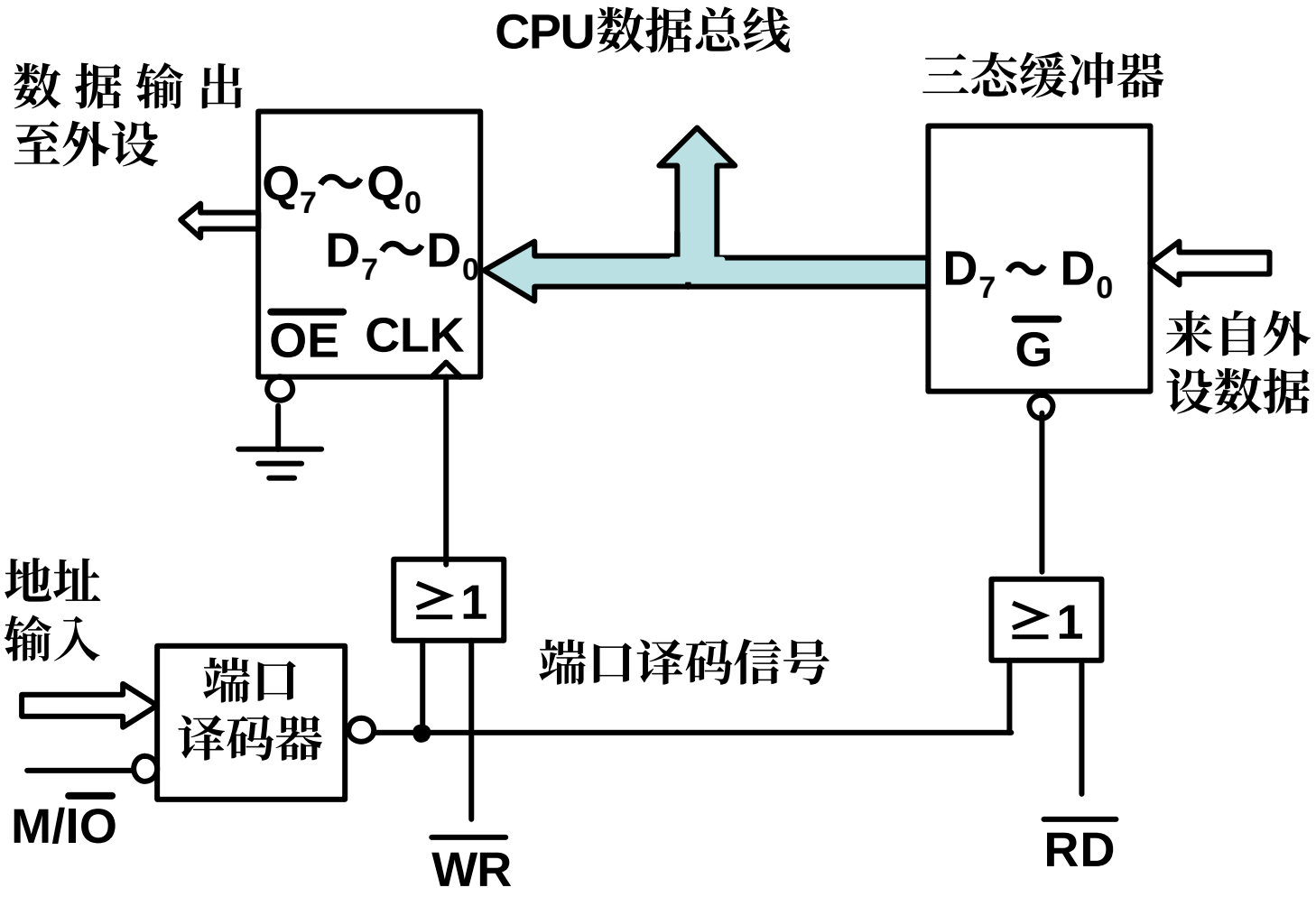
- 无条件输出

  不管外设状态，CPU执行OUT指令直接将数据输出到端口即为无条件输出。

- 无条件输入输出要求外设在任何时候都能与CPU交换信息；

- 输入端口只需缓冲，而输出端口一般都需要加入锁存器。

无条件传送方式的输入输出原理



条件传送方式(查询方式)

西南交通大学 Southwest Jiaotong University

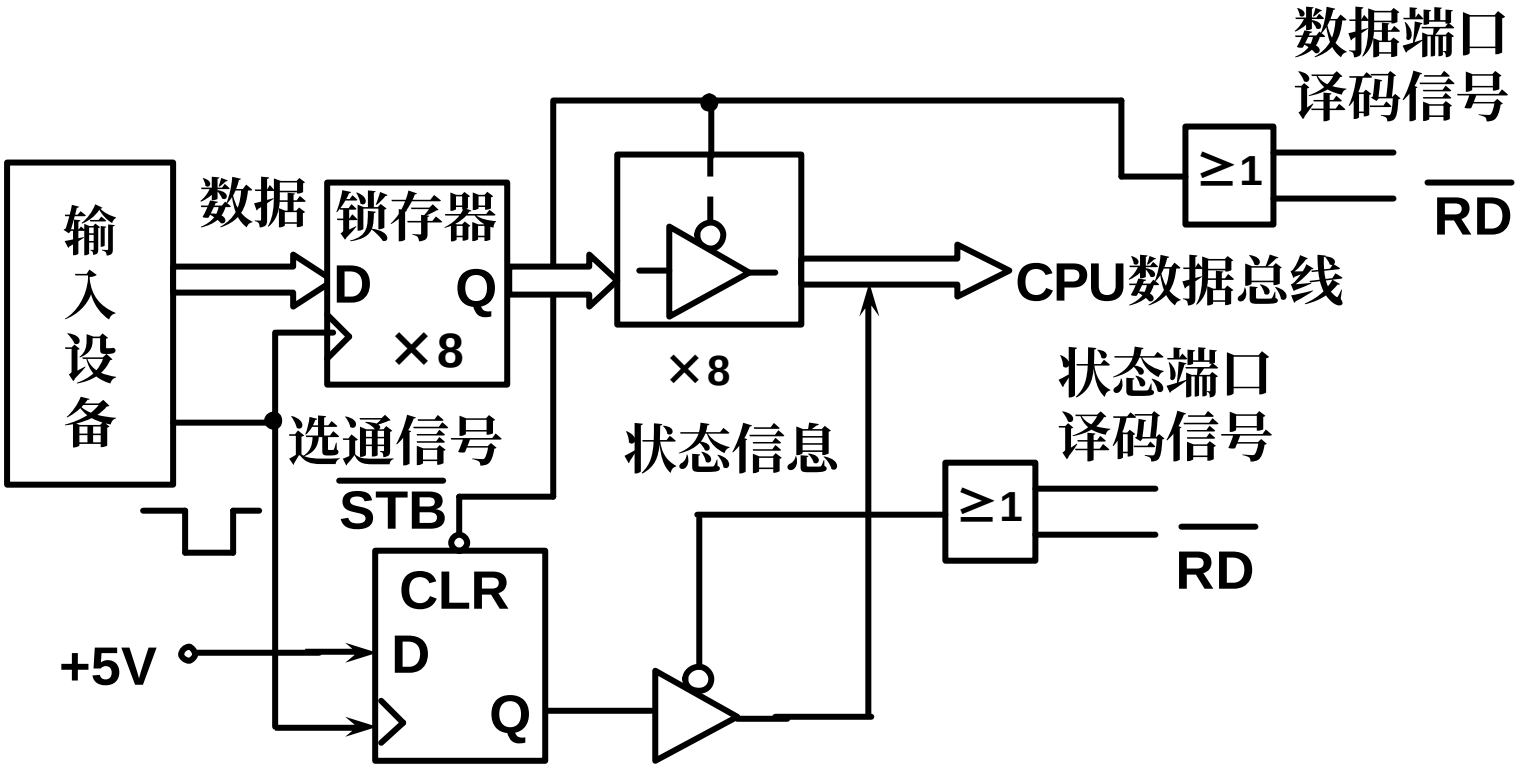
- 条件传送即程序查询方式,是指CPU在传送数据前,首先通过查询确认外设准备好了才传送数据,否则,CPU等待。从而较好地解决了CPU与外设传送数据时不同步的问题。
- 查询的一般步骤:

①从I/O端口读入设备状态信息并确定外设是否准备好交换数据;

②若外设没有准备好,则重复执行第①直到设备准备好为止;

③CPU执行I/O指令,从I/O端口读/写数据,同时复位I/O端口的状态字。

查询式输入原理



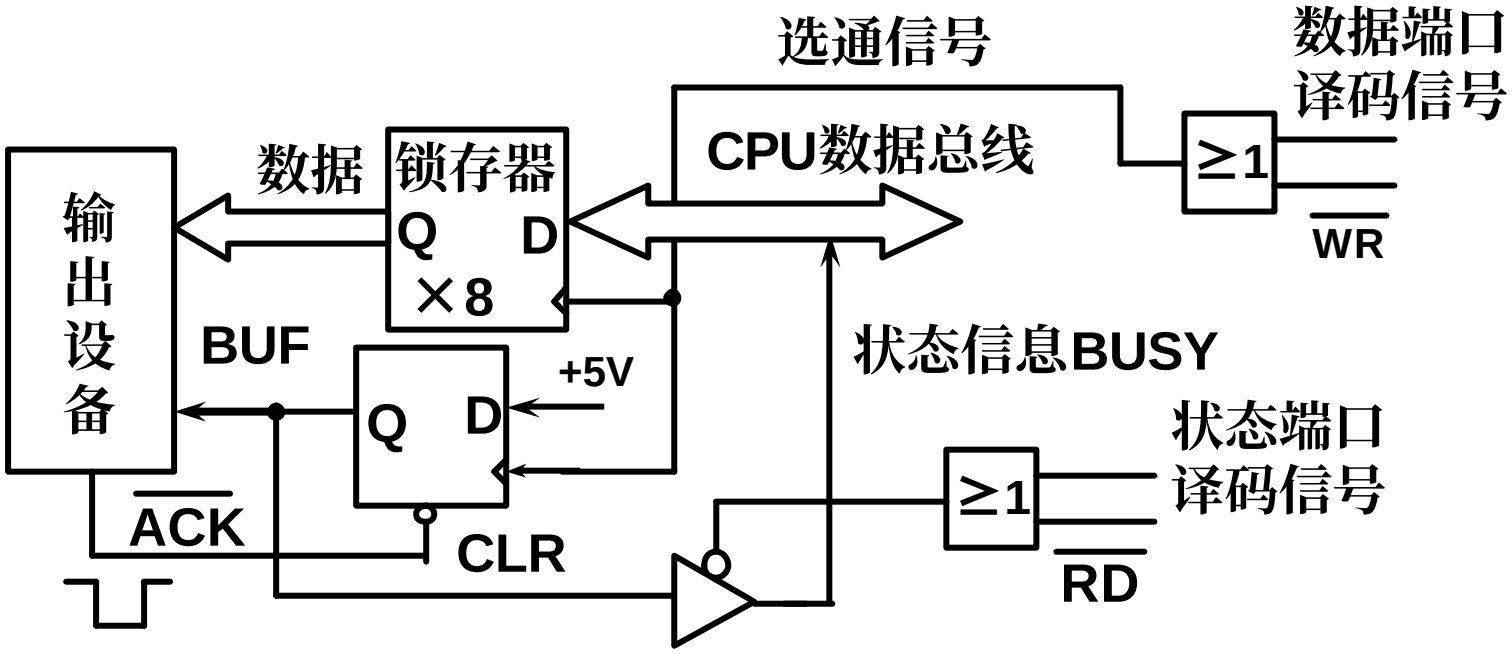
当外设有数据要传送到CPU时，应将数据送上外设数据总线并发出选通信号($\overline{STB}$)

查询输入方式的基本程序

- 设外设状态信息接到系统数据总线的D_7位。

```
POLL: IN AL,STATUS_PORT   ;读状态端口
      TEST AL,80H         ;检查READY是否是1
      JE     POLL         ;未准备好,循环再查
      IN AL,DATA_PORT ;从数据端口输入数据
```

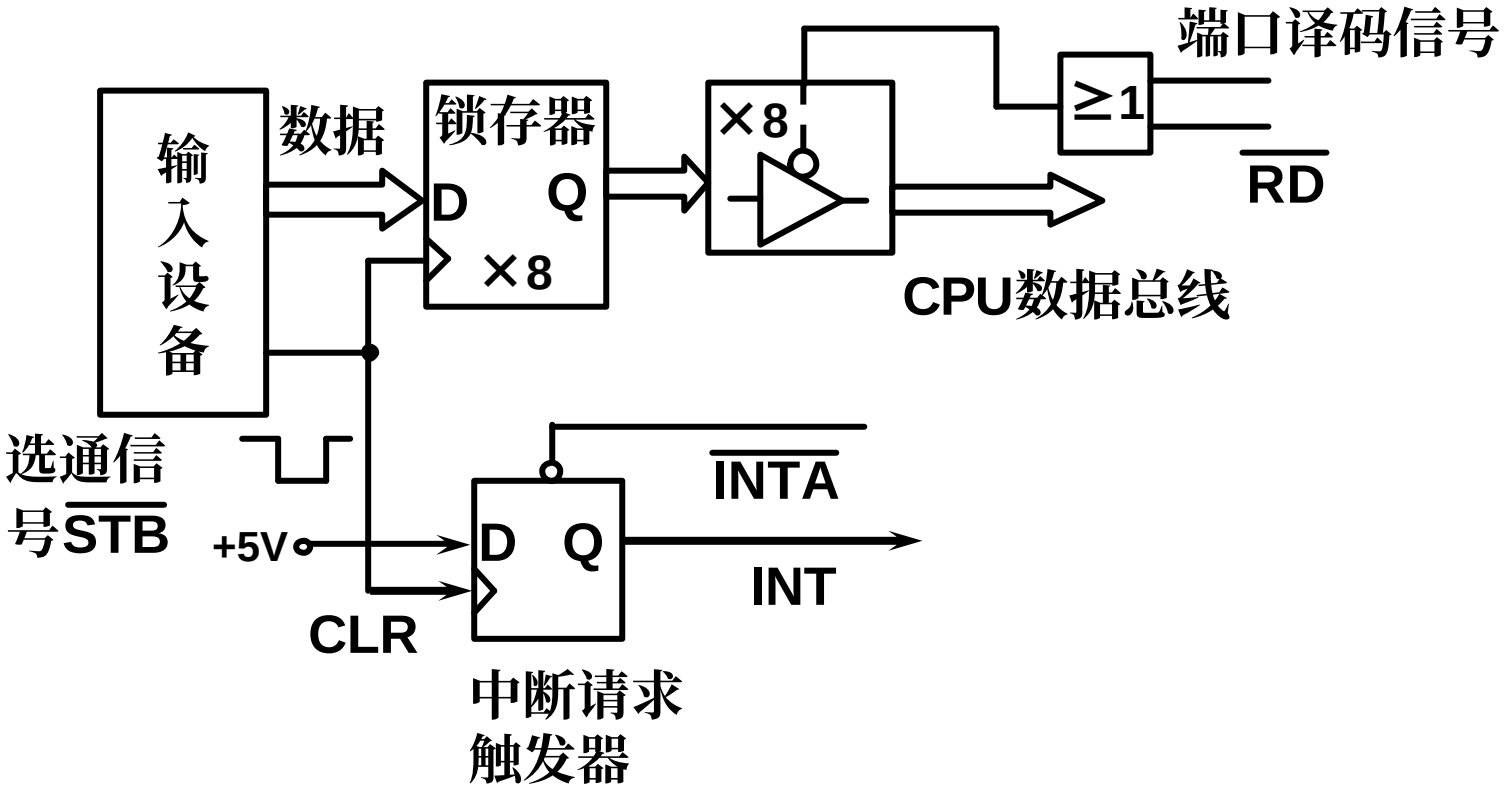
查询式输出原理



- 外设接收完数据后应给出应答信号$\overline{ACK}$,表示数据已接收到,BUF为数据准备好信号,用于通知外设CPU已输出新的数据。查询式I/O的实质是软硬件配合完成外设与CPU之间的状态“握手”与数据交换。

中断控制I/O方式原理

❖ 中断控制I/O方式能及时处理系统中多个外设的数据传输过程。



直接存储器存取(DMA)控制方式

- 在DMA方式下,外部设备利用专用的接口电路直接和存储器进行高速数据传送,而无需通过CPU交换数据。
- 在利用DMA方式进行数据传输时,接口电路要向CPU发出请求,使CPU让出总线,即把总线控制权交给DMA控制器。
- **主要优点**: 速度快,数据传送的速率只受存储器和接口电路访问速度的限制。
- **主要缺点**: 硬件电路比较复杂。

第二节　8255结构、功能与应用

1. 了解82C55可编程芯片的内部结构;
2. 掌握82C55的引脚功能及其与CPU的连接;
3. 掌握82C55的初始化方法及其工作方式;
4. 深入体会可编程芯片的一般使用方法。

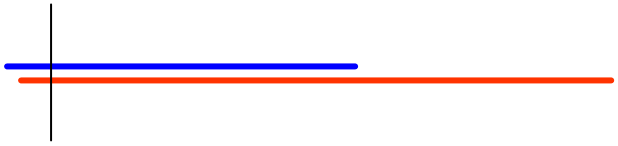
可编程I/O接口芯片概述

1. 使用可编程芯片的原因

- 简化电路设计,增加硬件电路灵活性。

2. 可编程芯片内部的一般结构

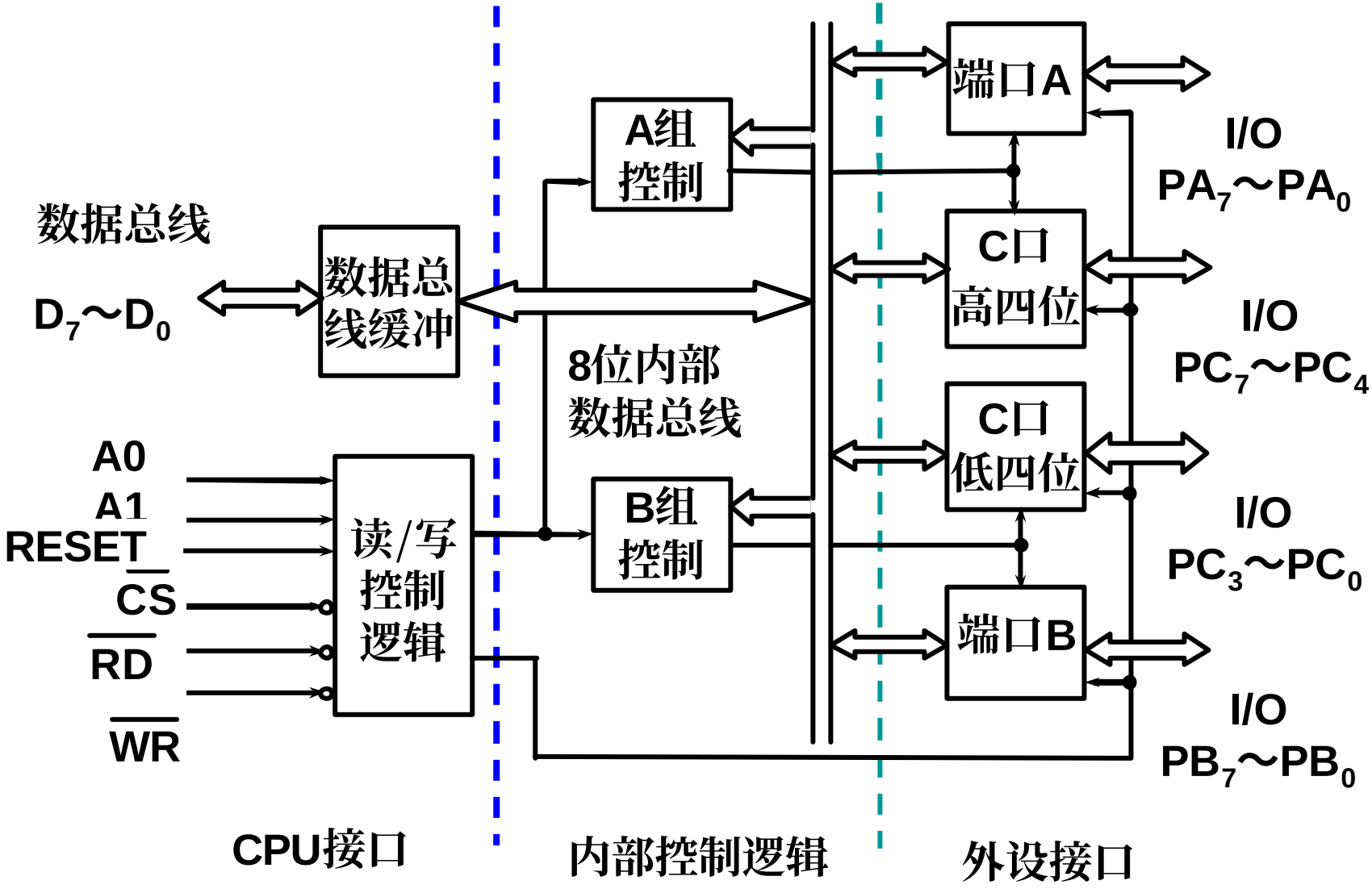
- 与CPU连接端口：包括命令口、状态口和数据口。通常每个端口都应映射到CPU的I/O空间;
- 与外设连接端口：用于接口电路与外设传递数据;
- 内部数据总线将所有内部端口连接成一体。



82C55内部结构

- 82C55内部共有四个独立编址端口
  - 一个命令口;
  - 三个相互独立的输入／输出数据端口(即端口A、B和C);
  - 数据口具有可编程选择的多种功能;
  - 内部结构图。

82C55内部逻辑框图



与外设连接端口

- 端口A、B和C可与外部设备相连接，用于数据输出时具有锁存／缓冲器功能，数据输入时具有锁存功能。端口C可作为外设控制和状态信息的端口。它可以分成为两个4位的端口，每个端口包含一个4位的输入／输出引脚。分别与端口A和B配合使用，作为控制信号输出，或作为状态信号输入。

内部控制逻辑

- 内部逻辑包括A组和B组控制电路。这是两组根据CPU的命令字控制82C55工作方式的电路。每组控制电路从读／写控制逻辑接受各种命令，从内部数据总线接收控制字并发出适当的命令到相应的端口

与CPU接口

1. 数据总线缓冲器；
2. 读／写控制逻辑。

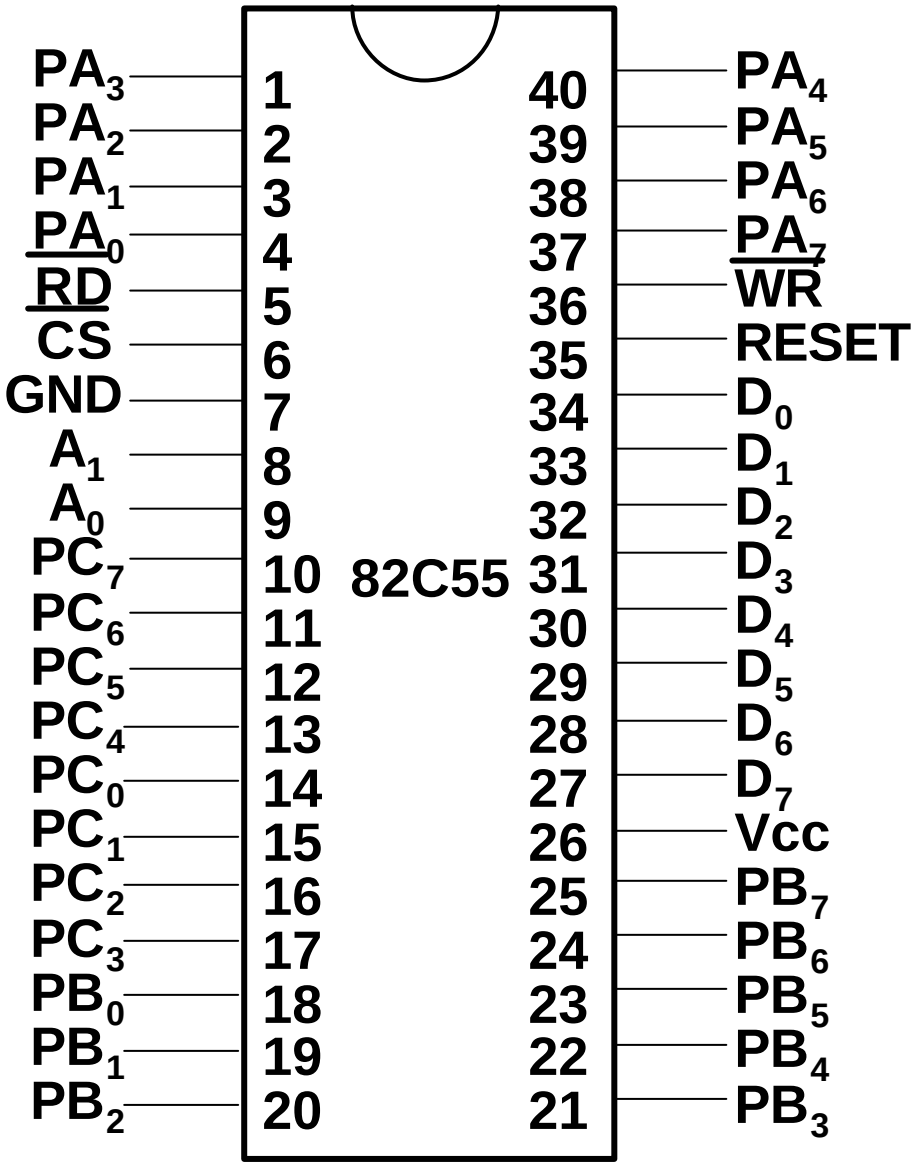
82C55外部特性

1. 引脚图
2. 与外设连接的引脚
   分为PA_7～PA_0、PB_7～PB_0和PC_7～PC_0三组，分别对应于A、B、C三个端口，全为双向、三态引脚。
3. 与CPU连接的引脚

- RESET——复位输入信号，高电平有效。复位时清零所有内部寄存器，置A、B、C三个端口为输入方式，对应的PA_7～PA_0、PB_7～PB_0、PC_7～PC_0引脚均为高阻状态。

NEXT

82C55引脚图


PA3 1
PA2 2
PA1 3
PA0 4
RD 5
CS 6
GND 7
A1 8
A0 9
PC7 10
PC6 11
PC5 12
PC4 13
PC0 14
PC1 15
PC2 16
PC3 17
PB0 18
PB1 19
PB2 20
82C55
40 PA4
39 PA5
38 PA6
37 PA7
36 WR
35 RESET
34 D0
33 D1
32 D2
31 D3
30 D4
29 D5
28 D6
27 D7
26 Vcc
25 PB7
24 PB6
23 PB5
22 PB4
21 PB3

返回

82C55外部特性

- CS#——芯片选择信号输入、低电平有效。只有当它为低电平时,82C55才才能被CPU操作。
- A_0和A_1——芯片内部寄存器地址选择信号,当CS#有效时,82C55被选中,再由A_0、A_1的编码决定是选端口A、B、C还是控制寄存器。
- RD#——读信号,输入,低电平有效。为低电平时,82C55内部A、B和C可输出到数据引脚D_7～D_0。
- WR#——写信号,输入,低电平有效。为低电平时,数据引脚D_7～D_0上的数据或命令被82C55读入。

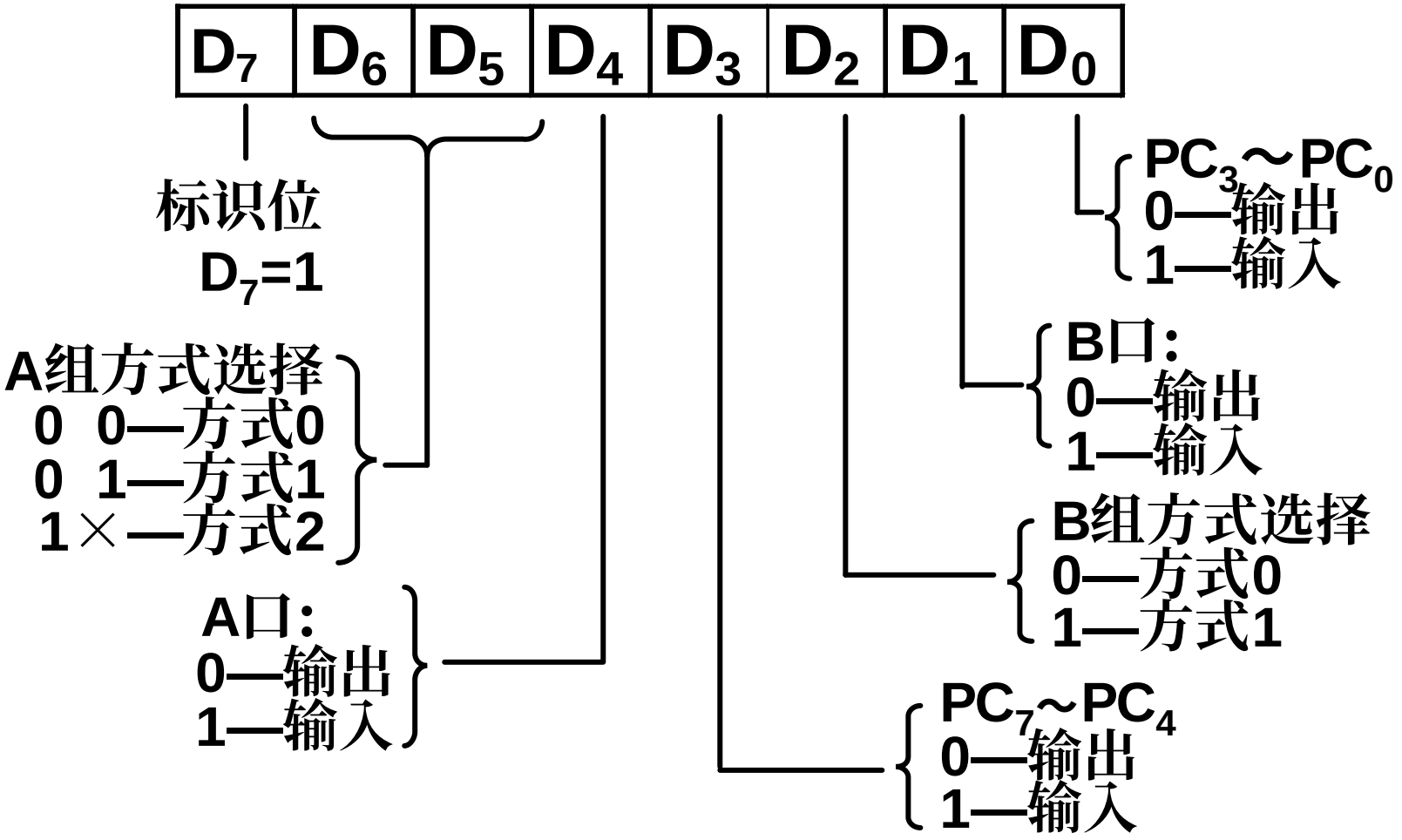
82C55操作逻辑真值表

CS	A_1	A_0	RD	WR	操作说明
1	×	×	×	×	芯片未选中，数据总线为高阻态

82C55的控制字

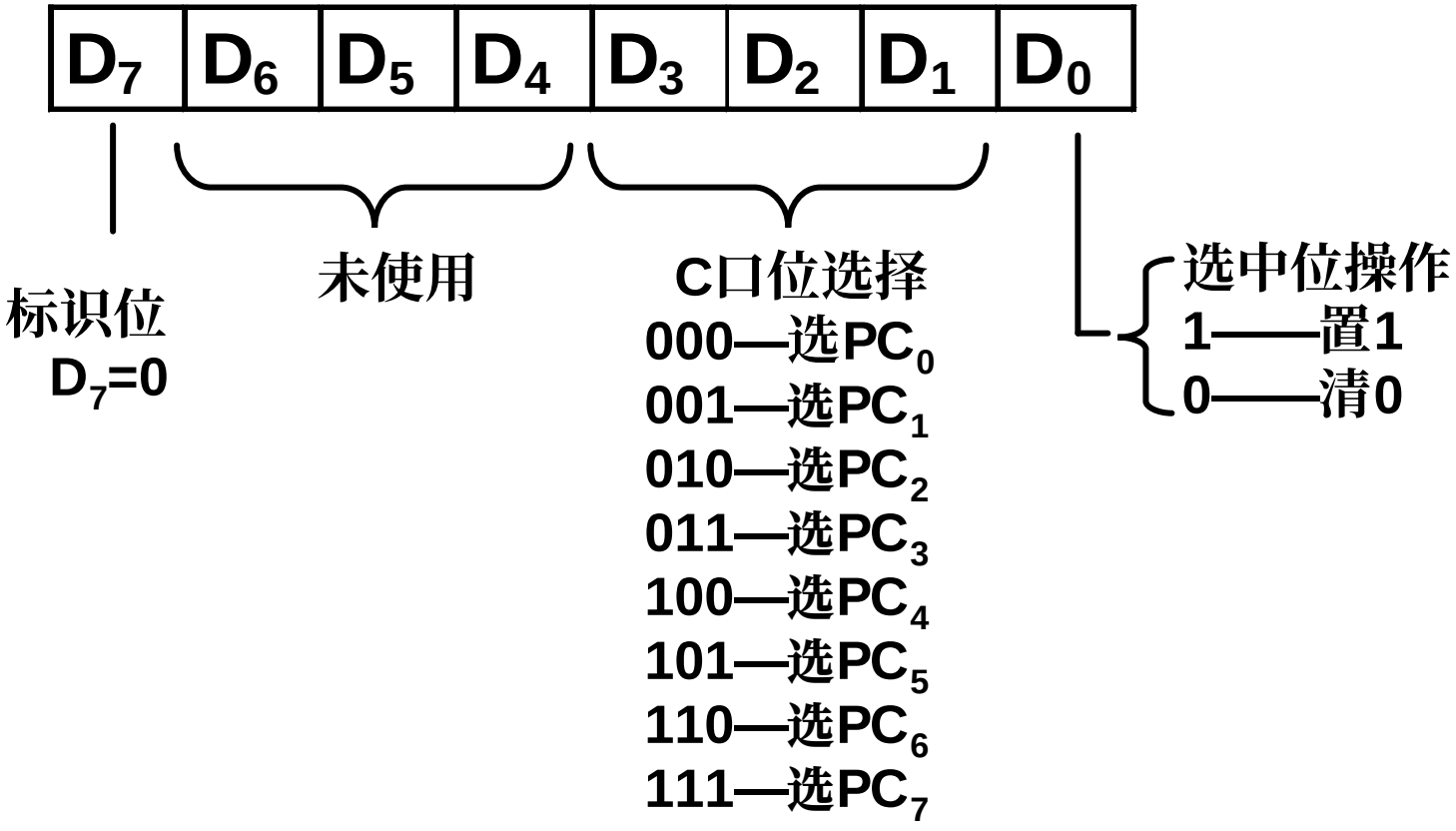
西南交通大學 Southwest Jiaotong University

1. 82C55方式选择控制字格式



82C55的控制字

2. 82C55按位置位／复位的控制字



82C55的初始化编程举例

例1：要求82C55端口A以方式0输出，端口B以方式1输入，C口以方式0输入，设计其初始化程序。

设控制口地址为PORT_CON，程序如下：

```
MOV  DX，PORT_CON
MOV  AL，10001111B
OUT  DX，AL
```

初始化后，如要从A口输出数据，只需执行

```
MOV  DX，PORT_A
MOV AL，DATA
OUT  DX，AL
```

82C55的初始化编程举例

例2：端口C的PC_0位要求清0，则控制字为00000000B，即00H；而端口C的PC_7位要求置1，则控制字为00001111B(0FH)。设82C55的控制寄存器的端口地址为PORT_CON，则下面的程序段可实现PC_7输出高电平，PC_0输出低电平。

```
MOV  DX，PORT_CON   ;控制口地址送DX
MOV  AL，0FH        ;PC7置1控制字
OUT  DX，AL         ;PC7置1操作
MOV  AL，00H        ;PC0清0控制字
OUT  DX，AL         ;PC0清0操作
```

82C55工作方式0

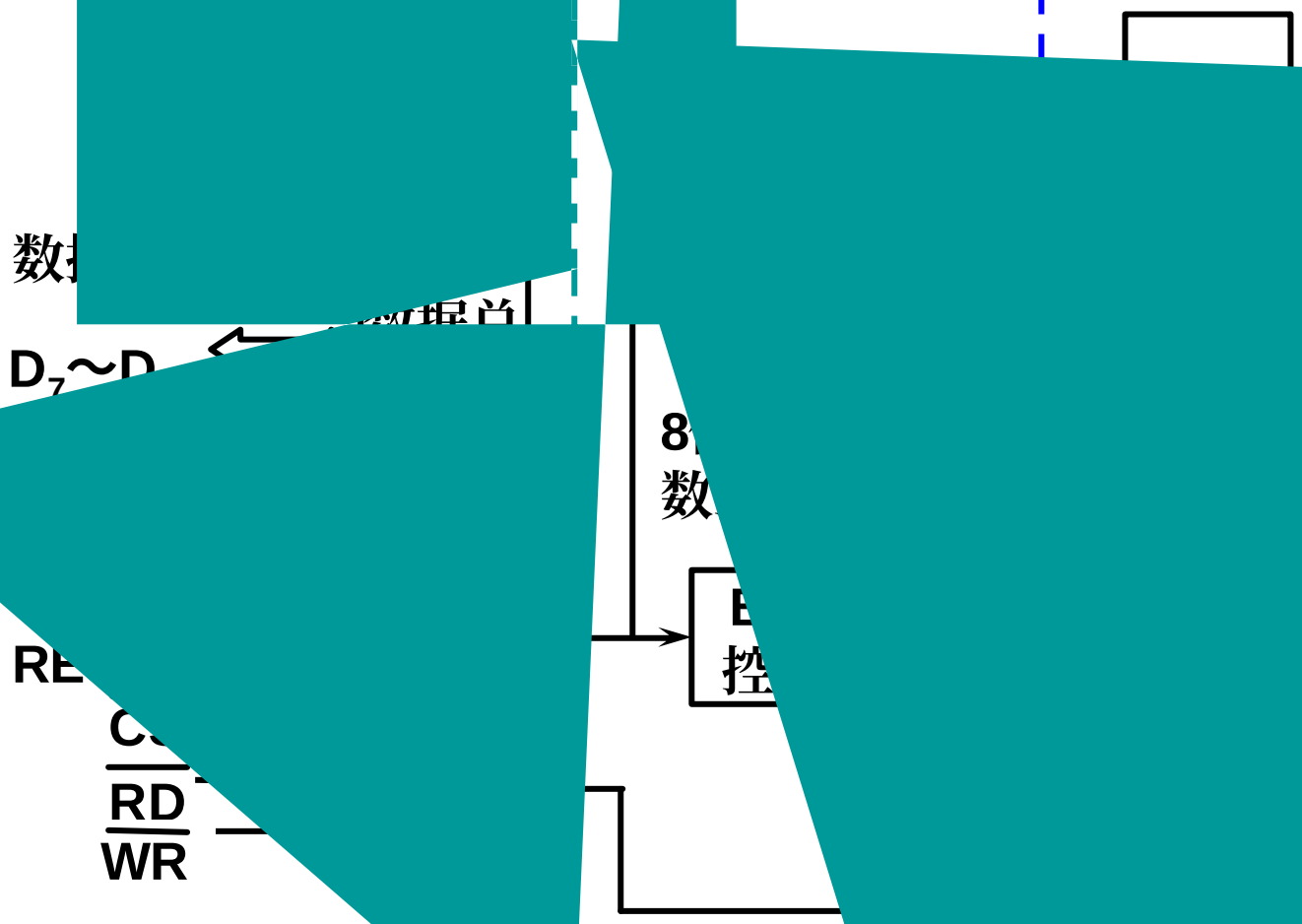
- 方式0下，各端口实际上工作于无条件传输方式。
- 方式0的工作特点

1. 两个8位端口：端口A和端口B；
2. 两个四位端口：端口C的高4位和低4位；
3. 任何一个端口都可编程设置为输入或输出；
4. 输出锁存、输入只是缓冲；
5. 在方式0时各个端口的输入／输出可以有16种组合方式。

方[redacted]等效模型

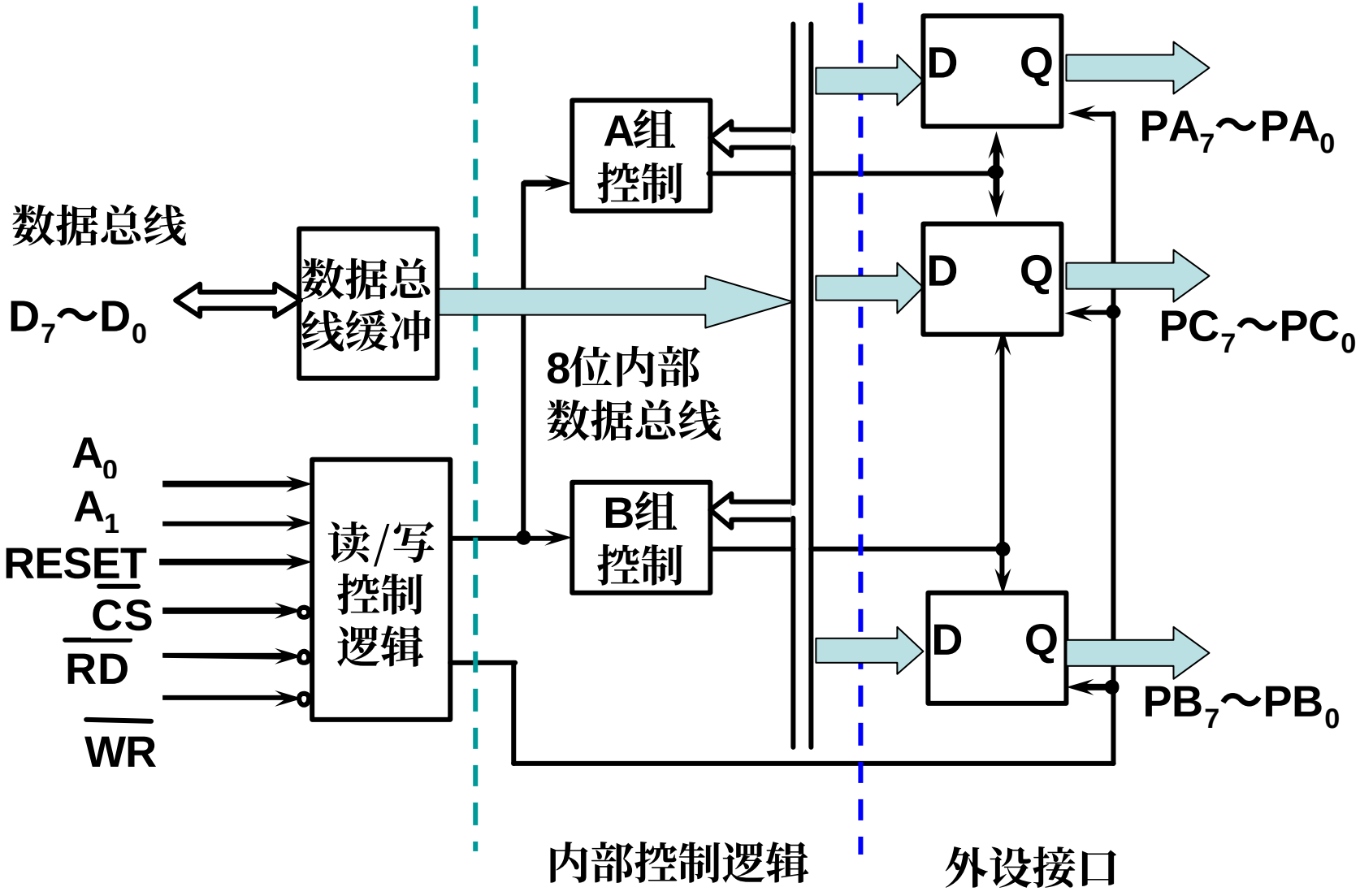
[redacted]

- [redacted]工作[redacted]方式0输入



方式0输出时的等效模型

- 假定三个端口都被设定为方式0输出



方式0应用举例

西南交通大学 Southwest Jiaotong University

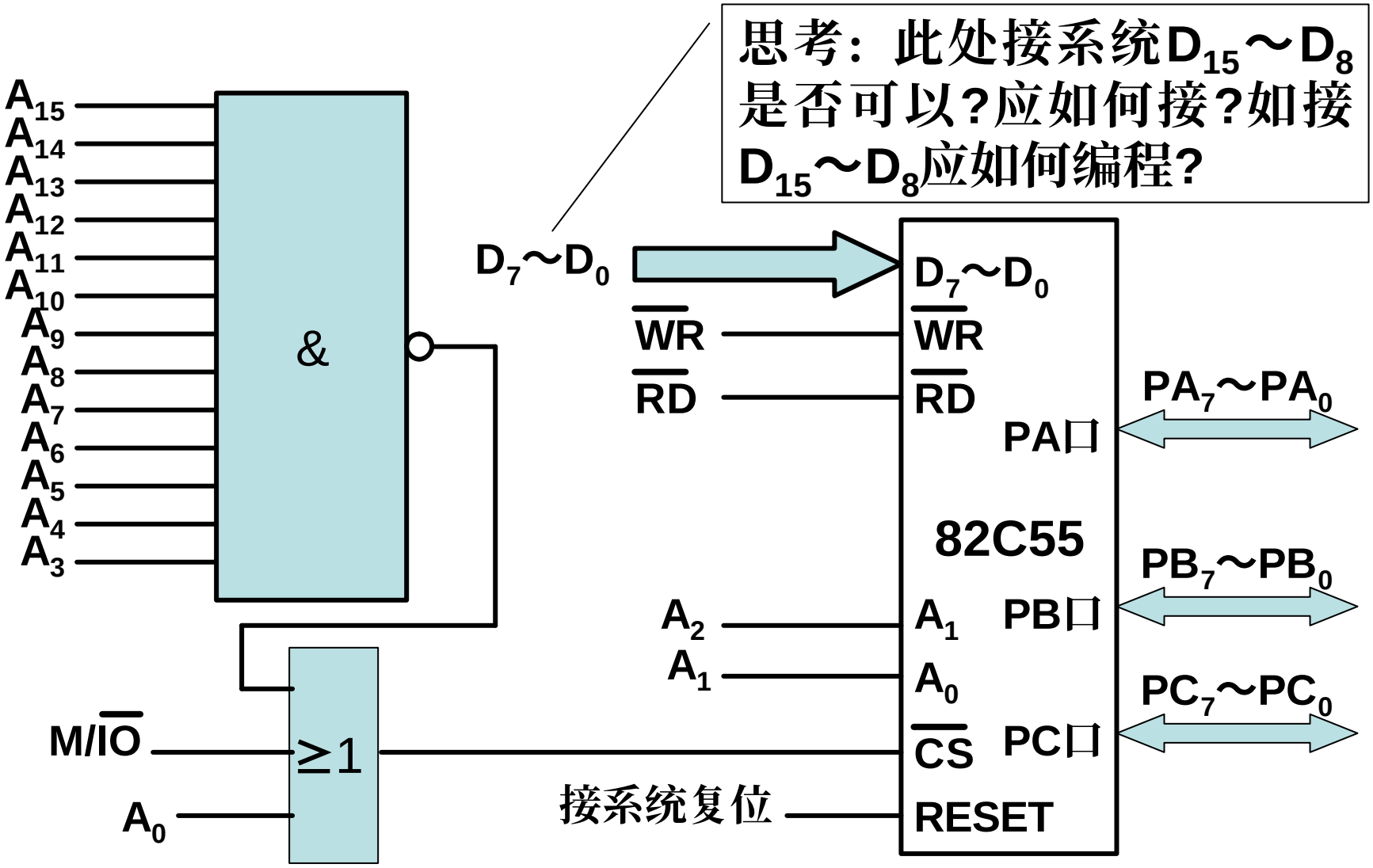
例:某8086最小系统中用82C55扩展8位LED显示器,设82C55占用I/O端口地址0FFF8H～0FFFFH,编程显示数字“76543210”。

解题分析:

- 82C55内部有四个端口,为何在8086系统中要占用0FFF8H～0FFFFH共8个端口地址?
- 82C55与CPU的连接图;
- 8位LED显示器采用动态显示方式;
- LED数码管的功率驱动问题;
- 位选择码与段选择码。

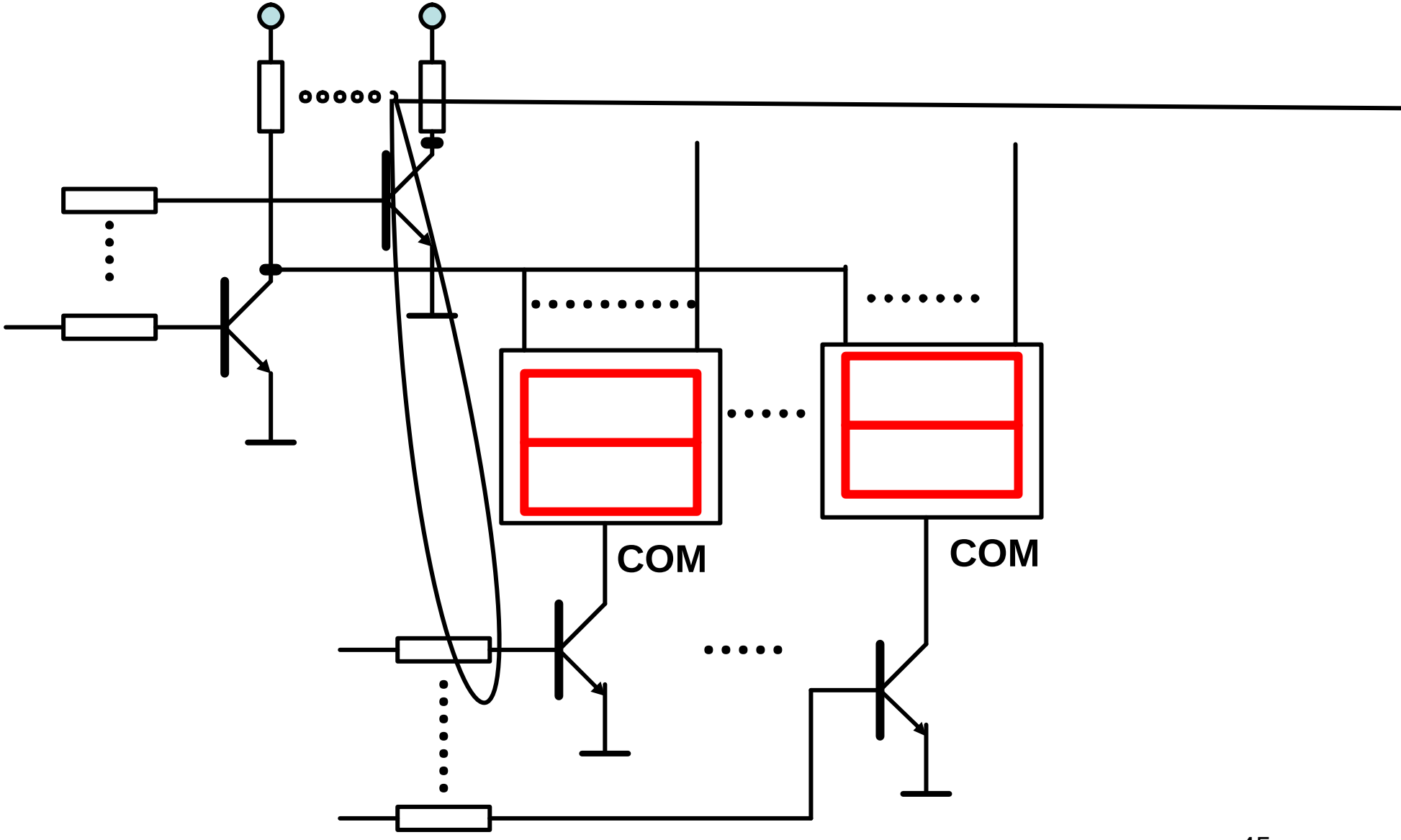
NEXT

82C55与 8086的连接电路

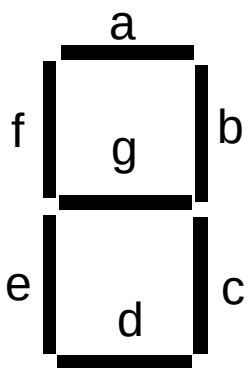


返回

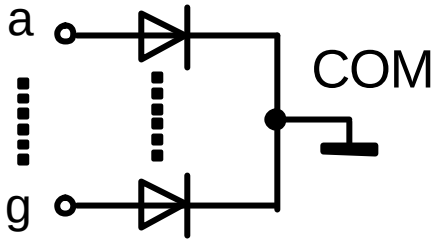
数码管显示器驱动电路



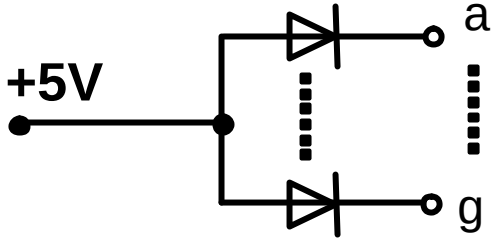
七段LED及其接法



七段LED



共阴极接法



共阳极接法

共阴极接法段选择码：

g f e d c b a

0 1 1 1 1 1 1→‘ 0 ’<3FH>

0 0 0 0 1 1 0→‘ 1 ’<06H>

1 0 1 1 0 1 1→‘ 2 ’<5BH>

⋮ ⋮ ⋮

1 1 0 1 1 1 1→‘ 9 ’<6FH>

共阳极接法段选择码：

g f e d c b a

1 0 0 0 0 0 0→‘ 0 ’<40H>

1 1 1 1 0 0 1→‘ 1 ’<79H>

0 1 0 0 1 0 0→‘ 2 ’<24H>

⋮

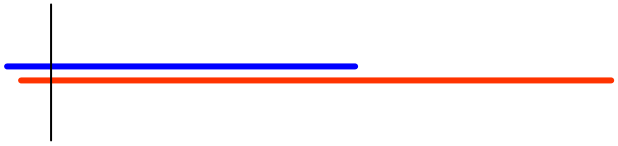
0 0 1 0 0 0 0→‘ 9 ’<10H>

返回

- 显示控制程序：假定在显示器上显示数字‘76543210’；

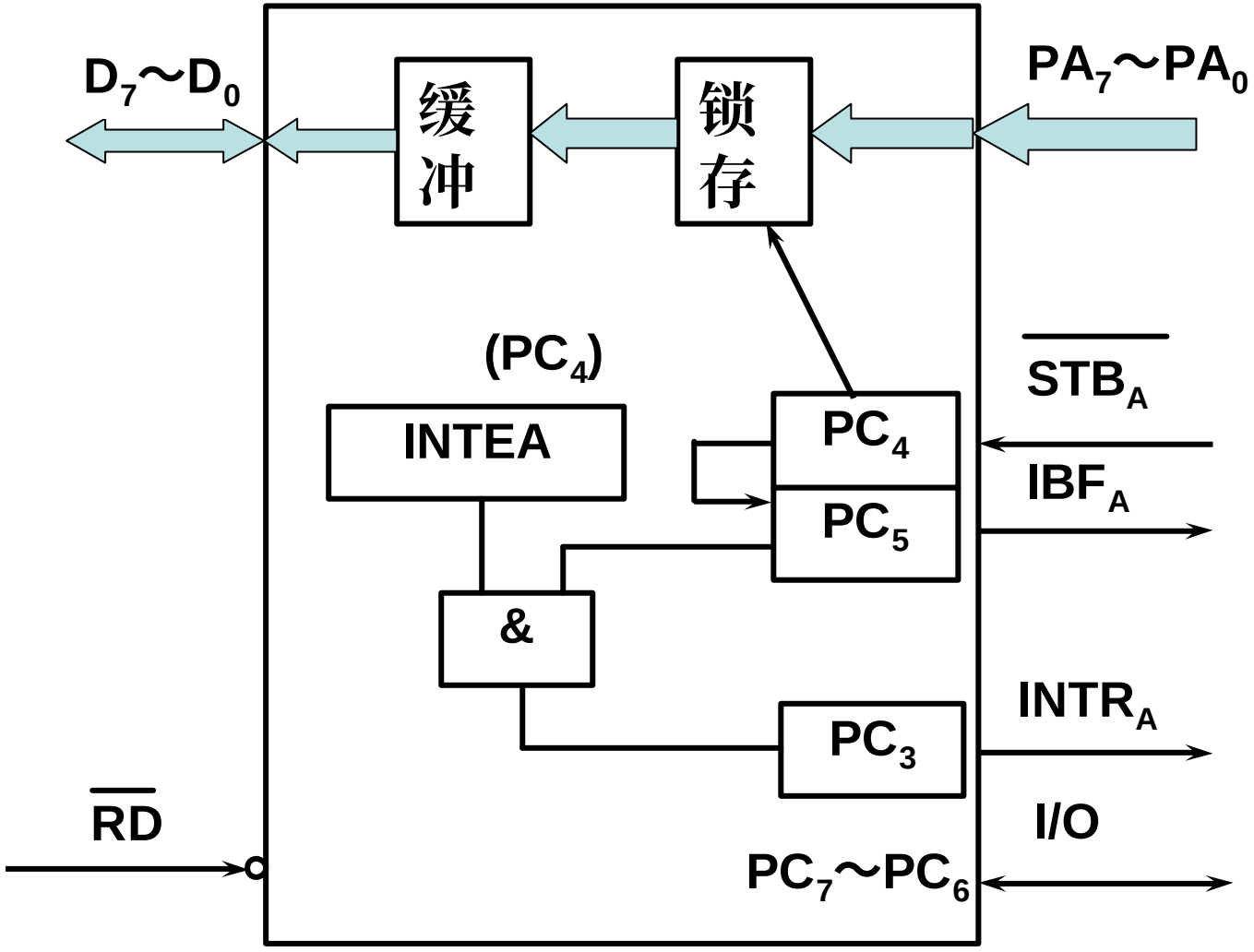
```
Data    segment
table   db  40H, 79H, 24H,¼      ;定义段显示码表
pos     db 0feh                  ;位选择码
data    ends
code    segment
assume cs: code, ds: data
Dis     proc far
start:  push ds
        xor ax, ax
        push ax
        mov ax, data
        mov ds, ax
        mov al, 10000000B        ;初始化字
        mov dx, 0fffeh
        out dx, al               ;输出初始化字
la0:    mov cx, 8                ;显示8位
        lea si, table            ;表首址
```

```
        mov bl, pos
la1:    mov al, [si]
        mov dx, 0fff8h
        out dx, al              ；A口输出段选码
        mov dx, 0fffah
        mov al, bl
        out dx, al              ；B口输出位选码
        inc si
        rol bl, 1
        call delay              ；显示延时
        loop la1
        ret
dis     endp
code    ends
        end start
```



方式1输入的有关控制信号

❖ 方式1输入结构图(以端口A为例说明)



方式1输入控制信号

- **STB#(Strobe)——选通输入。应由外设产生的数据选通信号,低电平有效。送入端口C的PC_4或PC_2。当为有效低电平时,将端口A或B引脚上的数据选通并锁存到相应的输入锁存器中。**

方式1输入控制信号

西南交通大学 Southwest Jiaotong University

- IBF(Input Buffer Full)——输入缓冲器满状态指示信号。由82C55的PC_5或PC_1位发出的应答信号,高电平有效。表明82C55在其输入缓冲区中存放了一个新的数据,以备CPU读取,同时还将数据已锁存到82C55输入口的信息通知外设。

方式1输入控制信号

- **INTR**(Interrupt Request)——中断请求信号(由PC_3或PC_0给出),高电平有效。当82C55的输入端口有新数据时,INTR信号将变为高电平(要求INTE信号为1)。在系统中,通常作为CPU的查询信号或82C55向CPU发出的中断请求信号。

方式1输入控制信号

- INTE(Interrupt Enable)——中断允许。只有当INTE＝1时,端口A或B才可能向CPU发出中断请求INTR。INTE由软件通过对C口的置位或复位指令来实现对中断的控制,PC_4和PC_2的置位／复位操作分别用于控制端口A和端口B的INTE信号。
- 注意：此时PC_4和PC_2的置位／复位操作是82C55的内部操作。操作时对PC_4和PC_2引脚的逻辑状态完全没有影响

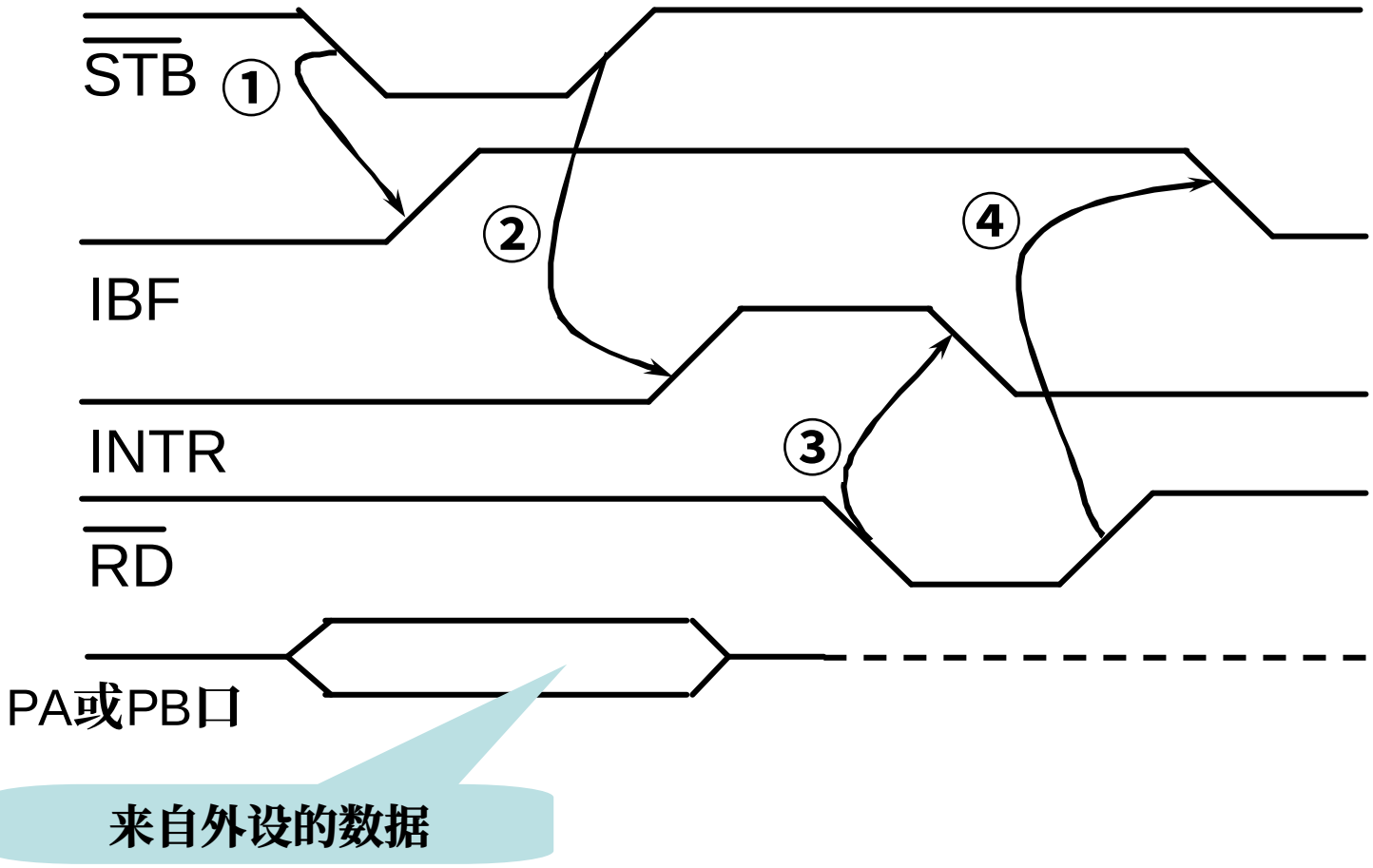
方式1输入时的状态字

- 端口A和端口B工作于方式1输入时,端口C的内容表征A、B口的状态,其各位的意义如下:

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
I/O	I/O	IBFA	INTEA	INTRA	INTEB	IBFB	INTRB

- 程序可通过读入C口内容查询方式1时A、B口的状态。

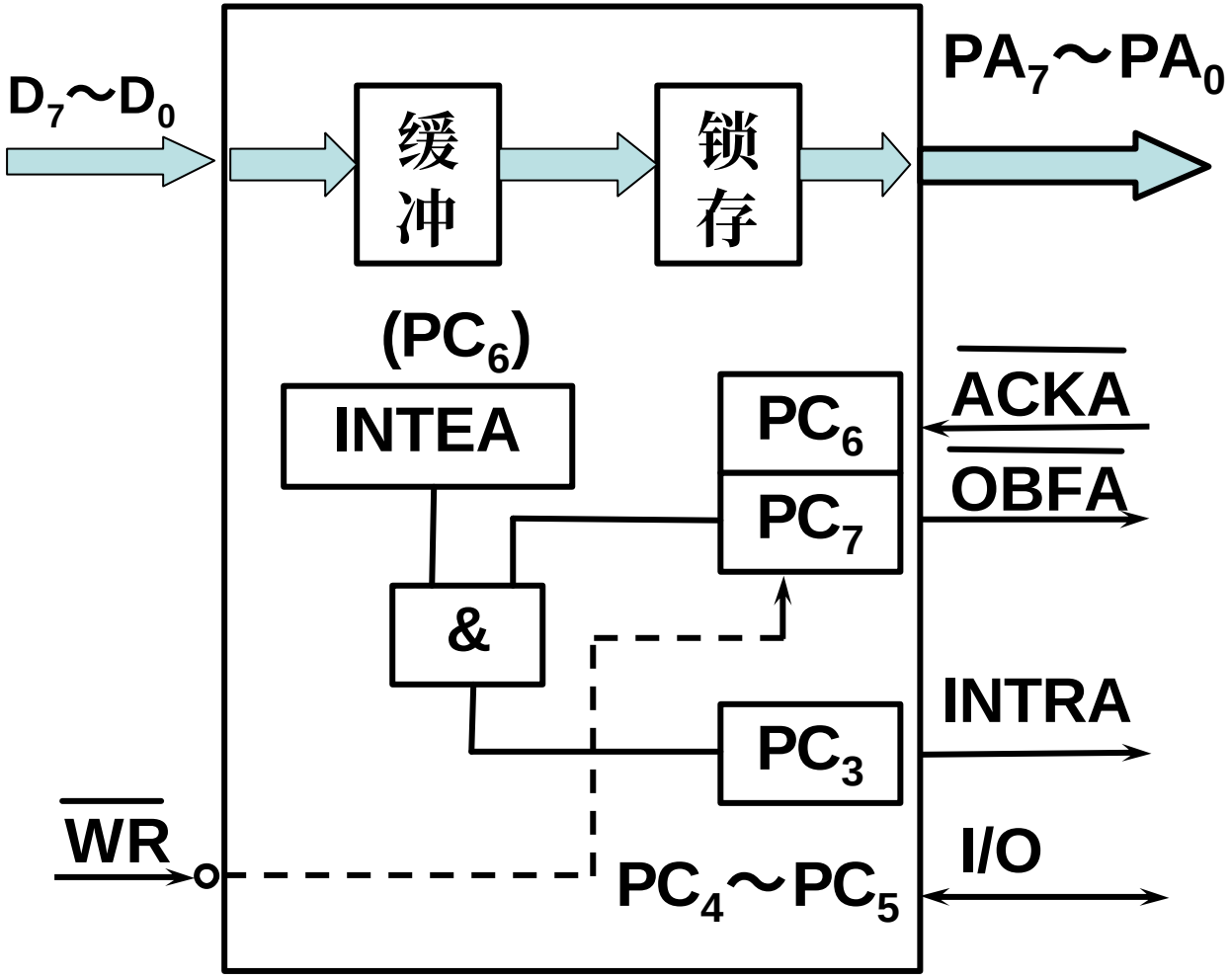
方式1输入工作时序



方式1输入过程由外设发起，到CPU读出数据结束。

方式1输出的有关控制信号

❖ 端口A方式1输出结构示意图



方式1输出时的控制信号

西南交通大学 Southwest Jiaotong University

- **OBF#(Output Buffer Full)——输出缓冲器满。表明CPU已将待输出的数据写入指定端口的数据寄存器中,通知外设可从指定端口读取数据。低电平有效。该信号由82C55送给外设,外设的应答ACK#信号有效时使它恢复为高电平。**

方式1输出时的控制信号

- **ACK#(**Acknowledge**)——响应输入。外设给出的响应信号,外设收到数据后应送出,作为对82C55的响应。低电平有效。**

方式1输出时的控制信号

- INTR——用于向CPU发出中断请求信号，通知CPU外设已将数据取走，可输出新数据。

方式1输出时的控制信号

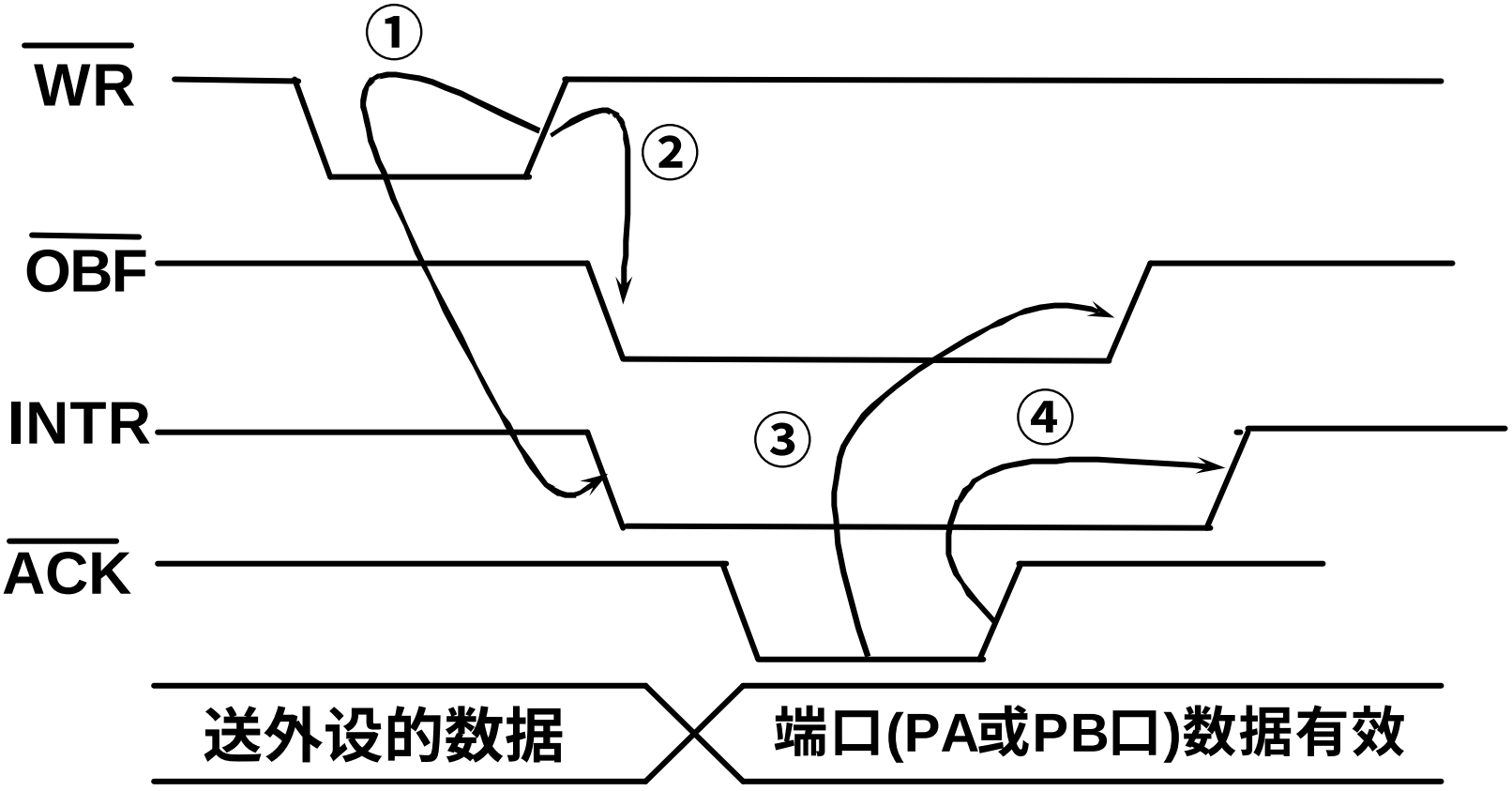
- INTE —— 82C55中断允许信号，用于控制是否能向CPU发INTR信号。

方式1输出时的状态字

- 端口C的内容表征端口A和端口B工作于方式1输出时的状态,其各位的意义如下:

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
OBFA	INTEA	I/O	I/O	INTRA	INTEB	OBFB	INTRB

方式1输出的工作时序



- 方式1输出由CPU执行输出指令开始，至外设读走数据结束。

工作方式2

- ❖ 工作方式2的特点

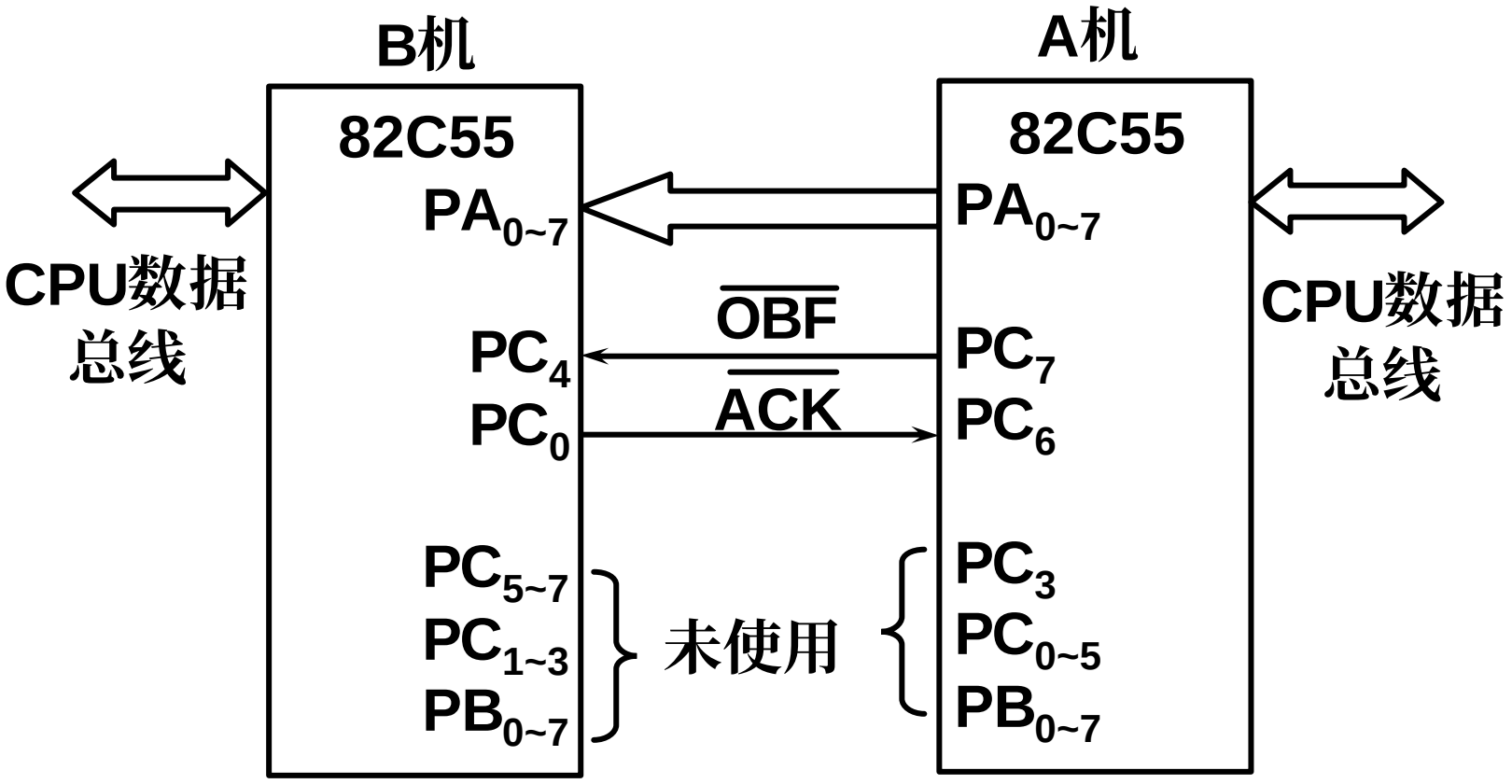
1. 方式2是一种双向选通I/O方式(需使用“握手”控制信号),82C55A口能自动转换为输入或输出,无需象方式1时需初始化设置;
2. 只有A口能够工作于方式2,此时C口的部分引脚作为A口的“握手”信号,其余引脚可工作于方式0输入或输出; B口可工作于方式0或方式1;
3. 方式2可近似看作是A口工作于方式1时输入与输出的组合;
4. 方式2的工作状态可由C口读出,具体含义参考教材。

应用举例

[例] 设计双机并行通信接口。要求在A、B两台微机之间并行传送1K字节数据，A机发送，B机接收。A机一侧的82C55采用方式1工作，B机一侧的82C55采用方式0工作。两机的CPU与82C55之间都采用查询方式工作(设CPU为8088)。

解:(1)硬件连接图

双机并行通信接口电路示意图



- A机的82C55工作于方式1，选A口输出，PC_7和PC_4引脚固定作为联络控制线OBF#和ACK#。B机的82C55工作于方式0，选A口输入，引脚PC_4和PC_0作联络控制线。虽然两侧的82C55都设置了联络控制线，但有本质的区别，前者的联络控制线是固定的，没有选择余地，后者的联络控制线并不固定，实际上有多种选择方式，如可选PC_4和PC_2或PC_5和PC_3等等。

❖软件设计

假定A、B两机中82C55的端口地址都为300H～303H,程序如下:

(1)A机发送程序

```
MOV  DX，303H        ；82C55命令口
MOV  AL，10100000B
OUT  DX，AL          ；写工作方式字
MOV  AX，DATA
MOV  ES，AX          ；建立数据块的段基址
MOV  BX，00          ；数据块的偏移地址
MOV  CX，3FFH        ；发送数据块长度
MOV  DX，300H        ；82C55的A口
MOV  AL，ES:[BX]     ；取第一个数据
OUT  DX，AL          ；输出第一个数据
INC  BX              ；数据块地址指针调整
```

```
L: MOV  DX，302H     ；82C55的C口
   IN  AL，DX        ；输入C口状态字
   TEST  AL，80H     ；查询状态
   JNZ  L            ；输出数据未被取走，继续
   MOV  DX，300H     ；数据被取走,准备下一个数据
   MOV AL，ES:[BX]
   OUT  DX，AL       ；再输出一个数据
   INC  BX           ；数据块地址指针调整
   DEC  CX           ；数据块长度减1
   JNZ  L            ；传送未完，继续
   MOV  AX，4C00H
   INT  21H          ；传送完毕，退回DOS
```

(2)B机接收程序

```
MOV  DX，303H          ；82C55命令
MOV  AL，10011000B
OUT  DX，AL            ；写工作方式字
MOV  AL，00000001B     ；C口置位复位控制字
OUT  DX，AL            ；置＝1(PC0＝1)
MOV  AX，DATA
MOV  ES，AX            ；建立数据块的段基址
MOV  BX，00            ；数据块的偏移地址
MOV  CX，400H          ；接收数据块长度
```

```
L:      MOV  DX，302H          ；82C55的C口地址
        IN   AL，DX            ；输入C口状态字
        TEST AL，10H           ；查询A机状态
        JNZ  L                 ；没有输出新数据，继续查询
        MOV  DX，300H          ；有新数据，本机准备输入数据
        IN   DX，AL            ；输入一个数据
        MOV  ES:[BX]，AL       ；存数据
        MOV  DX，303H
        MOV  AL，00000000B     ；C口置位复位控制字
        OUT  DX，AL            ；使PC0＝0
        NOP
        MOV  AL，00000001B
        OUT  DX，AL            ；置PC0＝1,产生低电平脉冲信号
        INC  BX                ；数据块地址指针调整
        DEC  CX                ；数据块长度减1
        JNZ  L                 ；接收未完，继续
        MOV  AX，4C00H
        INT  21H               ；接收完毕，退回DOS
```

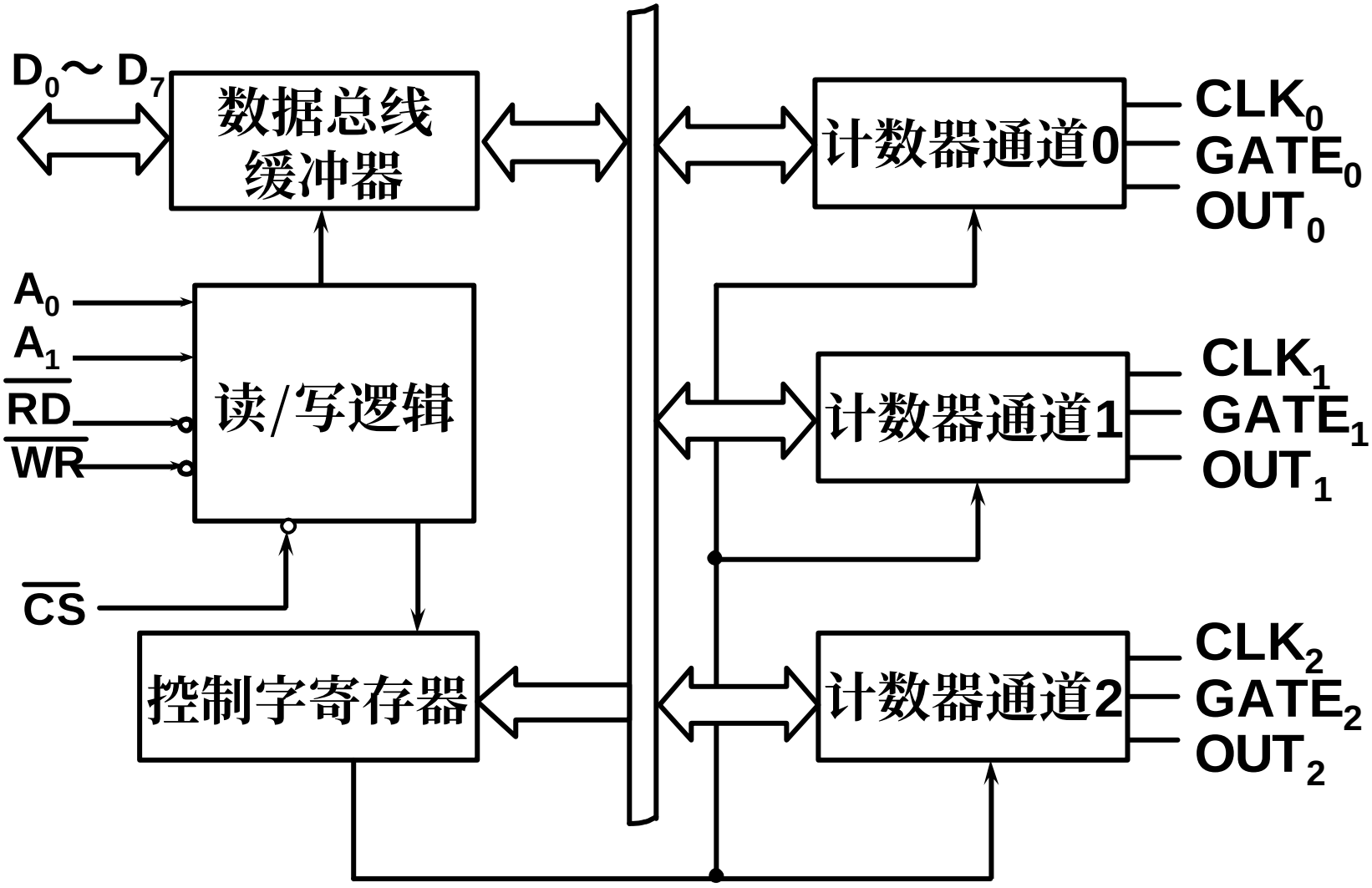
第三节 可编程计数器/定时器8253/8254

- 8253/8254芯片功能;
- 8253/8254芯片引脚及其扩展方法;
- 8253/8254初始化字及其工作方式;
- 掌握8253/8254的使用方法。

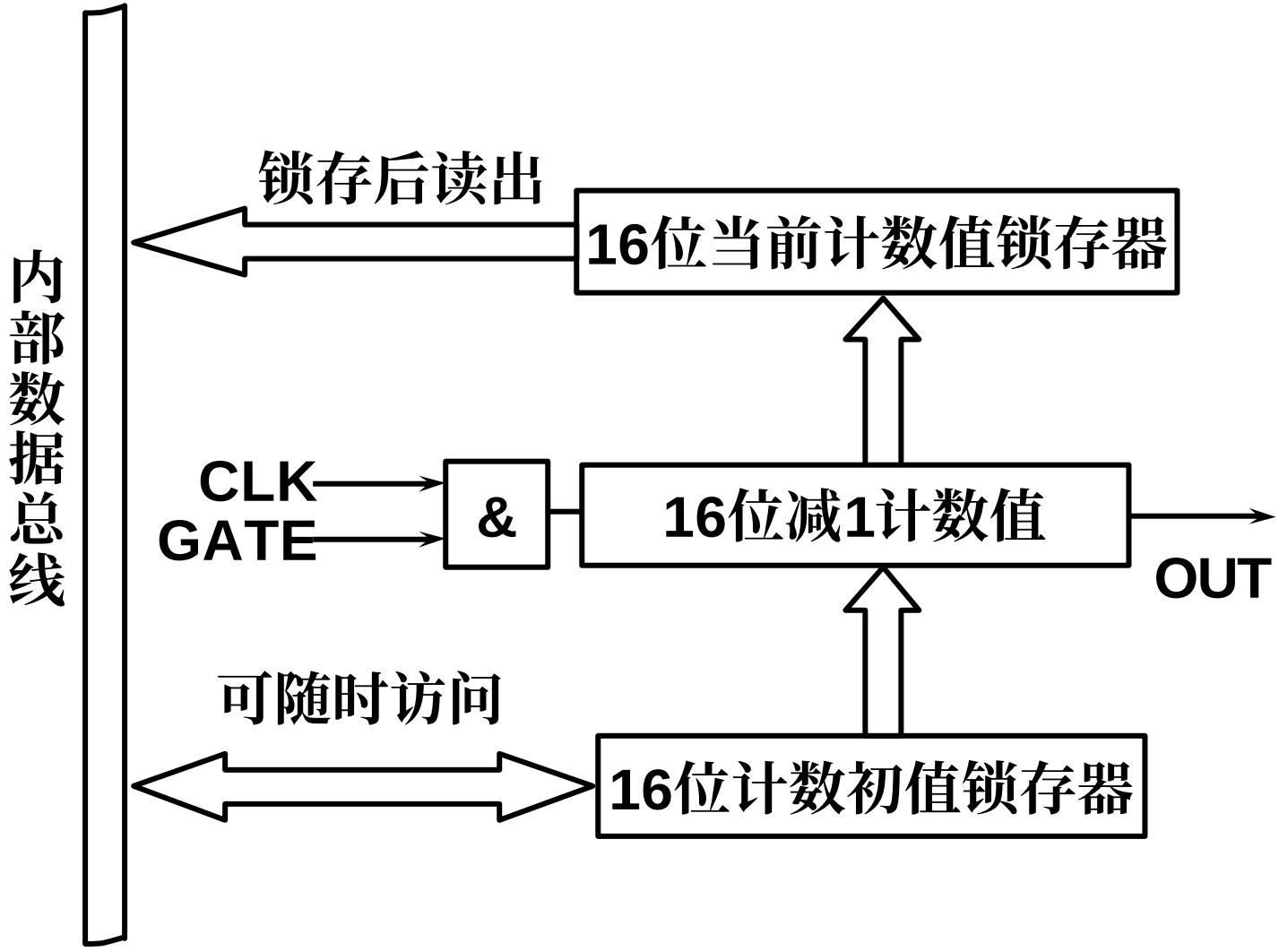
8253/8254功能概述

- 可编程硬件定时器/计数器芯片；
- 内部集成了三个独立的16位计数器；
- 每个计数器都有自己的时钟输入端CLK、计数输出端OUT和控制信号端GATE；
- 每个计数器有6种工作方式，可程控选择。

内部结构框图


D0～D7
数据总线
缓冲器
A0
A1
RD
WR
读/写逻辑
CS
控制字寄存器
计数器通道0
计数器通道1
计数器通道2
CLK0
GATE0
OUT0
CLK1
GATE1
OUT1
CLK2
GATE2
OUT2

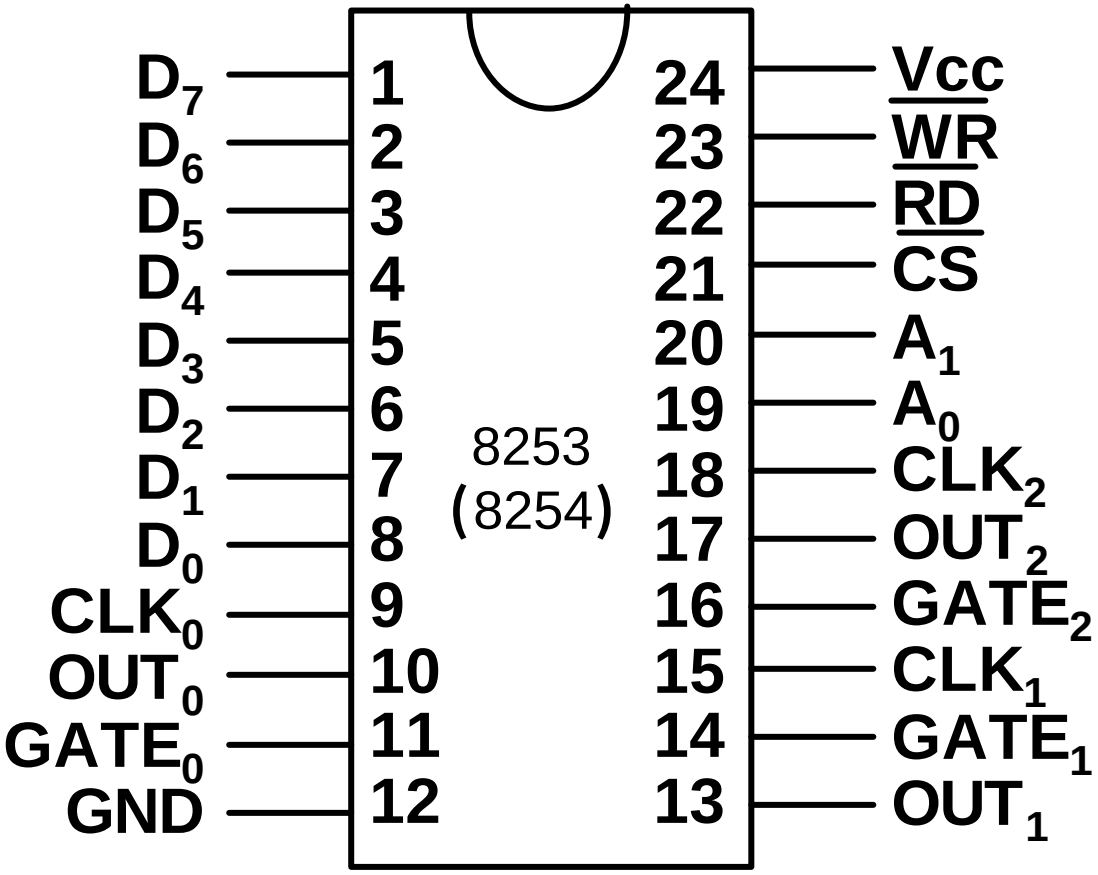
内部计数器的结构


内部数据总线
锁存后读出
16位当前计数值锁存器
CLK
GATE
&
16位减1计数值
OUT
可随时访问
16位计数初值锁存器

8253/8254引脚及其功能

西南交通大學 Southwest Jiaotong University

1. 引脚图



8253/8254引脚及其功能

- CS# ——片选，输入信号，低电平有效。当为低电平时CPU选中8253，可以向8253进行读写操作；
- A_1～A_0 ——端口选择输入线，用于选择8253内部寄存器，以便对它们进行读写操作。

8253/8254控制逻辑

西南交通大学 Southwest Jiaotong University

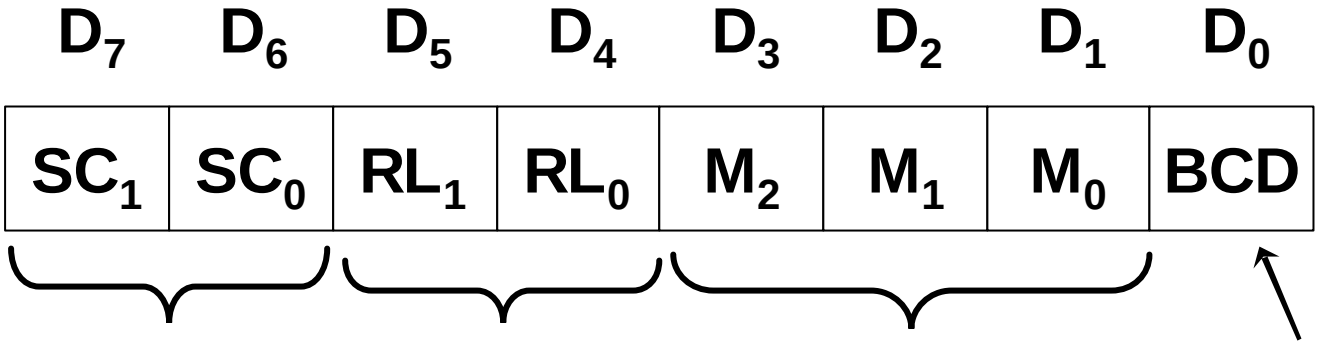
$\overline{CS}$	A1	A0	$\overline{RD}$	$\overline{WR}$	寄存器选择与操作
0	0	0	1	0	写计数器0“计数初值”
0	0	1	1	0	写计数器1“计数初值”
0	1	0	1	0	写计数器2“计数初值”
0	1	1	1	0	写“控制字”到控制寄存器
0	0	0	0	1	读计数器0“当前计数初值”
0	0	1	0	1	读计数器1“当前计数初值”
0	1	0	0	1	读计数器2“当前计数初值”
0	1	1	0	1	无操作,三态
1	×	×	×	×	禁止
0	×	×	1	1	无操作,三态

8253/8254引脚及其功能

3. 计数器引脚功能

- GATE ——门选通输入信号（$GATE_0$、$GATE_1$、$GATE_2$）。GATE信号的作用是用来禁止、允许或开始计数过程；
- CLK ——时钟输入信号（CLK_0、CLK_1、CLK_2）。CLK引脚每输入一个时钟脉冲，便使计数值减1，它是计量的基本时钟信号；
- OUT ——计数器输出信号（OUT_0、OUT_1、OUT_2）。OUT是8253向外输出定时或计数结果的信号。

8253/8254的控制字格式



计数器选择位　读写字节数　工作方式选择位　码制选择

00—计数器0
01—计数器1
10—计数器2
11—非法选择

00—计数值锁存
01—读/写低字节
10—读/写高字节
11—读/写两字，先低后高

000—方式0
001—方式1
010—方式2
011—方式3
100—方式4
101—方式5

0—二进制计数
1—十进制计数

8253/8254的初始化操作

- 每个计数器需要单独初始化;
- 各计数器的控制字都写入同一控制字寄存器;
- 8位计数初值只写一次到计数器端口;
- 16位计数初值应连续两次写入同一计数器端口(先低后高)

初始化操作举例

- 例：选择2号计数器，工作在方式2，计数初值为1000(3E8H,2个字节)，采用二进制计数，8253定时计数器通道0的端口地址为TIMER，则其程序段为(系统CPU为8088)：

```
TIMER  EQU  040H
MOV AL,10110100B ;2号计数器的方式控制字
OUT TIMER+3，AL    ;写入控制寄存器
MOV AX，3E8H       ;计数初值
OUT TIMER+2，  AL  ;先送低字节到2号计数器
MOV AL，AH         ;取高字节
OUT TIMER+2，AL    ;后送高字节到2号计数
```

读当前计数值操作(锁存后读)

- 先写锁存控制字,再执行读操作。
- 例：读出1号计数器的当前计数值（假定计数值为两字节),其程序段为(系统CPU为8088):

```
MOV AL，01000000B  ;1号计数器的锁存命令
OUT TIMER+3，AL  ;写入控制寄存器
IN AL，  TIMER+1     ;读当前计数值(低字节)
MOV  BL，AL          ;暂存
IN  AL，TIMER+1      ;读当前计数值(高字节)
MOV  BH，  AL        ;结果存BX寄存器
```

读计数初值操作

- 对选定的计数器执行输入指令即可。
- 例:读出0号计数器的计数初值(假定计数值为两字节),其程序段为(系统CPU为8088):

```
IN AL，TIMER+1      ;读计数初值低字节
MOV  BL，AL         ;暂存
IN  AL，TIMER+1     ;读计数初值高字节
MOV  BH，  AL       ;结果存BX寄存器
```

工作方式概述

西南交通大學 Southwest Jiaotong University

- 不同点：

1. 输出波形不同；
2. 启动计数器的触发方式不同；
3. 计数过程中门控信号GATE对计数器操作的影响不同。

- 共同点：

1. 控制字写入计数器时，计数器控制逻辑复位，输出端OUT进入初始态；
2. 初值写入后，要经过一个时钟信号的上升沿和下降沿才开始减一计数；
3. 门控信号GATE是在时钟脉冲的上升沿被采样，工作方式不同，GATE作用方式不同。

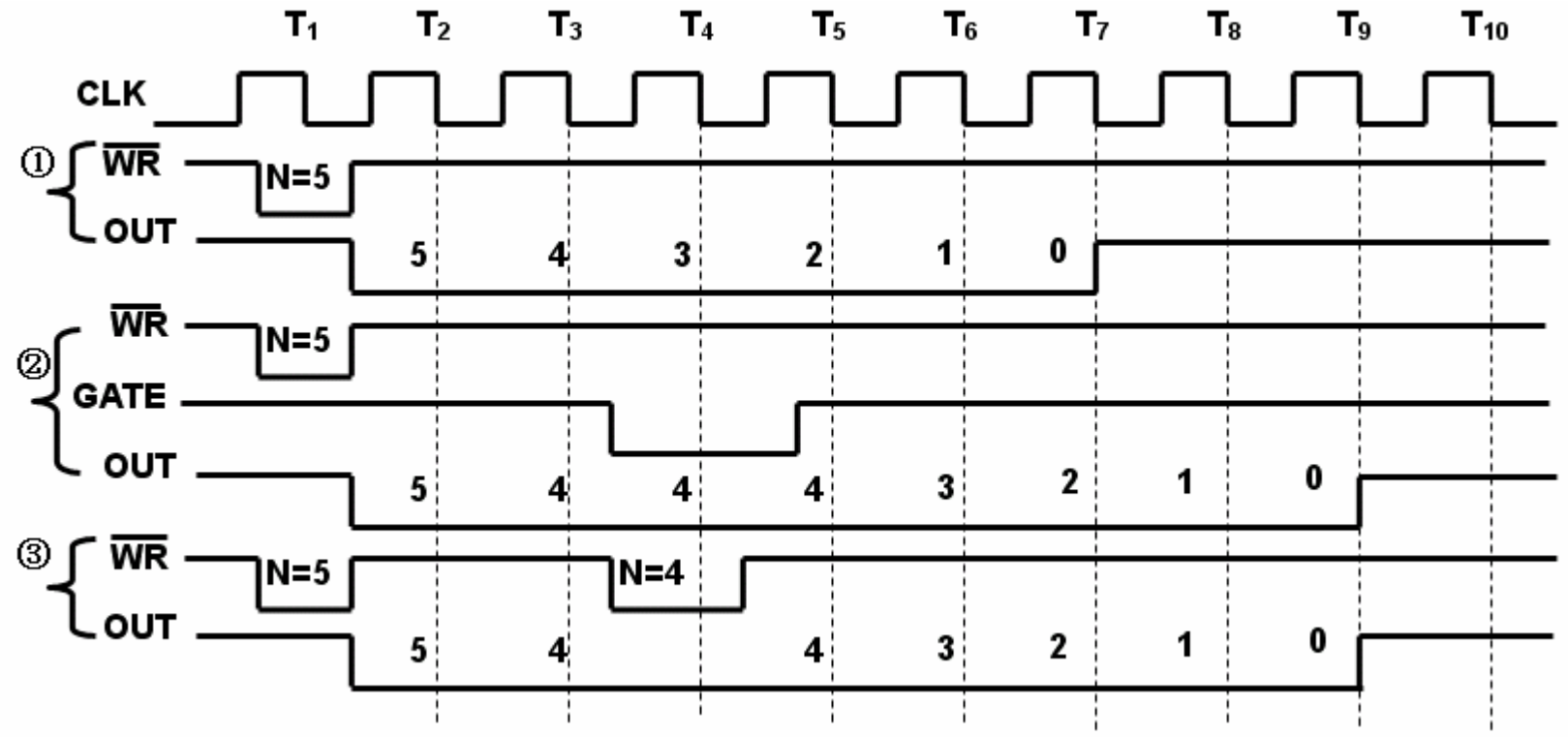
方式0 ——计数结束后中断

西南交通大学 Southwest Jiaotong University

- 方式0特点:

1. 当向计数器写完计数初值后,开始计数,相应的输出信号OUT由高变低。当计数器减到零时,OUT立即输出高电平。
2. 门控信号GATE为高电平时,计数器工作,当GATE为低电平时,计数器停止工作,其计数值保持不变。
3. 在计数器工作期间,如果写入新的计数值,则计数器将按新写入的计数值重新启动一次计数。

方式0工作波形图


T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
CLK
①
WR
N=5
OUT
5
4
3
2
1
0
②
WR
N=5
GATE
OUT
5
4
4
4
3
2
1
0
③
WR
N=5
N=4
OUT
5
4
4
3
2
1
0

返回

方式0编程举例

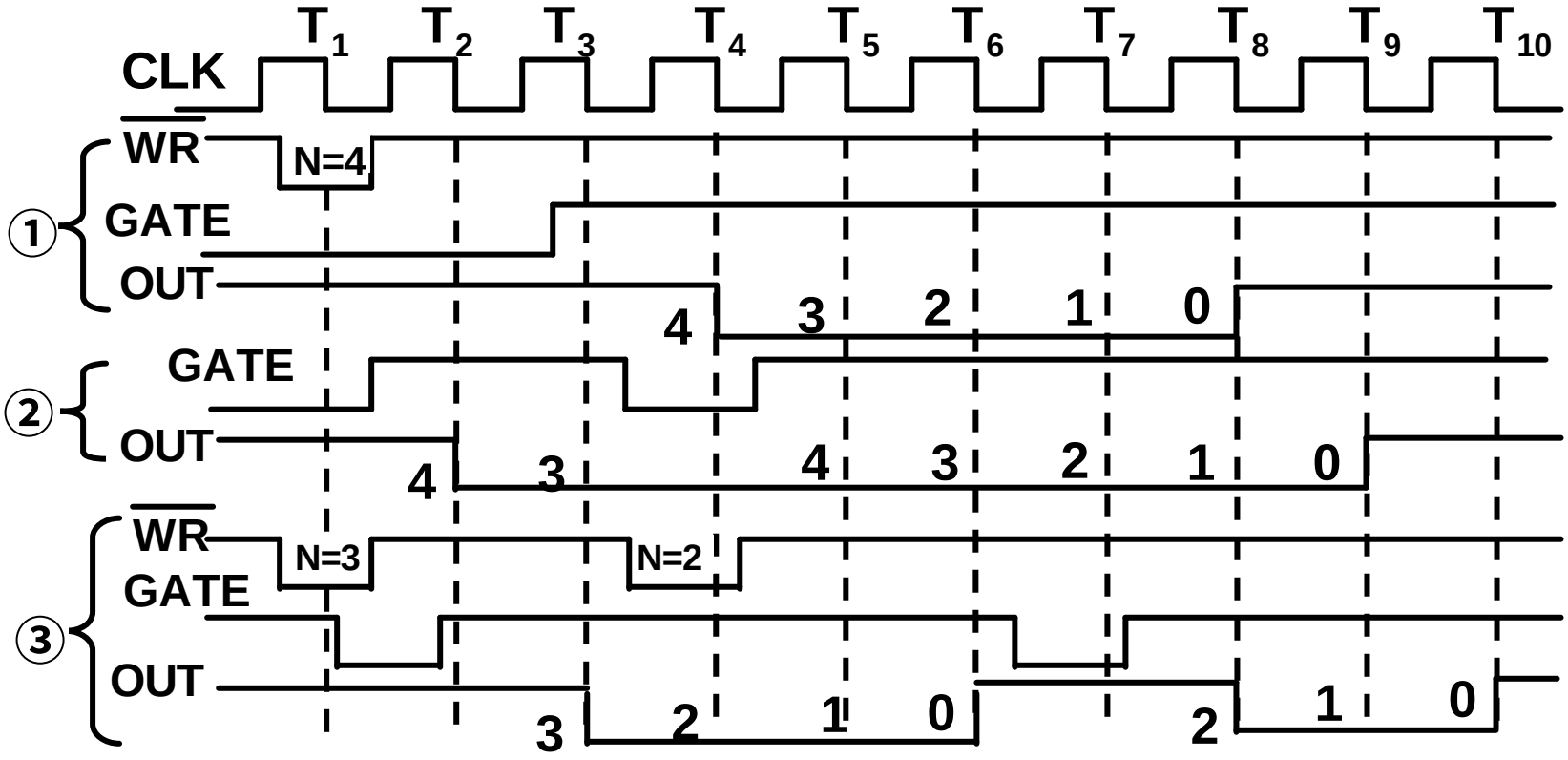
- 例：使计数器1工作在方式0，按16位二进制计数，设8254三个计数器及控制口地址分别为40H~43H，其程序段为：

```
MOV  DX，43                ;控制口地址
MOV  AL，01110000B         ;方式字
OUT  DX，AL                ;写控制字
MOV  DX，41H               ;计数器1数据口地址
MOV  AL，BYTEL
OUT  DX，  AL              ;写计数初值低字节
MOV  AL，BYTEH
OUT  DX，AL                ;写计数初值高字节
```

方式1——可程控单稳方式

1. 设定方式1后，输出OUT就变成高电平，写入计数初值且门控信号GATE出现上升沿后的一个时钟周期的下降沿，开始计数，同时输出OUT变成低电平。计数值回零后，输出变高，如图中①所示。
2. 在计数器工作期间，如果GATE端又出现一个上升沿，计数器重新装入原计数初值并重新启动计数，如图中②所示。
3. 对计数期间写入的新计数初值，要等到当前的计数值计满回零且门控信号再次出现上升沿后，才按新写入的计数值开始工作，如图中③所示。

方式1工作波形图

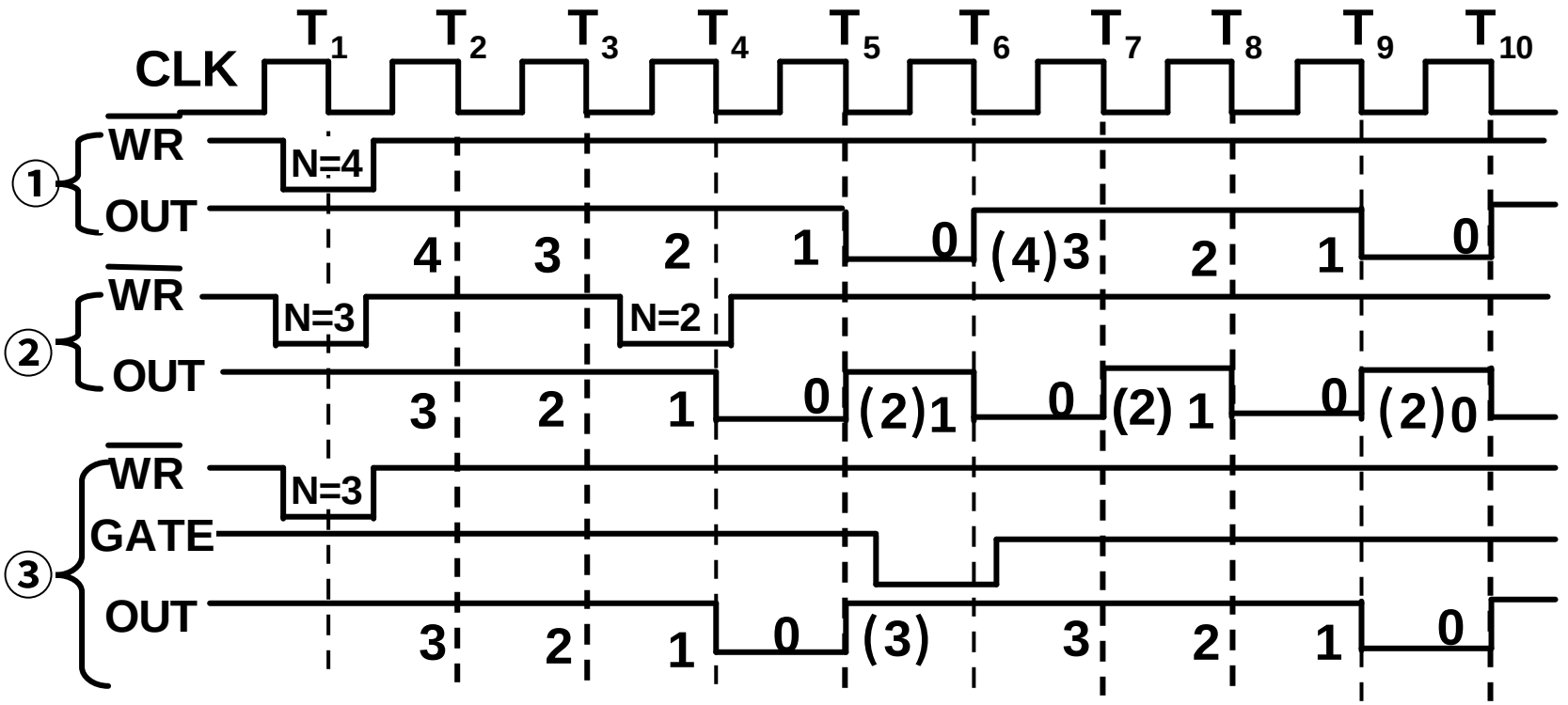

T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
CLK
WR
N=4
①
GATE
OUT
4
3
2
1
0
GATE
②
OUT
4
3
4
3
2
1
0
WR
N=3
N=2
③
GATE
OUT
3
2
1
0
2
1
0

返回

方式2 ——频率发生器方式

- 该方式相当于自动装入时间常数的N分频器，计数期间，输出OUT为高电平，计数器回零后，输出一个时钟周期的低电平后，如图①。
- 计数器工作期间，如果写入新的计数值，则计数器仍按原计数值计数，直到计数器回零并输出一个时钟周期的低电平之后，才按新写入的计数值计数，如图②。
- 门控GATE为高电平时允许计数，若在计数期间GATE变为低电平，则停止计数，GATE恢复高电平后，计数器将按原设定的计数值重新启动下一次计数，如图③。

方式2工作波形图

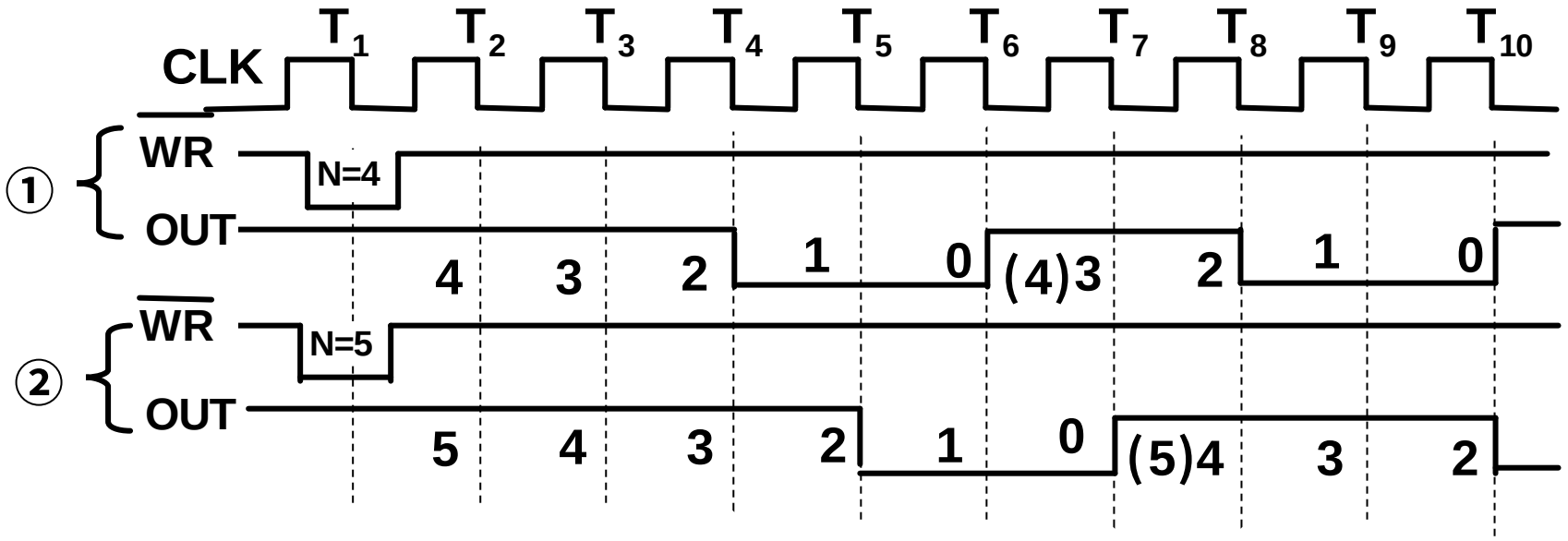

T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
CLK
①
WR
N=4
OUT
4
3
2
1
0
(4)3
2
1
0
②
WR
N=3
N=2
OUT
3
2
1
0
(2)1
0
(2) 1
0
(2)0
③
WR
N=3
GATE
OUT
3
2
1
0
(3)
3
2
1
0

返回

方式3——方波频率发生器方式

- 方式3与方式2基本相同，也具有自动装入时间常数的能力，但其输出为方波；
- 计数初值为偶数时，输出方波高低电平所占时间为1：1；计数初值为奇数时，输出方波的高电平持续时间比低电平持续时间多一个时钟周期。

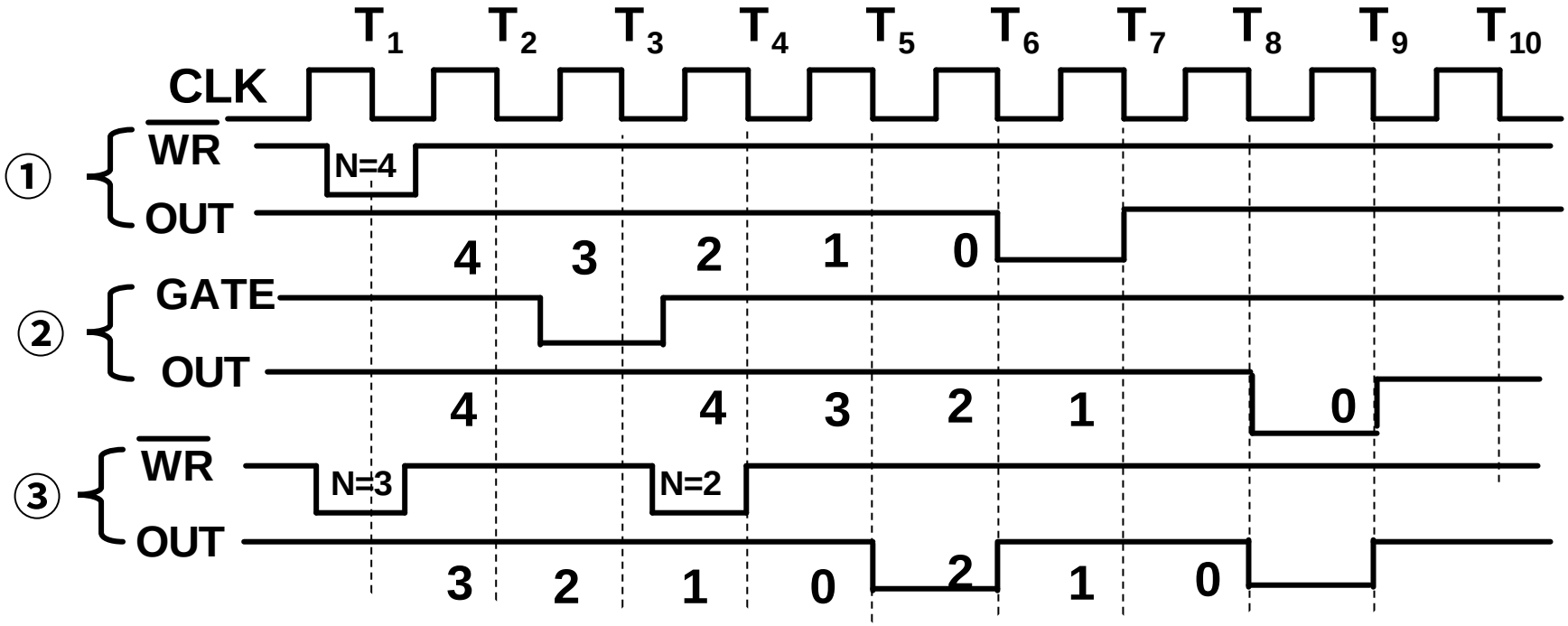
方式3工作波形图


T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
CLK
①
WR
N=4
OUT
4
3
2
1
0
(4)3
2
1
0
②
WR
N=5
OUT
5
4
3
2
1
0
(5)4
3
2

方式4 ——软件触发工作方式

- 计数初值装入后，计数器开始计数，计数完毕，输出一个时钟周期的低电平后恢复高电平，且计数器不再计数，其时序如图①所示。
- GATE为高电平时，允许计数器工作，为低电平时，计数器停止计数。当恢复高电平后，计数器从原设定的计数初值开始作减1计数，如图②所示。
- 计数器工作期间写入新的计数值，则不影响当前的计数状态，当前计数值回零时，计数器再按新写入的计数值开始计数，计数完毕后计数器将停止工作，如图③所示。

方式4工作波形图

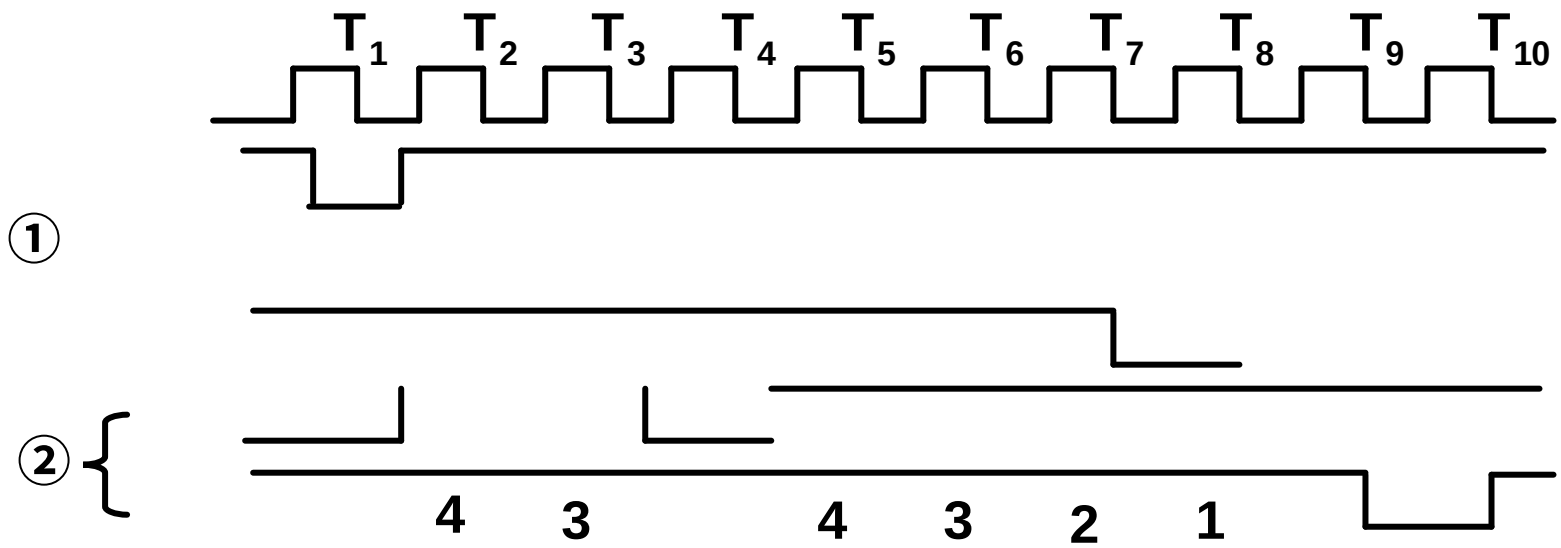

T1 T2 T3 T4 T5 T6 T7 T8 T9 T10
CLK
①
WR
N=4
OUT
4 3 2 1 0
②
GATE
OUT
4 4 3 2 1 0
③
WR
N=3
N=2
OUT
3 2 1 0 2 1 0

返回

方式5 ——硬件触发工作方式

- 方式5与方式4相类似，特点在于由GATE信号上升沿触发计数。如图①所示。
- 写入计数初值后，计数器并不立即计数，由门控信号的上升沿启动计数。计数器计数回零后，输出一个时钟周期的低电平即恢复高电平。如图①所示。
- 在计数过程中(或者计数结束后)，如果门控再次出现上升沿，则计数器将从原设定的计数初值重新计数。如图2所示。

方式5工作波形图



应用举例

西南交通大学 Southwest Jiaotong University

- 例：用8253测量连续脉冲信号的周期。

1. 测量原理图(设系统CPU为8088)
2. 测量方法

- PC_1=0时，GATE1=0，此时禁止测量，可初始化8253;
- PC_1＝1时，允许测量;
- 被测信号第一个上升沿使$GATE_1$=1，8253开始计数(基准时钟信号频率为2MHz，测量分辨率为0.5微秒);
- 被测信号第二个上升沿使$GATE_1$=0，8253停止计数；此时计数器的值即为被测信号周期(T=N×0.5ms)。

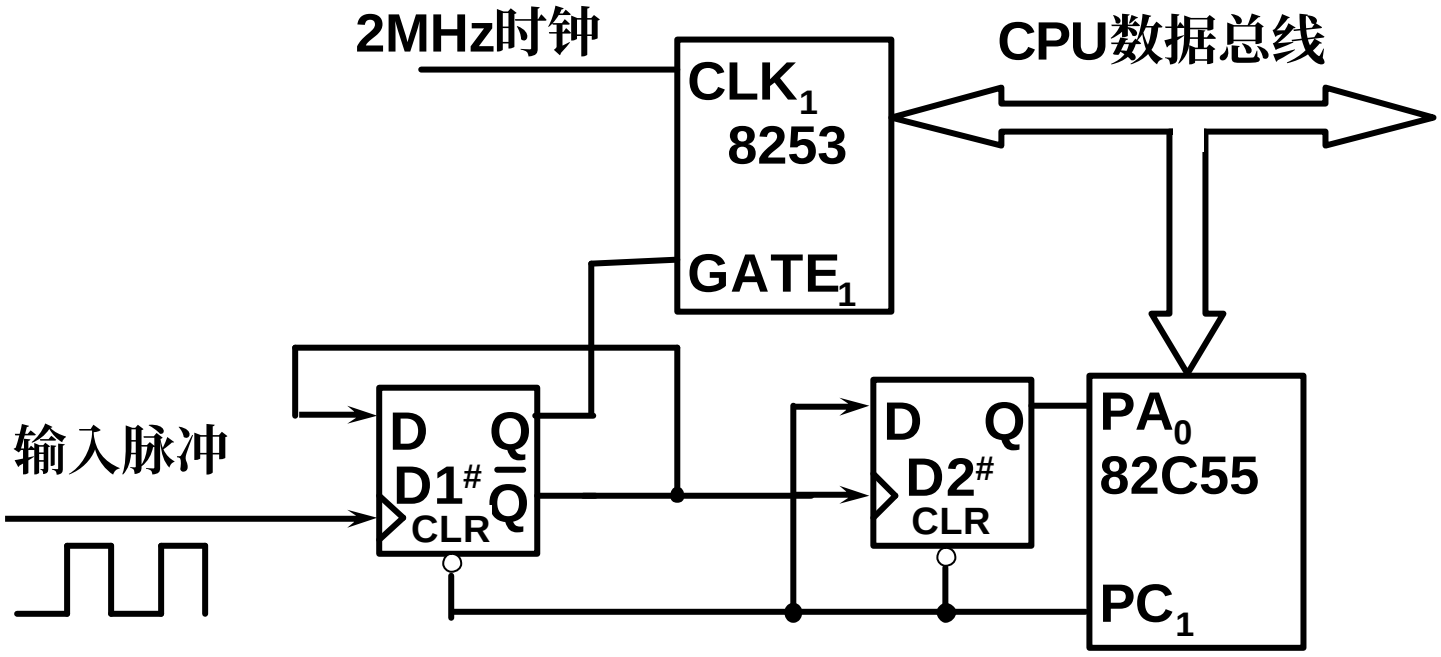
应用举例

3. 测量控制程序

- 设8253口地址为40H～43H，82C55口地址为60H～63H。
- 设置8253的计数器1工作于方式0。
- 通过查询8255的PA_0位确定一次测量计数是否完成。

NEXT

测量原理图


2MHz时钟
CPU数据总线
CLK1
8253
GATE1
输入脉冲
D
Q
D1#
CLR
Q
D
Q
D2#
CLR
PA0
82C55
PC1

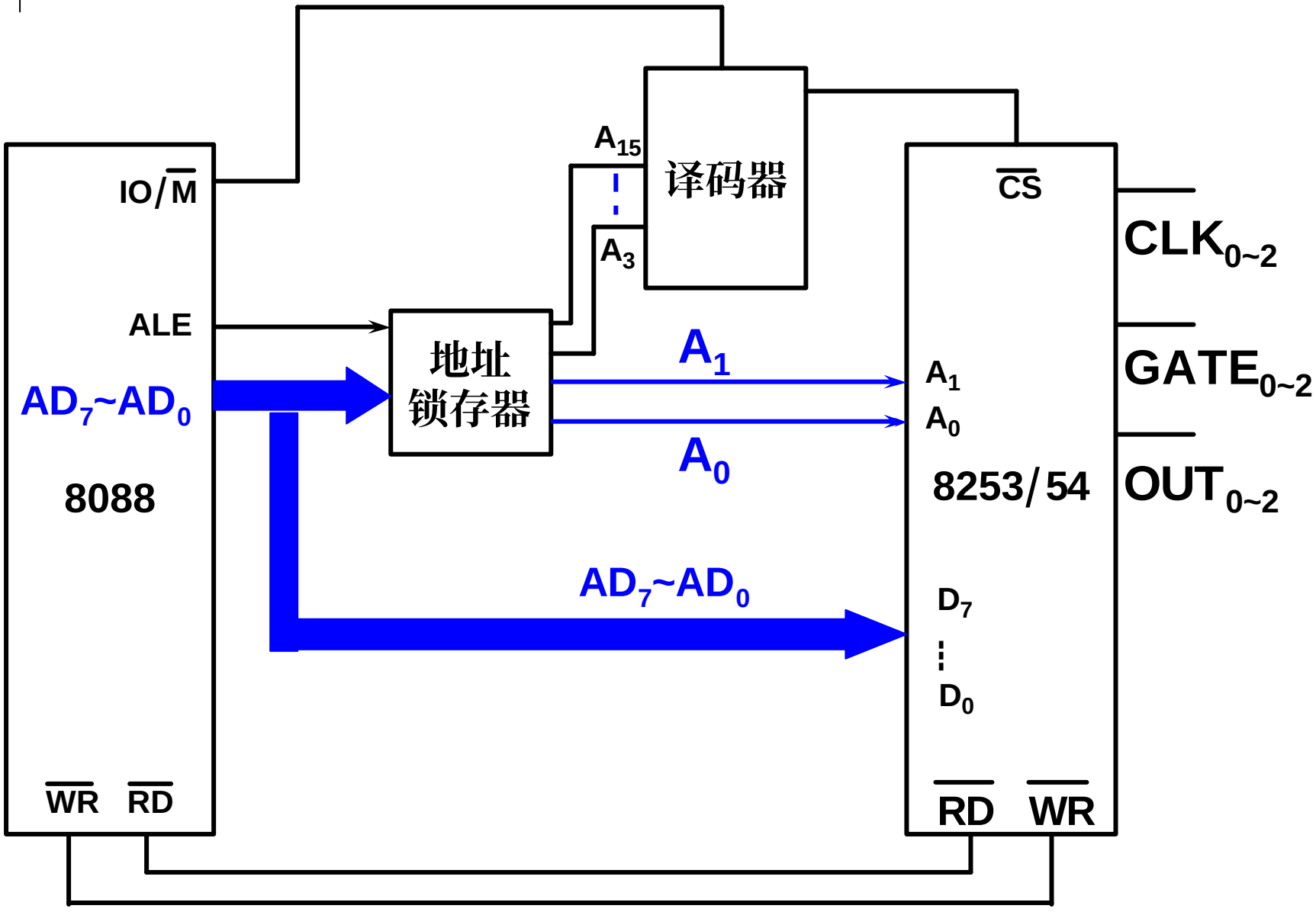
返回

```
        MOV   AL,  01110000B    ；8253计数器1方式0控制字
        OUT   43H,  AL
        MOV   AL,  00000010B    ；82C55按位置位/复位控制字
        OUT   63H,  AL          ；准备测量(PC1＝0)
        MOV   AL,  0
        OUT   42H,  AL
        OUT   42H,  AL          ；计数初值设置为0
        MOV   AL,  00000011B    ；82C55按位置位/复位控制字
        OUT   63H,  AL          ；允许计数(PC1＝1)
LOOP:   IN    AL,  60H          ；从82C55端口A输入
        TEST  AL,  01H
        JNZ   LOOP              ；等待一次计数结束
        MOV   AL,  01000000B    ；锁存后读操作命令
        OUT   43H,  AL
        IN    AL,  41H
        MOV   BL,  AL
        IN    AL,  41H
        MOV   BH,  AL           ；测量结果保存在BX寄存器中
```

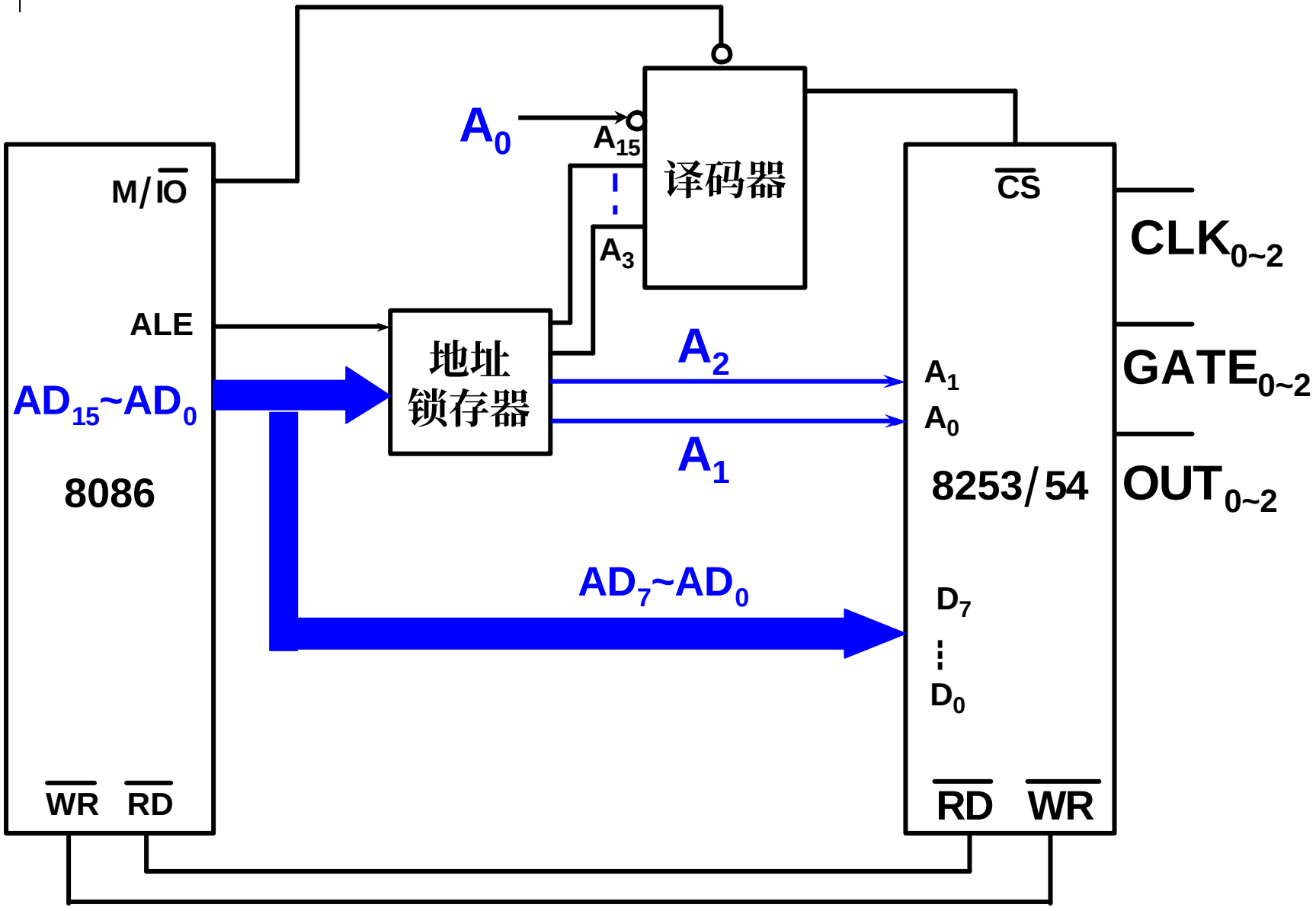
8253/8254芯片小结

- 芯片功能——计数器与定时器;
- 芯片的核心部件——可程控减1计数器、读写控制逻辑;
- 引脚及其功能——与CPU的接口引脚、计数器连接引脚(CLK、GATE、OUT);
- 工作方式——六种;
- 控制字格式及其初始化方法——初始化即规定可编程芯片的工作方式;
- 与CPU的连接方法——注意区分8位系统与16位系统中的不同连接方法。

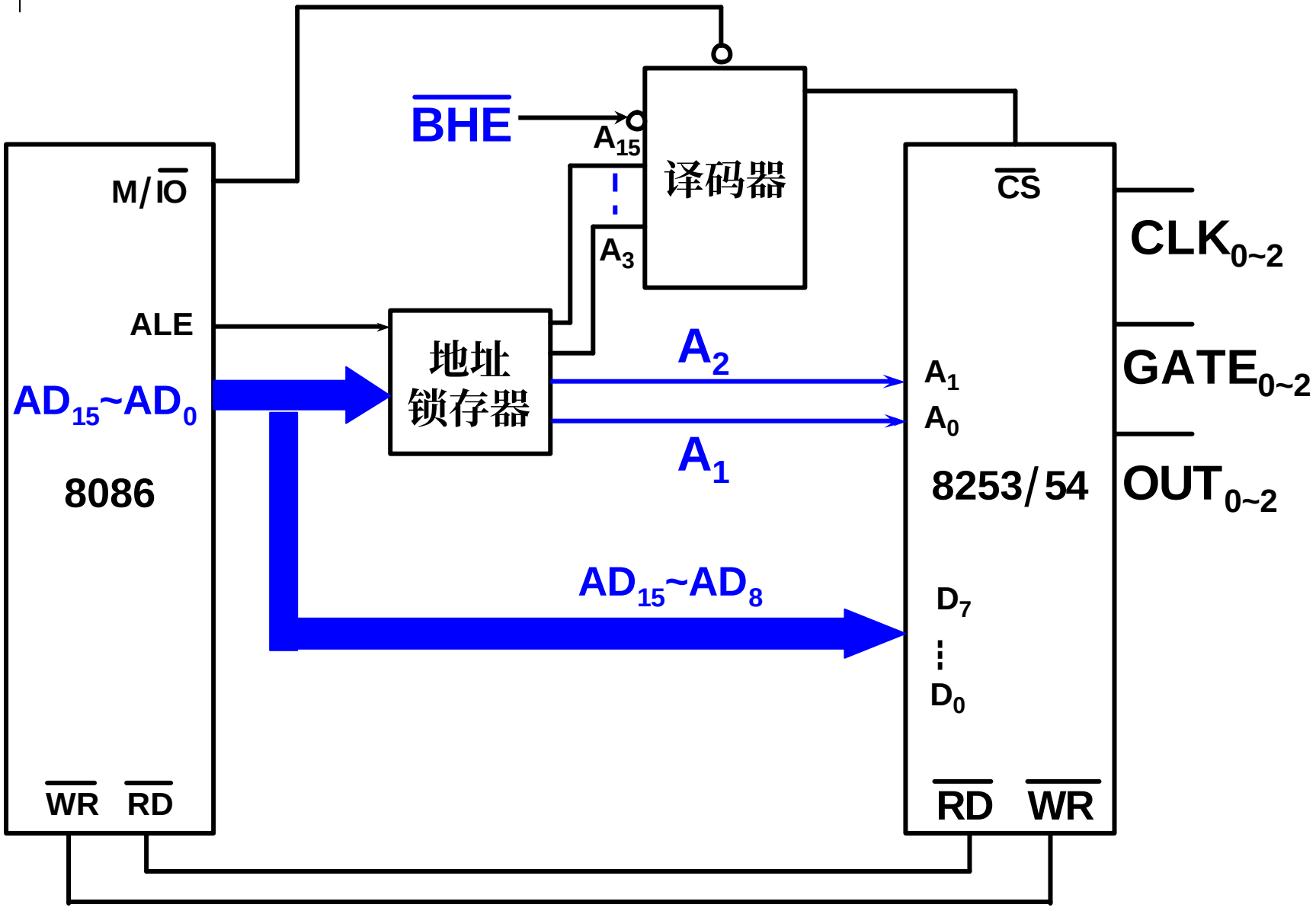
与8位的8088最小系统的连接



与16位的8086最小系统的连接(1)



与16位的8086最小系统的连接(2)



分析两种连接方法的异同

1. 端口地址;
2. 初始化程序编写;
3. 思考如果执行IN AX, PORT(DX)或OUT PORT(DX), AX之类指令时会有什么结果?
4. 如果要充分利用8086系统的端口地址资源(每各地址都映射到芯片的一个物理端口)扩充8位I/O芯片,电路该如何设计?

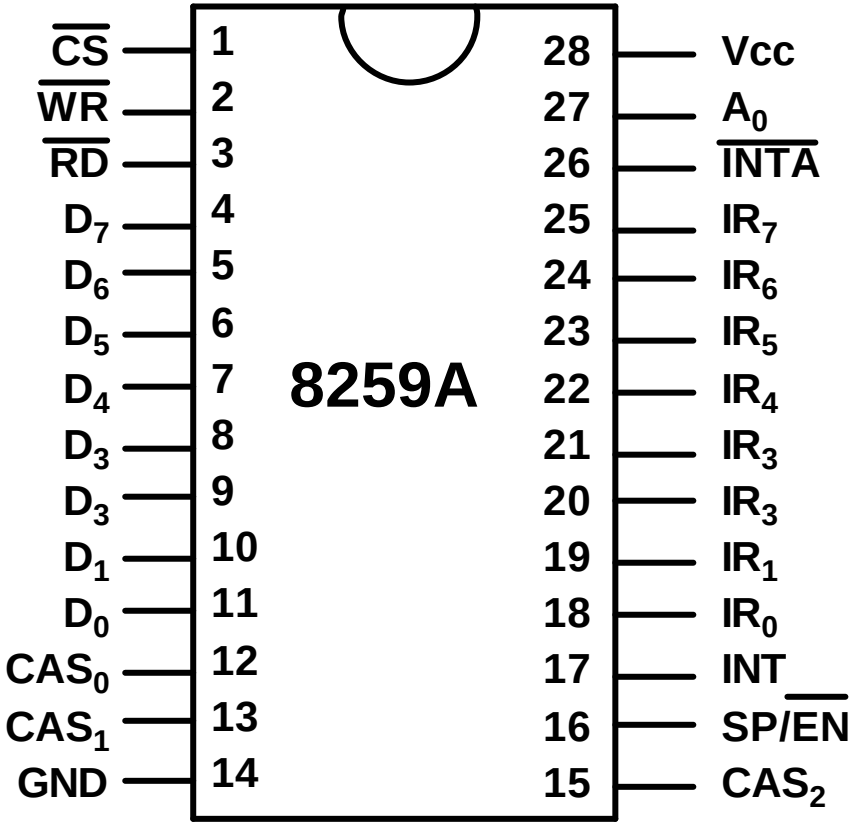
第四节 8259A可编程中断控制器

1. 8259A芯片功能及其与CPU连接方法;
2. 8259A芯片对中断申请信号的处理;
3. 8259A初始化及其工作方式;
4. 8259A芯片的使用方法。

8259A芯片功能

- 80X86系统专用中断控制芯片；
- 8级优先权管理能力；
- 可多片级联管理多达64个中断源；
- 多种优先权管理方式；
- 自动提供中断类型码；
- 具有可程控的中断屏蔽能力。

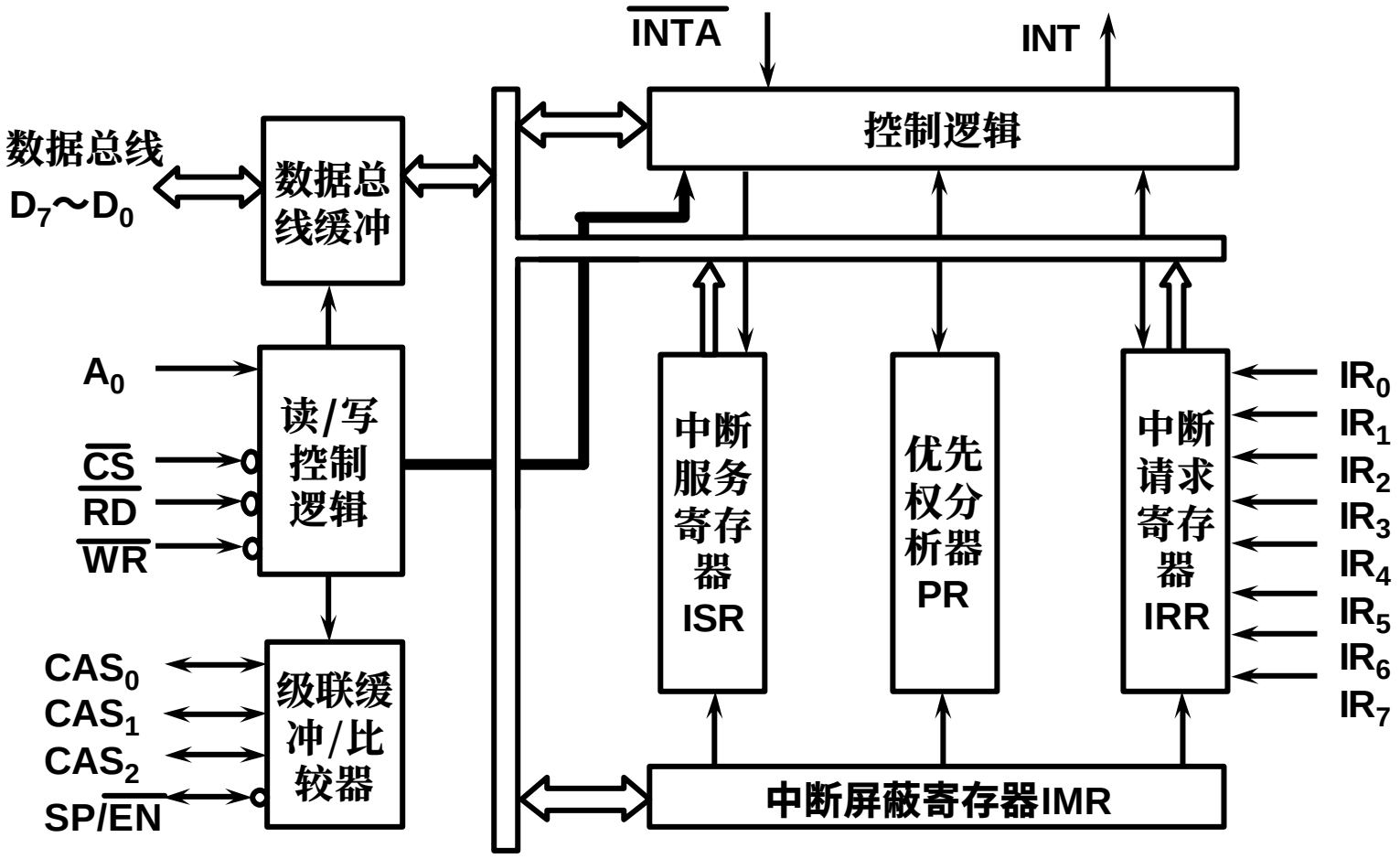
8259A引脚图


CS 1
WR 2
RD 3
D7 4
D6 5
D5 6
D4 7
D3 8
D3 9
D1 10
D0 11
CAS0 12
CAS1 13
GND 14
8259A
28 Vcc
27 A0
26 INTA
25 IR7
24 IR6
23 IR5
22 IR4
21 IR3
20 IR3
19 IR1
18 IR0
17 INT
16 SP/EN
15 CAS2

芯片外部特性

1. 与CPU连接的引脚
   - D_0～D_7；
   - RD#、WR#；
   - CS#、A_0；
   - INT、INTA#
2. 中断输入引脚
   - IR_0～IR_7
3. 级联控制引脚
   - SP/ EN#、CAS_0～CAS_2

内部结构框图


INTA
INT
控制逻辑
数据总线
D7～D0
数据总线缓冲
A0
CS
RD
WR
读/写控制逻辑
CAS0
CAS1
CAS2
SP/EN
级联缓冲/比较器
中断服务寄存器ISR
优先权分析器PR
中断请求寄存器IRR
IR0
IR1
IR2
IR3
IR4
IR5
IR6
IR7
中断屏蔽寄存器IMR

NEXT

- 中断请求寄存器IRR: 8位具有锁存功能的寄存器，用于记录IR_0～IR_7引脚产生的有效中断请求信号。
- 中断服务寄存器ISR：8位寄存器，用来标记CPU正在处理中的所有中断申请信号。
- 中断屏蔽寄存器IMR：8位寄存器，用于对8个中断源的中断请求信号进行屏蔽控制。
- 优先权分析器PR：用于比较多个中断请求信号之间的优先级别，以决定中断响应的优先级别或是否产生多重中断或中断嵌套 。

内部部件功能

- 控制逻辑：控制逻辑电路解释8259A的初始化命令字与操作命令字，按设定工作方式管理8259A的全部工作。根据IRR的内容和PR的判断结果向CPU发出中断请求信号INT，并接受中断响应信号INTA#，使8259A进入中断服务状态 。
- 数据总线缓冲器：8位的双向三态缓冲器，是8259A与CPU之间进行数据交换的通道。

内部部件功能

- 级联缓冲器／比较器：为实现级联方式的主——从结构而设计的一个功能模块。
- 读／写逻辑：读／写逻辑根据CPU发出的控制信号(RD#、WR#、CS#、A_0)完成规定的输入输出操作(写入初始化命令字,读出8259A工作状态及中断状态等)。

8259A 读/写控制逻辑真值表

西南交通大学 Southwest Jiaotong University

$\overline{CS}$	A_0	D_4	D_3	$\overline{RD}$	$\overline{WR}$	操作
0	0			0	1	读IRR、ISR或中断状态
0	1			0	1	读IMR
0	0	0	0	1	0	写OCW2
0	0	0	1	1	0	写OCW3
0	0	1	×	1	0	写ICW1
0	1	×	×	1	0	写ICW2～ICW4、OCW1
0	×	×	×	1	1	数据总线高阻态
1	×	×	×	×	×	数据总线高阻态

➢为寻址8259A内部的多个寄存器，有关信息中需加特征位、或规定相关操作顺序来区分不同的输入/输出信息

8259A中断处理过程

1. 当一个或多个中断请求输入(IR_7～IR_0)有效时,则IRR的相应位置1。
2. 可用IMR对IRR进行屏蔽。通过优先级分析电路PR,把当前具有最高优先级的中断请求从INT输出,送CPU的INTR引脚。
3. 若CPU处于开中断状态,则在现行指令执行完后响应中断,进入中断响应周期,输出INTA#。8259A收到第一个信号后,将ISR中中断优先级最高的那一位置1,而将IRR的相应位清除。

8259A中断处理过程

4. 8259A收到第二个INTA#信号后，输出相应中断类型号，CPU读入该中断类型号即可执行相应的中断服务子程序。
5. 结束当前中断，8259A有两种方式：

- 自动结束中断(AEOI)方式，8259A会将ISR中第一个INTA#到来时设置的1在第二个INTA#时自动清除；
- 普通中断结束方式(EOI)，则ISR中相应位的1状态一直保留，需CPU发出中断结束(EOI)命令才会复位；
- 中断结束方式需初始化编程时选定。

处理方式——中断申请触发

- **电平触发**

  指8259A依靠IR_i引脚上的有效高电平触发中断，与有效电平的出现方式和时间无关。可能引起重复触发现象。

- **边沿触发**

  指8259A依靠IR_i引脚上的上升沿触发中断，只有当IR_i变为无效低电平后，信号的边沿检测电路才能重新进入待命状态，接受新的中断请求。不会引起重复触发现象。

处理方式——中断屏蔽方式

- **普通屏蔽方式**：编程设置IMR寄存器中相应位为1，则相应中断请求不能送达CPU；
- **特殊屏蔽方式**：当IMR中某个屏蔽位置位时，即禁止相应中断源产生中断，而允许各个未被屏蔽的中断源(具有较高或较低的优先级)产生中断。特殊屏蔽一般在中断处理程序中使用，用了这种方式之后，尽管系统正在处理高级中断，但对外界来讲，只有同级中断被屏蔽，而允许其它任何级别的中断请求。

处理方式——中断优先权的管理

1. **完全嵌套方式**——8259A的中断优先权顺序固定为$IR_0 \rightarrow IR_7$，IR_0优先权最高，IR_7优先权最低。是8259A默认的工作方式。
2. **自动循环方式**——用于处理优先级相同的多中断申请。自动循环方式工作时，其中断的优先级队列将随时发生变化。当一个外设申请中断，得到CPU的响应后，其中断的优先级就自动降为最低。初始优先级由高到低的顺序规定为$IR_0 \rightarrow IR_7$。
3. **特殊循环(特殊优先权)方式**——特殊循环与普通循环方式的区别在于，普通方式下的优先级初始队列是固定不变的，而特殊方式下的初始队列可根据需要编程设置。

处理方式——中断类型码的生成

- 8位**中断类型码**低3位由IR_7～IR_0中断申请线的编码提供，高5位是由用户编程设定（T_7～T_3的值在初始化时编程写入）。

中断请求信号	中断类型码							
	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
IR_0	T_7	T_6	T_5	T_4	T_3	0	0	0
IR_1	T_7	T_6	T_5	T_4	T_3	0	0	1
IR_2	T_7	T_6	T_5	T_4	T_3	0	1	0
IR_3	T_7	T_6	T_5	T_4	T_3	0	1	1
IR_4	T_7	T_6	T_5	T_4	T_3	1	0	0
IR_5	T_7	T_6	T_5	T_4	T_3	1	0	1
IR_6	T_7	T_6	T_5	T_4	T_3	1	1	0
IR_7	T_7	T_6	T_5	T_4	T_3	1	1	1

处理方式——中断结束方式

- 当一个中断服务完成后，8259A需要复位ISR的相关位，结束中断过程。
- 自动结束方式：指利用中断响应时最后一个INTA#脉冲的后沿ISR中的相应位，无需CPU发送EOI命令。
- 普通EOI方式：8259A每得到一次E0I命令，将直接复位ISR中优先级最高的位。普通中断结束方式用在完全嵌套情况下。
- 特殊EOI方式：该方式的特殊性在于，除了普通EOI方式具有的将ISR相应位复位外，将明确指明本次复位的对象(ISR中的某位)。

8259A的控制字

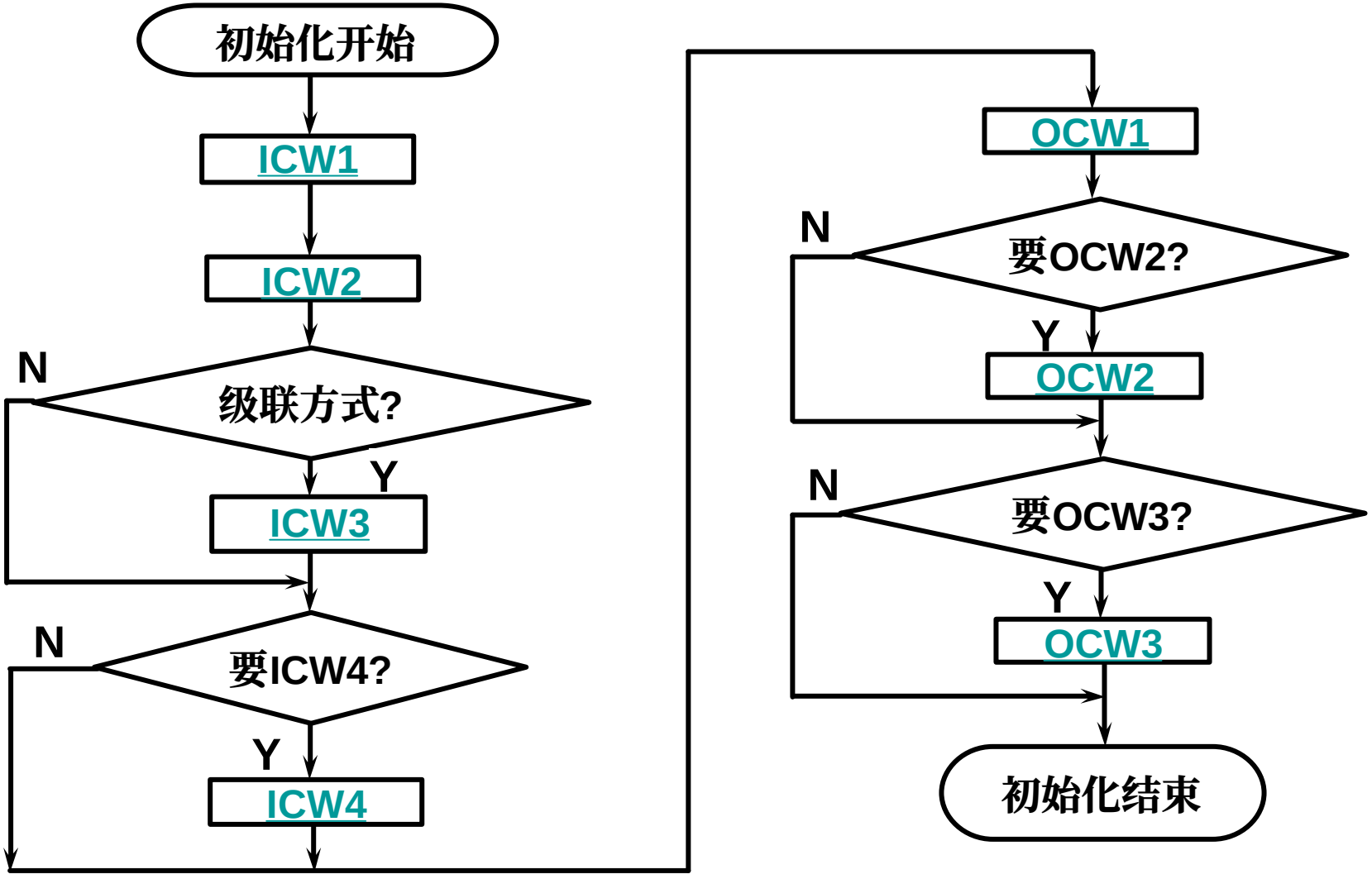
- 控制字包括初始化命令字和操作命令字。
- 8259A在开始操作之前,必须写入初始化命令字ICW(Initialization Command Word),使其处于预定的初始状态。
- 操作命令字OCW(Operation Command Word)用来控制8259A执行不同的操作方式,如中断屏蔽、中断结束、优先权循环和中断状态的读出和查询。操作控制字可以在初始化后的任何时刻由CPU写入8259A。

8259A的控制字

西南交通大學 Southwest Jiaotong University

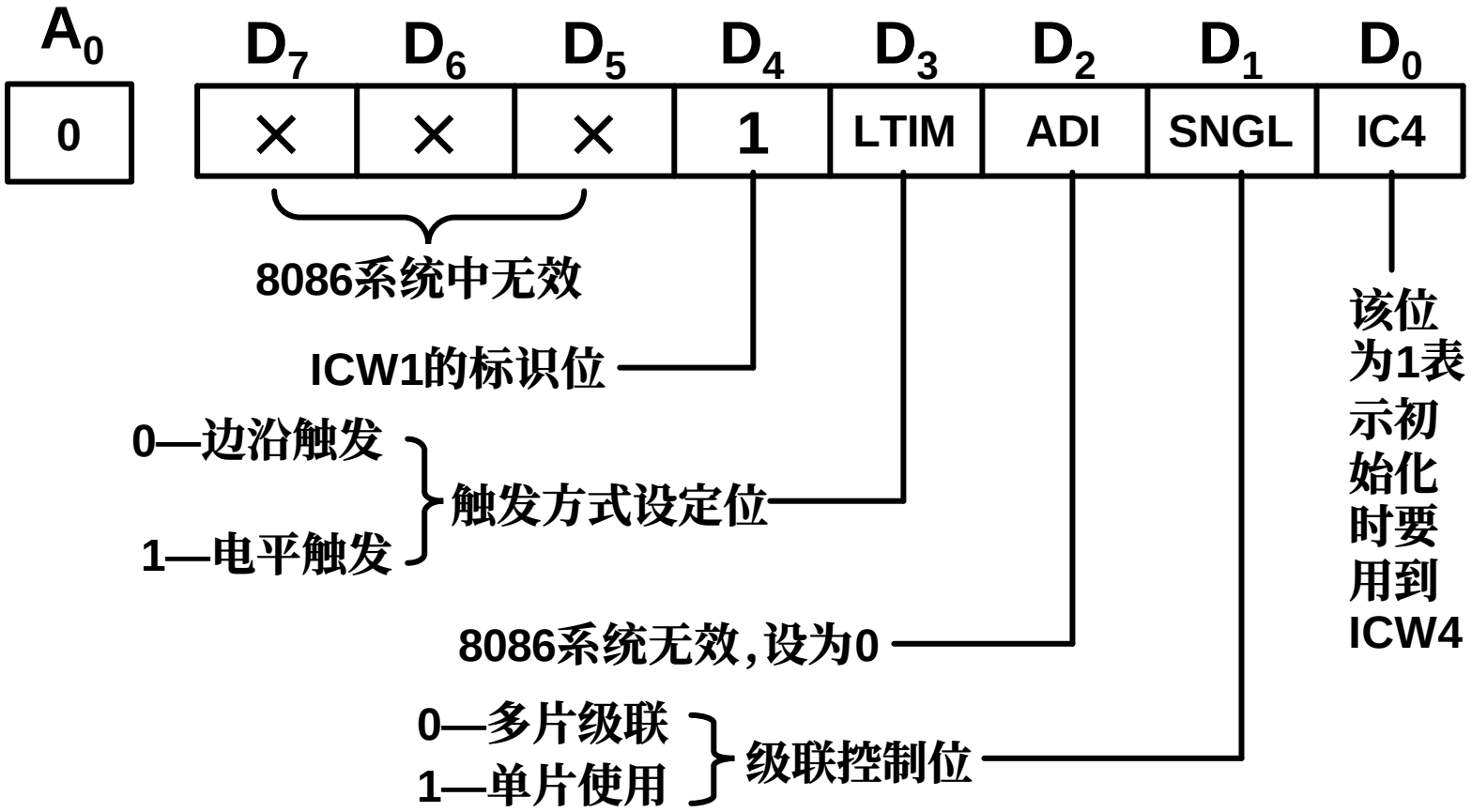
- 初始化字的种类包括：
  - ICW1～ICW4 —— 初始化命令字。
  - OCW1 —— 中断屏蔽操作命令字;
  - OCW2 —— 中断模式设置命令字;
  - OCW3 —— 运行方式设置命令字。

8259A的初始化流程

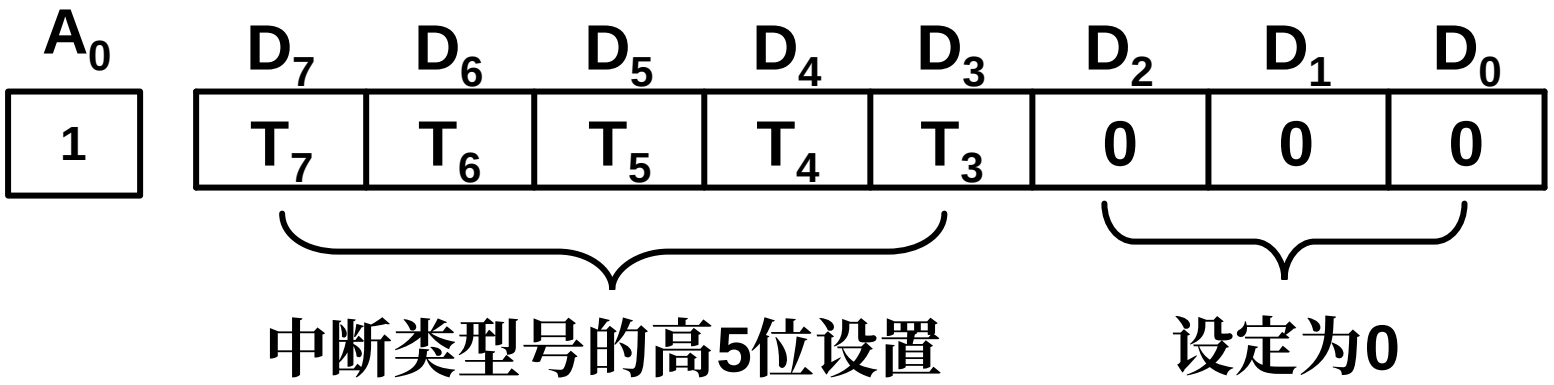


NEXT

ICW1


A0
D7 D6 D5 D4 D3 D2 D1 D0
0
× × × 1 LTIM ADI SNGL IC4
8086系统中无效
ICW1的标识位
0—边沿触发
1—电平触发
触发方式设定位
8086系统无效,设为0
0—多片级联
1—单片使用
级联控制位
该位为1表示初始化时要用到ICW4

ICW2



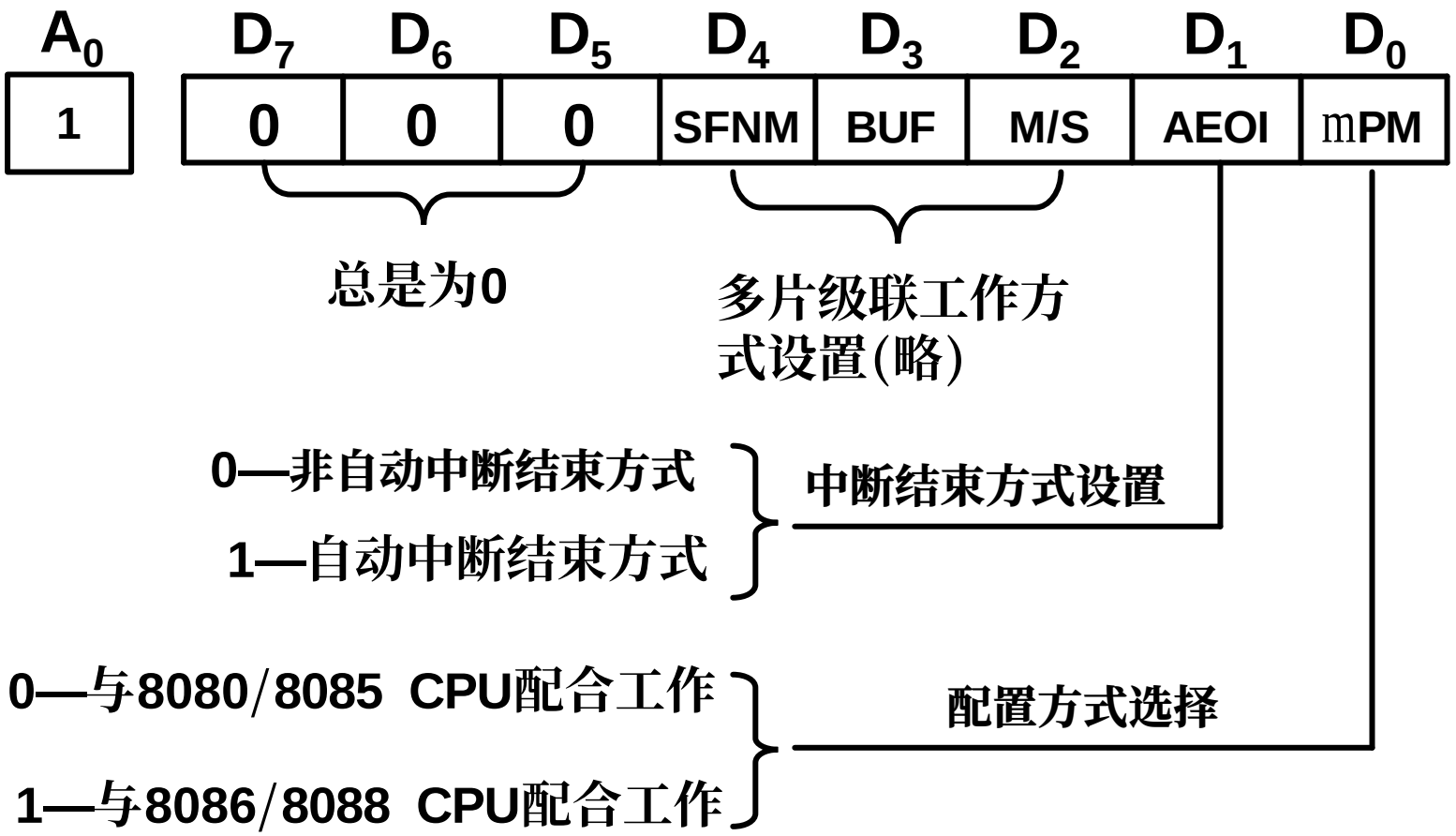
ICW3

A_0	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	S_7	S_6	S_5	S_4	S_3	S_2/ID_2	S_1/ID_1	S_0/ID_0

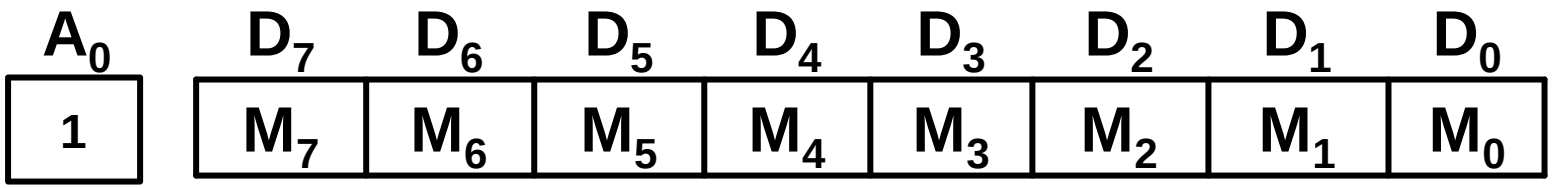
1. ICW1中的SNGL=0时，表示有多片8259级联使用，此时需要ICW3；
2. 8259A作为主设备使用时，ICW3中每位分别定义为S_7～S_0。主8259A的某一个IR_i端接有从8259A时，S_i位置1；否则，S_i位清0。
3. ID_0～ID_2用于规定从8259A的识别地址，用于说明从8259A是接在主8259A的哪个IR_i引脚上。

返回

ICW4


A0
D7 D6 D5 D4 D3 D2 D1 D0
1
0 0 0 SFNM BUF M/S AEOI mPM
总是为0
多片级联工作方式设置(略)
0—非自动中断结束方式
1—自动中断结束方式
中断结束方式设置
0—与8080/8085 CPU配合工作
1—与8086/8088 CPU配合工作
配置方式选择

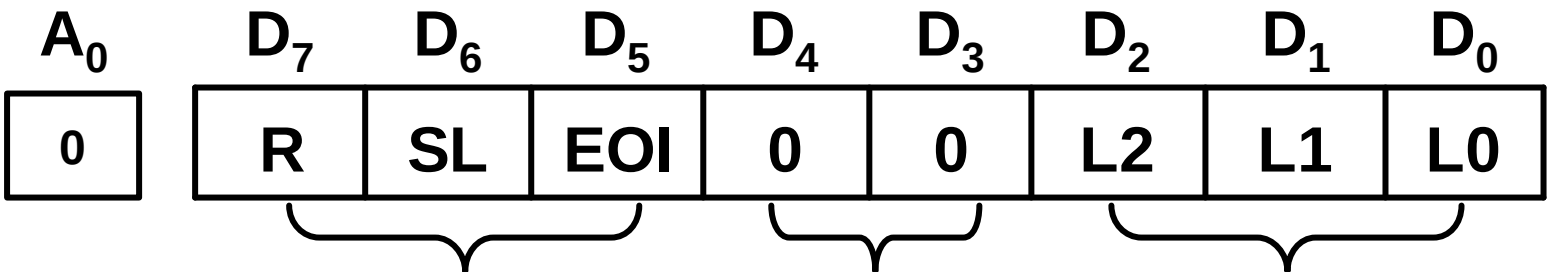
OCW1——中断屏蔽操作命令字



- M_i=0，屏蔽IR_i引脚上的中断申请信号；否则，开放IR_i引脚上的中断申请信号。

返回

OCW2——中断模式设置命令字



OCW3

西南交通大學 Southwest Jiaotong University

A_0	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
0	×	ESMM	SMM	0	1	P	RR	RIS

应用举例

第五节　串行通信的基本概念

1. 串行通信基本概念;
2. 异步通信协议与实现技术;
3. 异步通信接口标准。

并行通信与串行通信

西南交通大学 Southwest Jiaotong University

1. 并行通信

- 利用多条数据传输线将一个数据的各位同时传送。
- 特点：传输速度快,适用于短距离通信。

2. 串行通信

- 利用一条传输线将数据一位位地顺序传送。
- 特点

① 通信线路简单,通过调制与解调,可利用电话或电报线路实现通信,适用于远距离通信,但传输速度慢。

并行通信与串行通信

② 传输信息格式有固定的要求,以区分联络信息与数据信息;

③ 串行通信对信息的逻辑表示与TTL不兼容,因此,需要进行逻辑电平转换 。

数据传送的方向

西南交通大学 Southwest Jiaotong University

1. 单工方式(Simplex)

- 数据按固定方向传送。

2. 半双工方式(Half-Duplex)

- 数据可以双向传输,但通信双方不能同时收发数据,通信双方可以轮流发送和接收。

3. 全双工方式(Full-Duplex)

- 通信双方都能在同一时刻进行发送和接收操作。

信号传输方式

1. 基带传输

- 在传输线路上直接传输不加调制的二进制信号;
- 基带传输方式仅适宜于近距离和速度较低的通信 。

2. 频带传输(载波传输)

- 二进制信号经过调制变成模拟信号后再传输;
- 可用于长距离通信;
- 需要调制与解调器。

信号的调制与解调

西南交通大學 Southwest Jiaotong University

- 将数字信号转换为模拟信号再送到公用电话网上传输,这个过程就是调制;
- 收到的调制模拟信号经解调器转换成数字信号,这个过程就是解调。

数据的检错与纠错

西南交通大学 Southwest Jiaotong University

- 通信中差错控制能力是衡量一个通信系统性能的重要内容;
- 检错——指如何发现传输中产生的错误;
- 纠错——指发现错误之后,如何消除错误;
- PC机中的异步通信口一般采用奇偶校验方式检错,以反馈重发数据的方式纠错。

异步通信及其协议

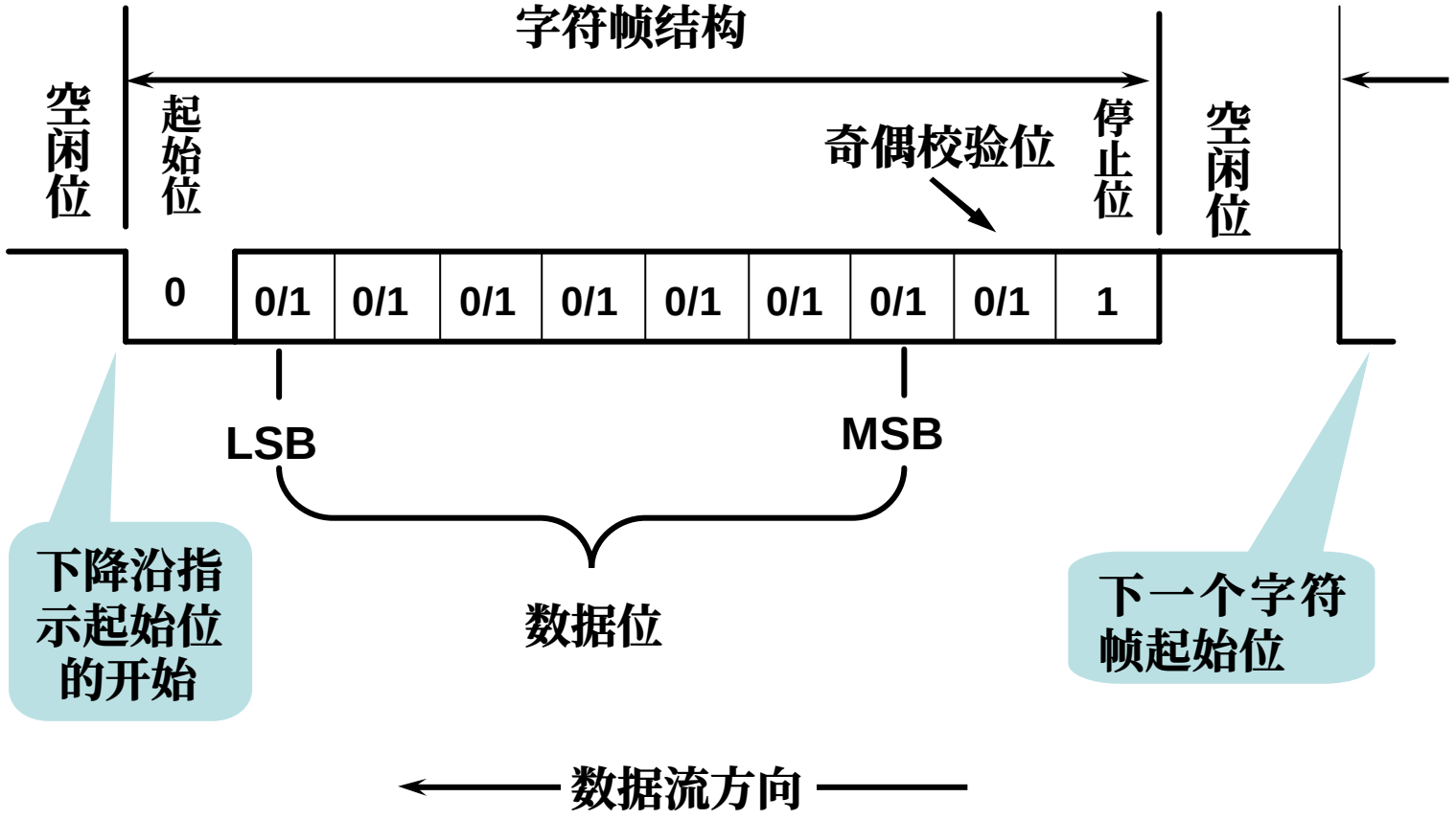
- 异步通信以一个字符为传输单位，字符间的时间间隔不固定，同一个字符中的两个相邻位代码间的时间间隔固定；
- 一个字符帧格式：由起始位、数据位、奇偶校验位、停止位等组成。
  - 起始位：用逻辑“0”表示传输字符的开始；
  - 数据位：紧跟起始位之后，数据位长度可以是4、5、6、7或8位，构成一个字符，通常低位在前，高位在后；
  - 奇偶校验位：数据位加上这一位后，使得“1”的位数应为偶数（偶校验）或奇数（奇校验），以此来校验数据传送的正确性。

异步通信及其协议

- 停止位：一个字符数据的结束标志，可以是1位、1.5位、2位的高电平；
- 空闲位：处于逻辑“1”状态，表示当前线路上没有数据传送。
- 起／止位的作用
- 起／止位是作为收／发双方的同步信号而附加进来的；
- 收／发双方应规定相同的帧格式和数据传输速率；
- 接受方总是采样接受数据线，检测到起始位下跳沿即表明一帧数据传输的开始；
- 按照约定数据帧格式接收直到收到正确的停止位，表明一帧数据接收完毕。

NEXT

字符帧格式


字符帧结构
空闲位
起始位
奇偶校验位
停止位
空闲位
0
0/1
0/1
0/1
0/1
0/1
0/1
0/1
0/1
1
LSB
MSB
下降沿指示起始位的开始
数据位
下一个字符帧起始位
数据流方向

返回

异步通信速率

西南交通大學 Southwest Jiaotong University

- 传输速率单位：波特，1波特＝1 bit／s；
- 常用的标准波特率：110、300、1000、1200、2400、4800、9600和19200波特;

串行I/O数据的实现

西南交通大学 Southwest Jiaotong University

- 软件方式实现
- 硬件实现——采用专用UART电路(结构图)
- 发送／接收时钟与波特率的关系

  发送／接收时钟频率＝N×发送／接收波特率(N＝16、64等)
- 串行数据发送

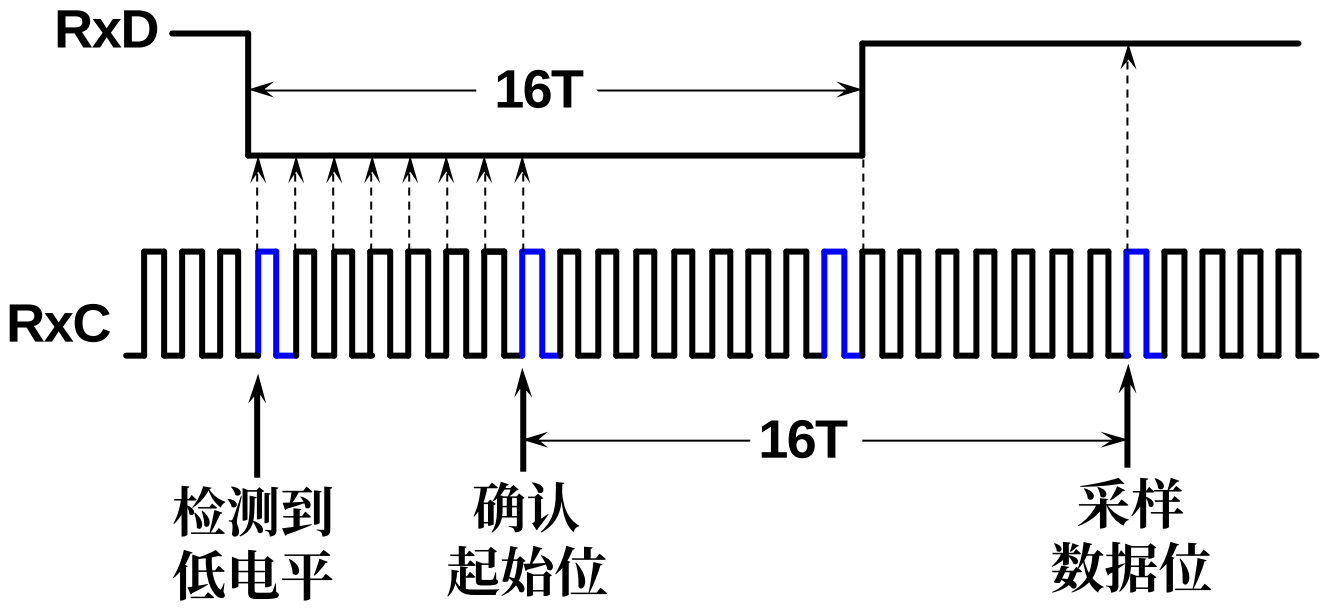
1. CPU通过并行数据总线送8位数据到发送数据缓冲器;
2. 控制电路将数据装入发送移位寄存器;
3. 由发送时钟与控制电路控制数据移位输出，由TxD线送出串行数据,所有数据位发送完毕后给出发送结束信号。

- 串行数据接收

1. UART中的采样电路一直采样检测RxD线;
2. 检测到RxD线上有低电平出现时表明新的字符接收过程开始;
3. 每收到一位数据后“接收移位寄存器”左移一次;
4. 所有数据位接收完毕后数据以并行方式送“接收数据缓冲器”,同时控制电路给出发送完毕信号。数据接收过程示意图。

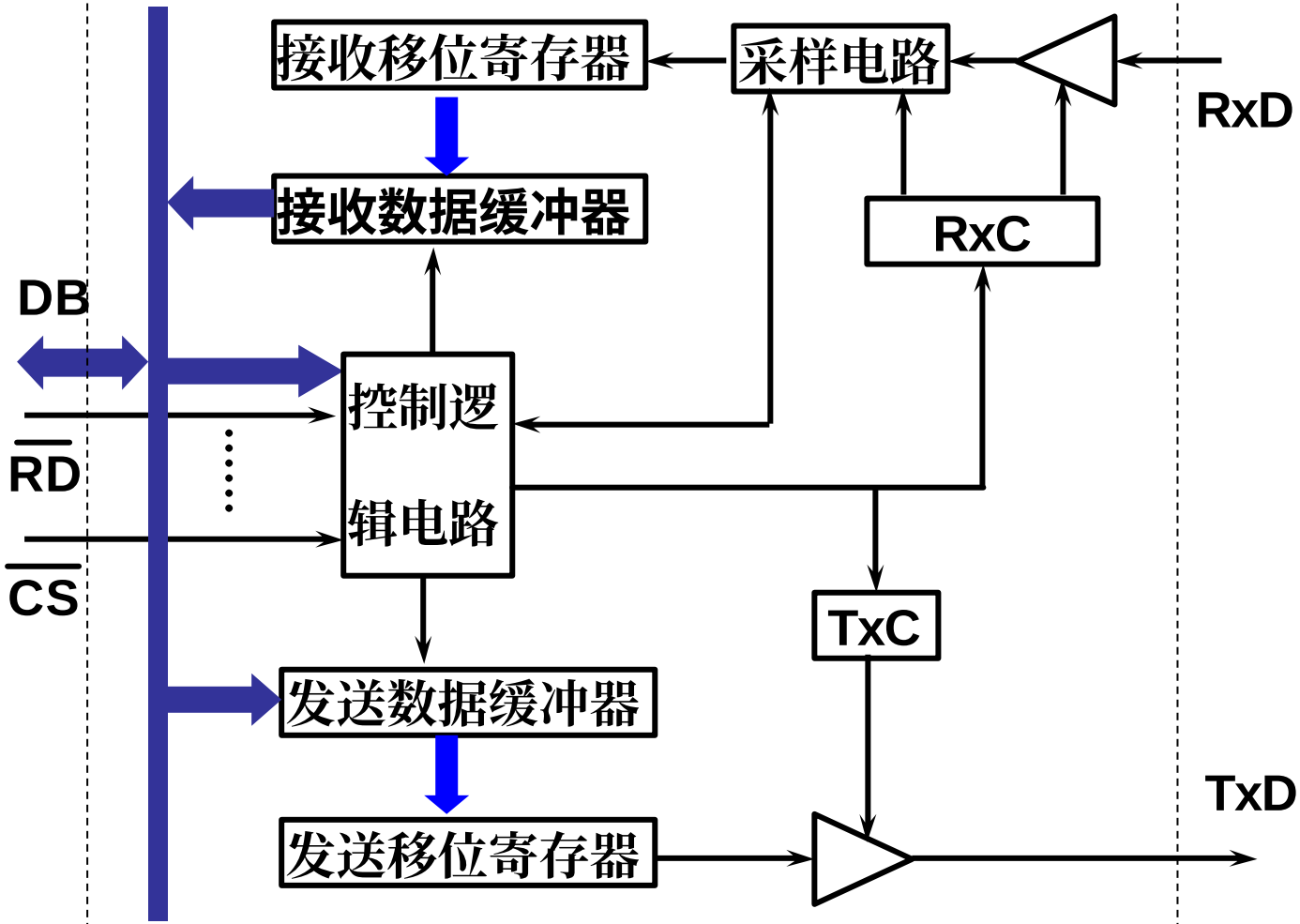
NEXT

UART中对RxD线的采样



返回

UART电路结构示意图



返回

EIA-RS232异步通信接口标准

- **数据终端设备DTE**(Data Terminal Equipment)
- **数据通信设备DCE**(Data Communication Equipment)
- **EIA-RS232标准的电气特性**

1. **在TXD和RXD数据上:**

- **逻辑1(MARK)＝-3V～-15V**
- **逻辑0(SPACE)＝+3V～+15V**

2. **在RTS、CTS、DSR、DTR和DCD等控制线上:**

- **信号有效(接通,ON状态)＝+3V～+15V**
- **信号无效(断开,OFF状态)＝-3V～-15V**

EIA-RS232异步通信接口标准

西南交通大學 Southwest Jiaotong University

3. RS232电平与逻辑电平之间的转换

- 分立元件组成的电路转换;
- 专用转换芯片：MC1488/1489,MAX232或MAX202等。

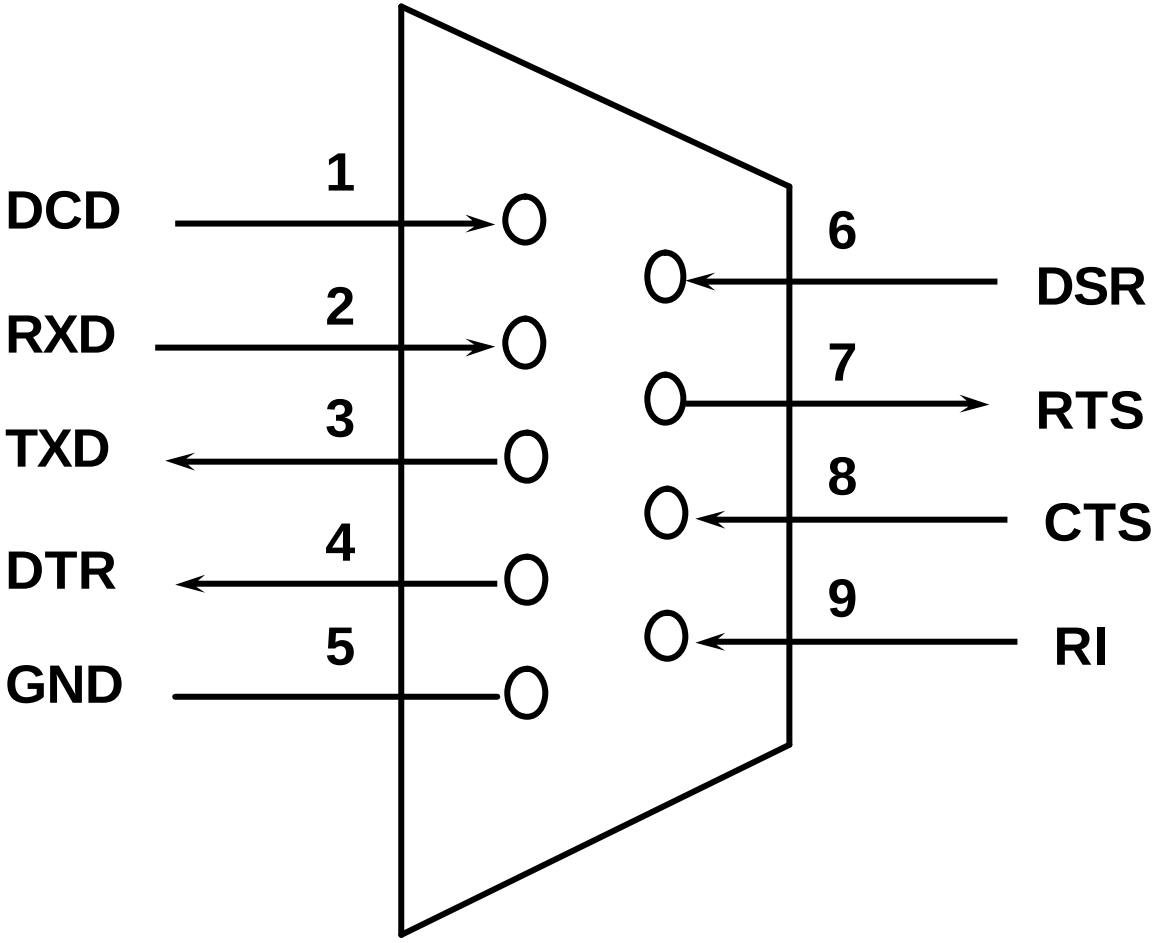
❖ EIA-RS232标准的机械特性

1. 目前,多数PC机采用BD-9型连接器(查看引脚信号定义);
2. RS232接口信号定义

- DSR（数据通信设备准备好,Data Set Ready)——有效时（ON状态），表明MODEM处于可以使用的状态;

NEXT

DB-9型RS-232串口连接器引脚图



返回

RS232接口信号定义

西南交通大学 Southwest Jiaotong University

- **DTR(数据终端准备好,**Data Terminal Ready)**——有效时(ON状态),表明数据终端可以使用;**
- **RTS（请求发送,**Request To Send)**——有效时(ON状态),表明数据终端要发送数据,向MODEM请求发送,常用来控制MODEM是否要进入发送状态;**
- **CTS（允许发送,**Clear To Send)**——有效时(ON状态),表示DCE准备好接收DTE发来的数据,是对RTS的响应信号;**

RS232接口信号定义

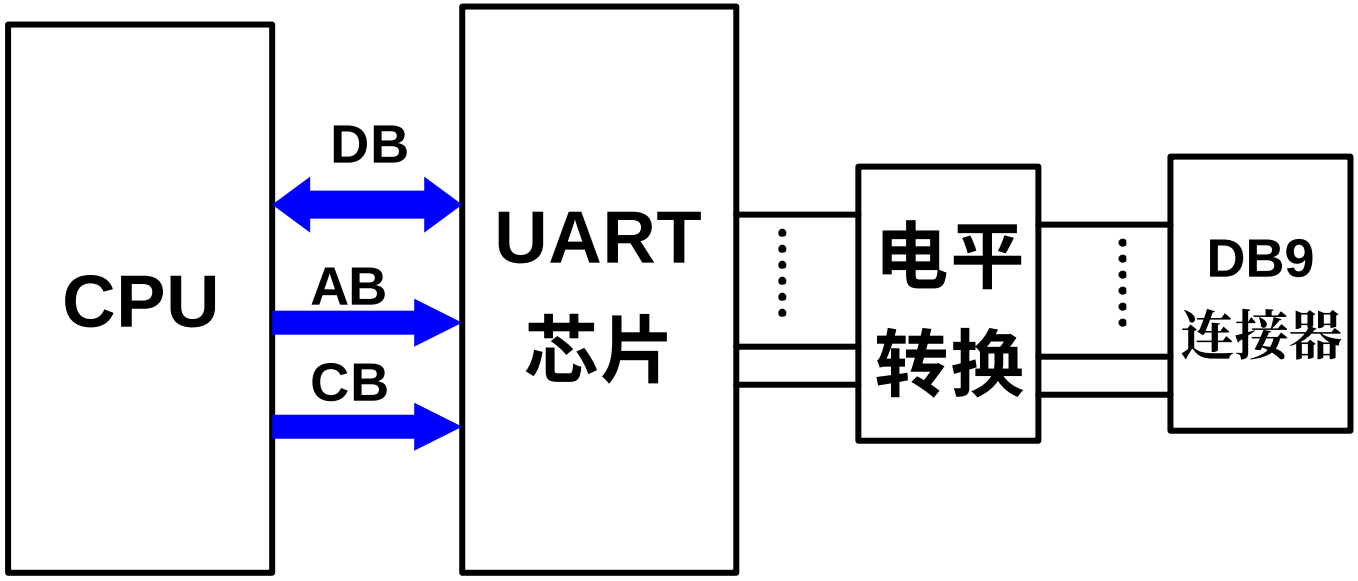
西南交通大学 Southwest Jiaotong University

- **DCD（载波检出Data Carrier Detection)——有效时(ON状态),表明DCE已接通通信链路,告知DTE准备接收数据。此线也叫接收线信号检出(Received Line Signal Detection——RLSD)。**
- **RI（振铃指示,Ringing)——有效时(ON状态),表明MODEM收到交换台送来的振铃呼叫信号时,通知终端,已被呼叫。**

RS232接口信号定义

- TxD（发送数据线，Transmitted Data）——数据终端通过TxD线将串行数据发送到通信线路；
- RxD（接收数据线，Received Data）——数据终端通过RxD线接收通信线送来的串行数据。
- GND——地线。

PC机RS-232接口结构



第二节　16C550芯片结构、功能与应用

1. 16C550芯片功能及其与CPU连接方法;
2. 16C550内部寄存器与初始化编程;
3. 16C550芯片的应用方法。

16C550芯片主要功能

西南交通大學 Southwest Jiaotong University

1. 完成数据的串？并转换;
2. 生成RS-232格式的串行数据帧,发送时自动添加起始／停止位,接收时自动删除起始／停止位;
3. 对数据进行可靠性检验,发送时,按照要求自动生成奇偶校验位,接收时,检查奇偶校验位,以确定是否发生传送错误;
4. 实现串行接口与DCE之间的联络控制,能提供RS-232标准规定的控制信号线,以与MODEM进行联络与控制。

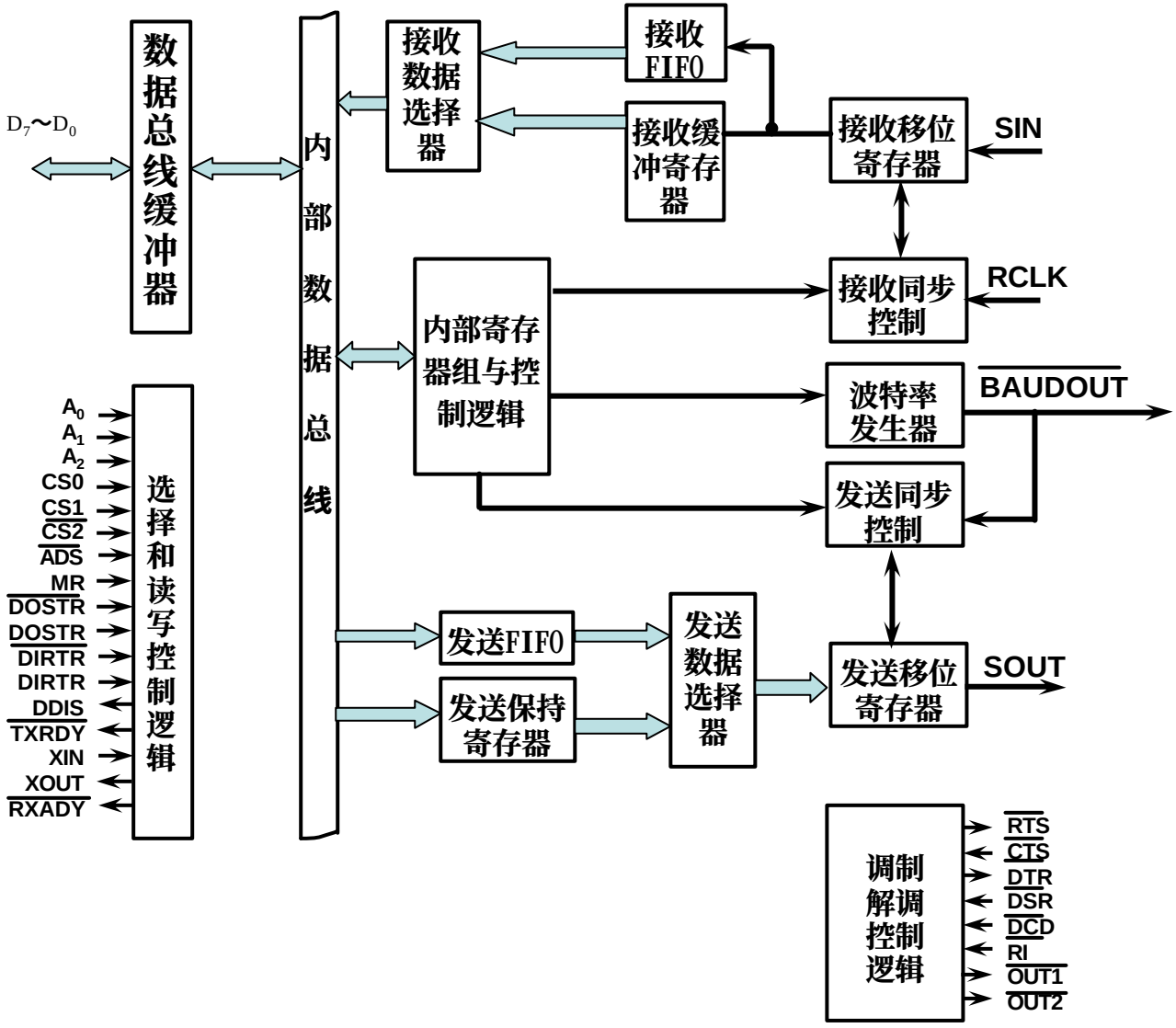
内部结构

西南交通大学 Southwest Jiaotong University

- 数据总线缓冲器;
- 选择和读/写控制逻辑;
- 调制／解调控制逻辑;
- 串行发送电路;
- 串行接收电路;
- 波特率产生电路;
- 中断控制逻辑;
- FIFO控制寄存器。

NEXT

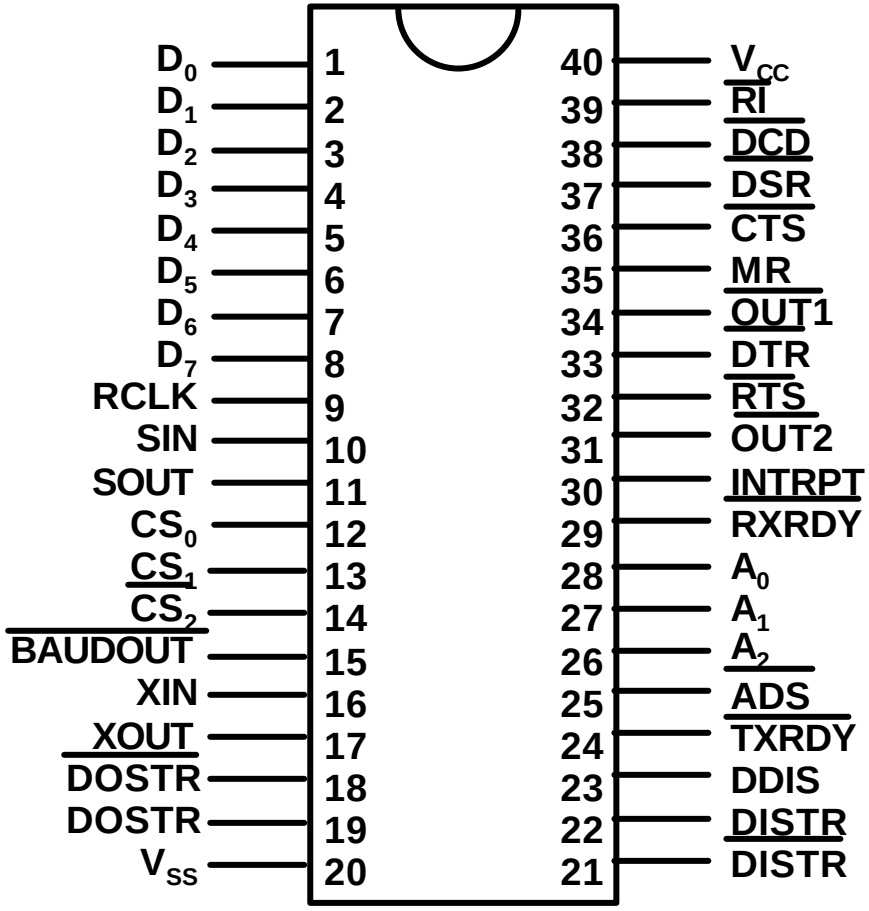
内部结构图


D7～D0
数据总线缓冲器
内部数据总线
接收数据选择器
接收FIFO
接收缓冲寄存器
接收移位寄存器
SIN
内部寄存器组与控制逻辑
接收同步控制
RCLK
波特率发生器
BAUDOUT
发送同步控制
A0
A1
A2
CS0
CS1
CS2
ADS
MR
DOSTR
DOSTR
DIRTR
DIRTR
DDIS
TXRDY
XIN
XOUT
RXADY
选择和读写控制逻辑
发送FIFO
发送保持寄存器
发送数据选择器
发送移位寄存器
SOUT
调制解调控制逻辑
RTS
CTS
DTR
DSR
DCD
RI
OUT1
OUT2

返回

外部特性

1. 引脚图


D0 1
D1 2
D2 3
D3 4
D4 5
D5 6
D6 7
D7 8
RCLK 9
SIN 10
SOUT 11
CS0 12
CS1 13
CS2 14
BAUDOUT 15
XIN 16
XOUT 17
DOSTR 18
DOSTR 19
VSS 20
40 VCC
39 RI
38 DCD
37 DSR
36 CTS
35 MR
34 OUT1
33 DTR
32 RTS
31 OUT2
30 INTRPT
29 RXRDY
28 A0
27 A1
26 A2
25 ADS
24 TXRDY
23 DDIS
22 DISTR
21 DISTR

引脚信号定义

西南交通大学 Southwest Jiaotong University

- 与CPU连接引脚
- CS_0~CS_1、CS_2#：片选信号，当CS_0=CS_1=1且CS_2#=0时，16C550芯片被选中；
- A_2～A_0：片内寻址编码输入信号，以确定访问哪一个内部寄存器；
- ADS#：地址锁存输入信号，80X86系统中不使用该信号，直接接地即可；
- DISTR、DISTR#：数据读控制信号。两个信号只要一个有效，CPU就从被选中的内部寄存器中读出数据。

- DOSTR、DOSTR#：数据写控制信号，两信号只要一个有效，CPU就将数据写入被选中的寄存器。通常DISTR与DOSTR接地使其无效，而DISTR#与DOSTR#分别接CPU的RD#与WR#信号。
- DDIS：禁止驱动器(数据总线)输出引脚，通常不使用此信号。
- INTRPT：中断请求引脚，在满足一定条件下变成高电平，向CPU申请中断。
- MR：芯片复位引脚。
- OUT1#、OUT2#：用户通过编程使其有效的两个输出引脚。

- ❖ 时钟与传送速率控制引脚
  - ➢ XIN、XOUT：基准工作时钟输入/输出引脚。
  - ➢ BAUDOUT#： 发送波特率输出信号。
  - ➢ RCLK：接收波特率输入信号。
- ❖ 通信设备控制信号引脚
  - ➢ RTS#、CTS#、DTR#、DSR#、DCD#、RI#：它们的功能与定义和EIA-RS-232C标准相同。
  - ➢ SIN、SOUT：数据接收/发送引脚。

内部可访问寄存器地址分配

西南交通大学 Southwest Jiaotong University

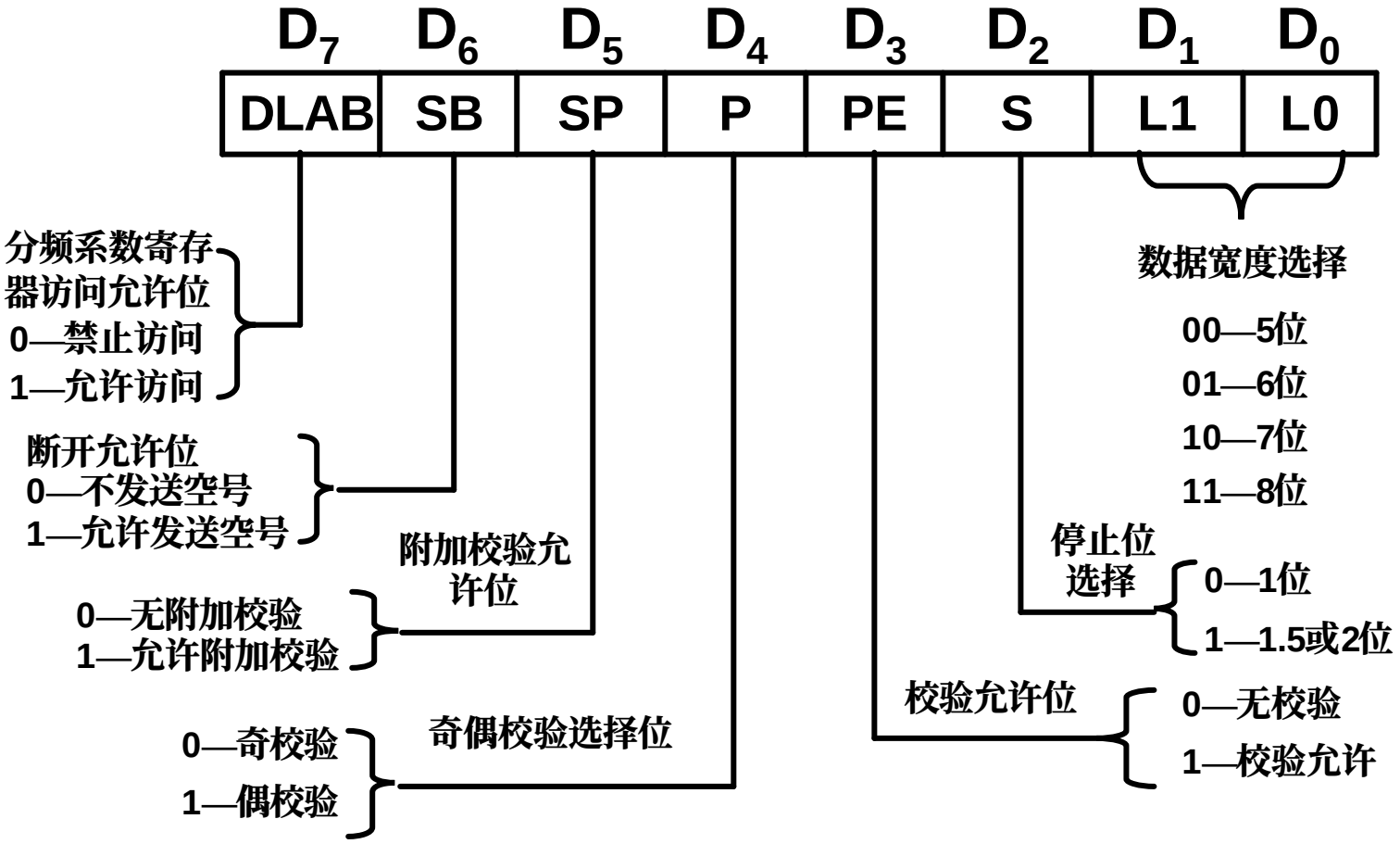
DLAB	CS_2	CS_1	CS_0	A_2	A_1	A_0	内部可访问寄存器
1	0	1	1	0	0	0	分频系数寄存器(低字节)
1	0	1	1	0	0	1	分频系数寄存器(高字节)
0	0	1	1	0	0	0	接收数据缓冲器(读)， 发送保持寄存器(写)
0	0	1	1	0	0	1	中断允许寄存器
×	0	1	1	0	1	0	中断识别寄存器(只读)
×	0	1	1	0	1	0	FIFO控制寄存器(只写)
×	0	1	1	0	1	1	通信线路控制寄存器
×	0	1	1	1	0	0	MODEM控制寄存器
×	0	1	1	1	0	1	通信线路状态寄存器
×	0	1	1	1	1	0	MODEM状态寄存器

返回

16C550的内部寄存器

西南交通大學 Southwest Jiaotong University

1. 通信线路控制寄存器LCR(Line Control Register)——用于指定异步通信数据格式



SP、P与PE位对应操作

西南交通大学 Southwest Jiaotong University

SP	P	PE	对应操作
0	0	0	8位数据无奇偶校验
0	0	1	8位数据奇校验
0	1	0	8位数据无奇偶校验
0	1	1	8位数据偶校验
1	0	0	无意义
1	0	1	9位数据附加校验规定为1
1	1	0	无意义
1	1	1	9位数据附加校验规定为0

2. 分频系数寄存器——用于调整串行数据传输速率

- 16C550基准时钟频率通常为1.8432 MHz;
- 通常RCLK与BAUDOUT#连接,收发速率相同;
- 分频系数的计算公式是：

  系数＝1843200/(16×波特率)。

- 通信线路控制寄存器与分频系数寄存器决定了16C550芯片的数据通信格式与通信速率,对15C550的初始化编程主要是写这两个寄存器。
- 例：设PC机串行口工作方式为：数据字长8位,1位停止位,偶校验,无附加校验位。选取波特率为19200,则分频系数寄存器相应值为06H(低8位)和00H(高8位),相应初始化程序段如下:(假定芯片端口地址为3F8H~3FBH,系统CPU为8088)

```
MOV  DX，3FBH          ;LCR口地址
MOV  AL，80H
OUT  DX，AL            ;置DLAB＝1
MOV  DX，3F8H          ;DLL口地址
MOV  AL，06H
OUT  DX，AL            ;装入低8位分频系数
INC  DX                ;DLH口地址
MOV  AL，00H
OUT  DX，AL            ;装入高8位分频系数
MOV  DX，3FBH          ;LCR口地址
MOV  AL，00011011B     ;初始化字
OUT  DX，AL            ;输出初始化字
```

3. 通信线路状态寄存器LSR(Line Status Register)——用于向CPU提供接收和发送数据时的状态

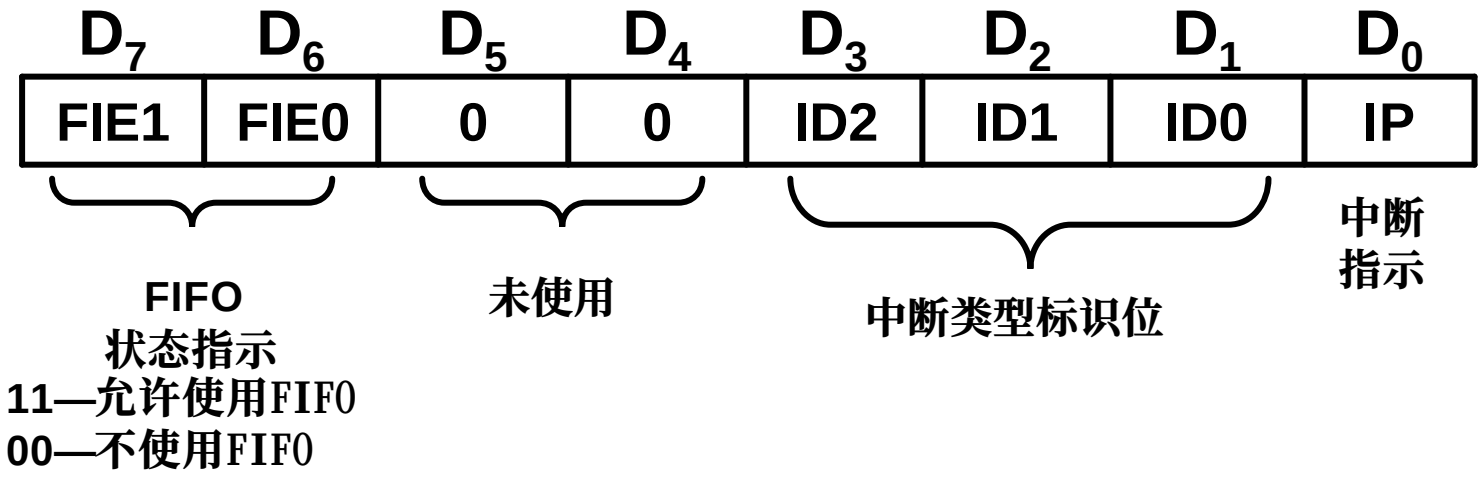
D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
LSR7	TSRE	THRE	BI	FE	PE	OE	DR
FIFO中数据错	发送移位寄存器空	发送保持寄存器空	断开识别指示	接收数据格式错	接收数据奇偶错	接收数据溢出错	接收数据准备好

- 上述各位置位时,表示所指示事件发生;
- 通过查询通信线路状态寄存器可编写数据收发处理的程序。

例：查询方式的数据收发处理程序段：

```
ST:   MOV  DX, 3FDH          ;LSR地址
      IN   AL, DX            ;读LSR内容
      TEST AL,00011110B      ;检查有无数据接收错误
      JNZ  ERR               ;转出错处理
      TEST AL,01H            ;查是否有数据可用
      JNZ  RECEIVE           ;转数据读取处理
      TEST AL,20H            ;查发送保持寄存器是否已空
      JNZ  TRANS             ;转数据发送处理
      JMP  START
ERR:                         ;错误处理
TRANS:                       ;发送数据处理
RECEIVE:                     ;接收数据处理
```

4. 中断识别寄存器IIR(Interrupt Identfication Register)——用于识别16C550的中断事件

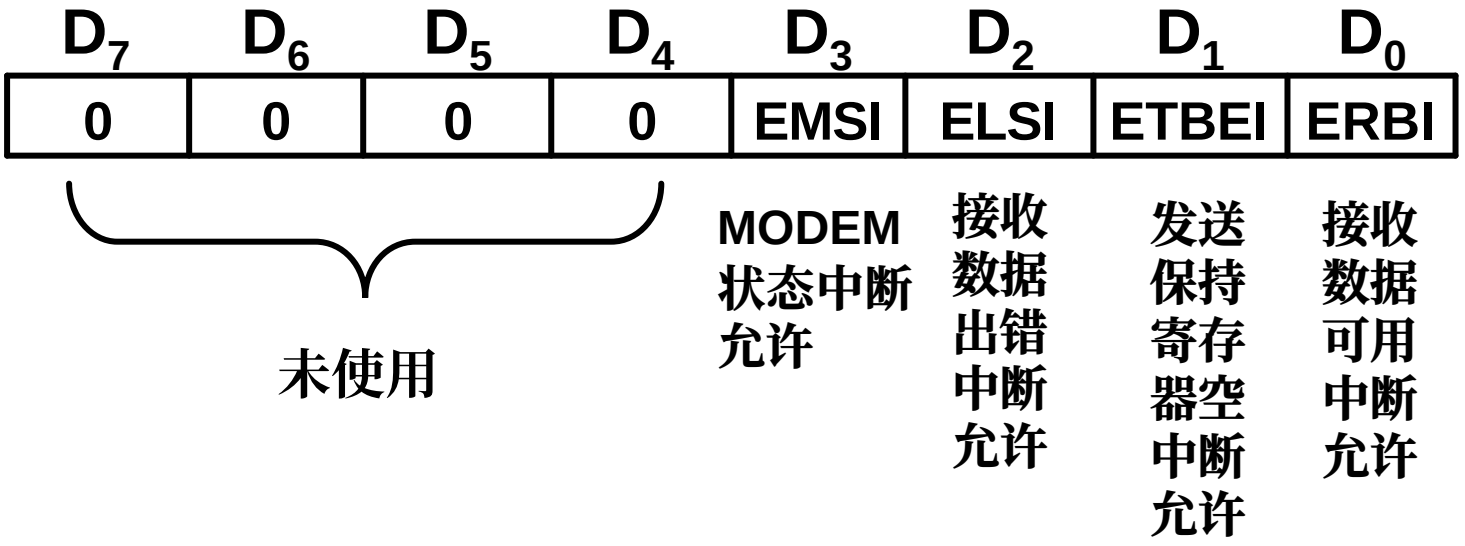


16C550中断类型编码表

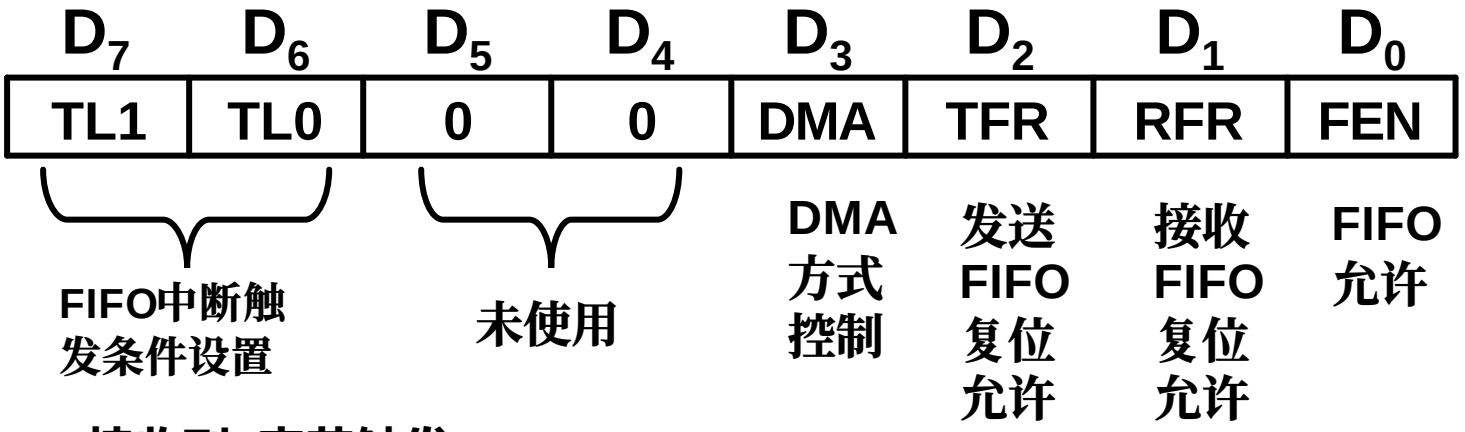
西南交通大学 Southwest Jiaotong University

IP	ID2	ID1	ID0	优先级	中断申请源	复位方法
1	×	×	×	无	无	无
0	0	1	1	1(高)	接受数据错(OE=1或PE=1或FE=1或BI=1)	读LSR
0	0	1	0	2	接收数据可用(RBR有数据或FIFO数据满)	读RBR
0	1	1	0	2	字符超时	读RBR
0	0	1	0	3	发送保持寄存器空	读LSR或写THR
0	0	0	0	4(低)	MODEM状态发生变化	读MSR

5. 中断允许寄存器IER(Interrupt Enable Register)——用于屏蔽或开放16C550中的中断事件

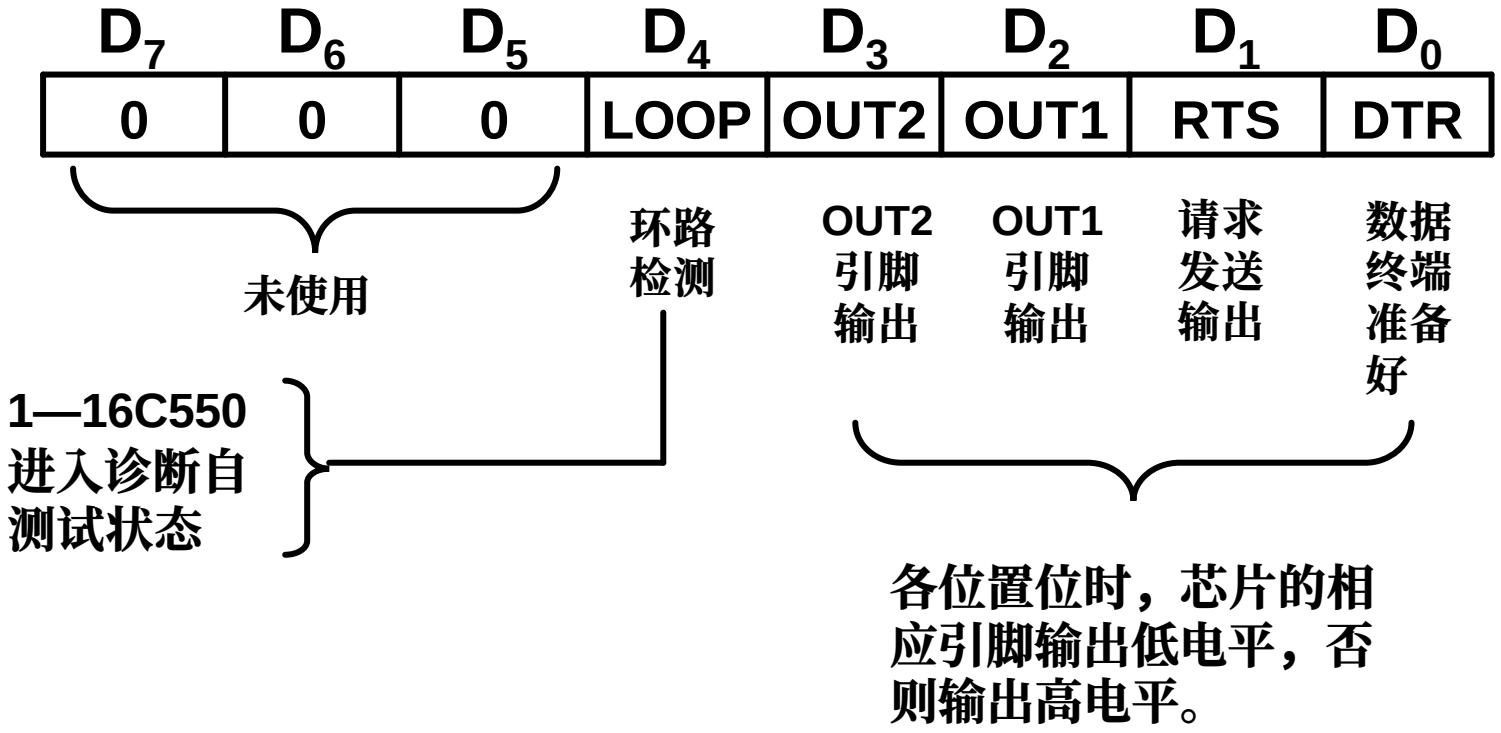


6. FIFO 控 制 寄 存 器 FCR(FIFO Control Register)

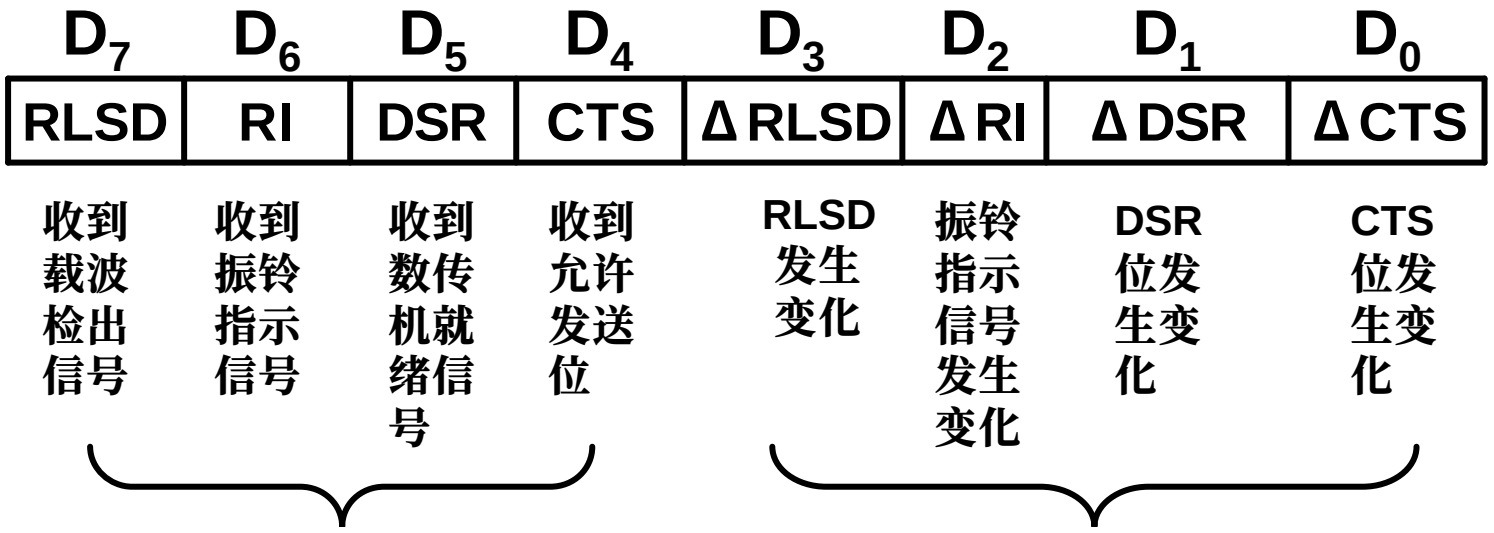


00—FIFO接收到1字节触发
01—FIFO接收到4字节触发
10—FIFO接收到8字节触发
11—FIFO接收到14字节触发

7. 调制解调控制(MCR)寄存器



8. 调制解调器状态寄存器(MSR)



为1时，表明相应信号有效(为芯片引脚状态反相后的值的)

为1时说明在上次CPU读取MODEM状态后相应信号的逻辑状态发生了变化