

数据手册

GM8285C

1.8V 低功耗 28 位 LVDS 发送器

2013.07

陈志华

手机：18123905516

香港众鑫微电子有限公司

地址：深圳市宝安区互联网产业园A区A栋209D

1.8V 低功耗 28 位 LVDS 发送器

GM8285C

GM8285C		
版本记录：3.1		当前版本时间：2013 年 07 月
新旧版本改动比较：		
旧版 文档页数	当前版本 文档页数	主题（和旧版本相比的主要变化）
10	11	增加 BGA56 封装

如果您有技术、交付或价格方面的任何问题，请联系成都国腾电子技术股份有限公司的相关办公室或当地的代理商，或访问官方网站：www.gotecom.com 谢谢！

陈志华

手机：18123905516

香港众鑫微电子有限公司

地址：深圳市宝安区互联网产业园A区A栋209D

1.8V 低功耗 28 位 LVDS 发送器

GM8285C

1 概述

GM8285C 型 1.8V 低功耗 28 位 LVDS 发送器，其功能是将并行数据编码为高速串行数据，实现信号的快速可靠传输。该器件可将 28 位并行数据转换为 4 对串行 LVDS 差分信号，同时并行输出 1 路 LVDS 差分时钟信号。

本器件片内集成锁相环模块，锁相环输入频率范围 20MHz~135MHz。

I/O 电压支持 1.8V/3.3V，core 电压为 1.8V/3.3V 的 28 位可编程数据选通 Channel-Link 发送器，支持 1080p（60Hz）视频显示，适合 VGA，XGA，SXGA，UXGA 格式的数据从控制器到显示设备的传输。

2 特征

- a) 工作温度范围：-40℃~85℃；
- b) I/O 电源电压：3.3V 或 1.8V；
- c) Core 电源电压：3.3V 或 1.8V
- d) 输入信号：28 位并行 LVCMOS 数据信号和 1 路 LVCMOS 时钟信号；
- e) 输出信号：4 对 LVDS 数据信号和 1 对 LVDS 时钟信号；
- f) 输入时钟频率：25MHz~135MHz；
- g) 封装形式：TSSOP56 和 BGA56；

3 封装及引脚功能说明

本器件有 TSSOP56 和 BGA56 两种封装形式，引脚排布分别如图 1 和图 2 所示。

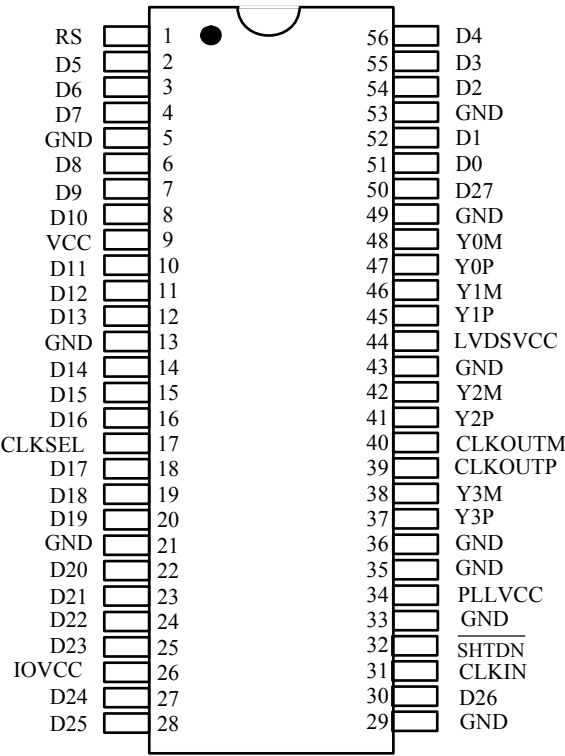


图 1 TSSOP56 引脚排布图

1.8V 低功耗 28 位 LVDS 发送器

GM8285C

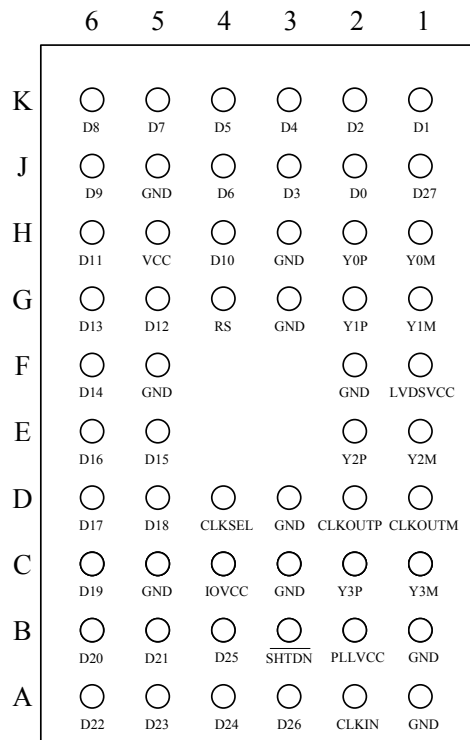


图 2 BGA56 引脚排布图

各引脚功能描述见表 1：

表 1 芯片引脚功能说明

端口符号	端口序号		I/O 类型	功能说明						
	TSSOP56	BGA56								
LVCMO 并行数据和时钟端口										
D0~D27	51, 52, 54, 55, 56, 2, 3, 4, 6, 7, 8, 10, 11, 12, 14, 15, 16, 18, 19, 20, 22, 23, 24, 25, 27, 28, 30, 50	J2, K1, K2, J3, K3, K4, J4, K5, K6, J6, H4, H6, G5, G6, F6, E5, E6, D6, D5, C6, B6, B5, A6, A5, A4, B4, A3, J1	LVCMOS 输入	LVCMOS 输入信号，默认下拉；18bit 应用时,未使用输入端,应下拉到 GND。						
CLKIN	31		LVCMOS 输入	LVCMOS 时钟输入端，默认下拉。						
控制和配置端口										
RS	1	G4	LVCMOS 输入	LVDS 摆幅控制输入端，默认下拉： <table><tr><td>RS</td><td>VOD（mV）</td></tr><tr><td>H</td><td>250~450</td></tr><tr><td>L</td><td>100~300</td></tr></table>	RS	VOD（mV）	H	250~450	L	100~300
RS	VOD（mV）									
H	250~450									
L	100~300									
CLKSEL	17	D4	LVCMOS 输入	并行数据时钟采样边沿选择端，默认下拉； 为高，时钟上升沿采样数据； 为低，时钟下降沿采样数据。						
$\overline{\text{SHTDN}}$	32	B3	LVCMOS 输入	关断控制端，默认下拉； 为高，芯片正常输出； 为低，关断芯片，输出为高阻态。						

1.8V 低功耗 28 位 LVDS 发送器

GM8285C

表 1（续）

端口符号	端口序号		I/O 类型	功能说明
	TSSOP56	BGA56		
LVDS 端口				
Y0P, Y0M Y1P, Y1M Y2P, Y2M	47, 48 45, 46 41, 42	H2, H1 G2, G1 E2, E1	LVDS 输出	LVDS 差分输出端； 关断时，LVDS 差分输出端为高阻态。
Y3P, Y3M	37, 38	C2, C1	LVDS 输出	LVDS 差分输出端； 关断时，LVDS 差分输出端为高阻态。 18bit 应用时，此差分输出端悬空。
CLKOUTP, CLKOUTM	39, 40	D2, D1	LVDS 输出	LVDS 差分时钟输出端； 关断时，LVDS 差分输出端为高阻态。
电源和地端口				
IOVCC	26	C4	电源	I/O 电源端，支持 1.8V/3.3V 电压； 应用时应与前级输入 RGB 信号摆幅保持匹配。
VCC	9	H5	电源	数字电源端，支持 1.8V/3.3V 电压。
PLLVC	34	B2	电源	PLL 电源端，支持 1.8V/3.3V 电压。
LVDSVCC	44	F1	电源	LVDS 电源端，支持 1.8V/3.3V 电压。
GND	5, 13, 21, 29, 33, 35, 36, 43, 49, 53,	J5, H3, G3, F5, F2, D3, C5, C3, B1, A1	地	地端

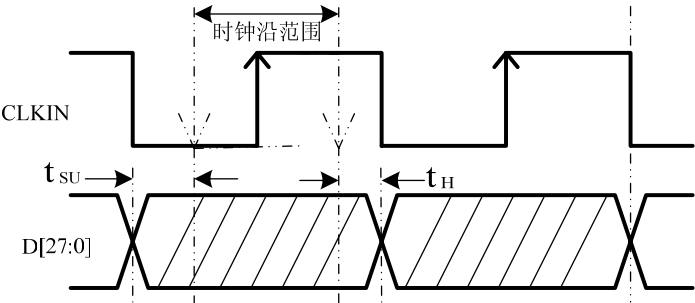
4 功能描述

GM8285C 为 1.8V 低功耗 28 位 LVDS 发送器，可支持 1.8V/3.3V 应用，可应用于 24 位数和 18 位数视频图像发送领域。

芯片具有输入时钟采样沿可选、LVDS 差分输出摆幅可调功能和低功耗特性。

1) 输入数据和时钟采样时序关系

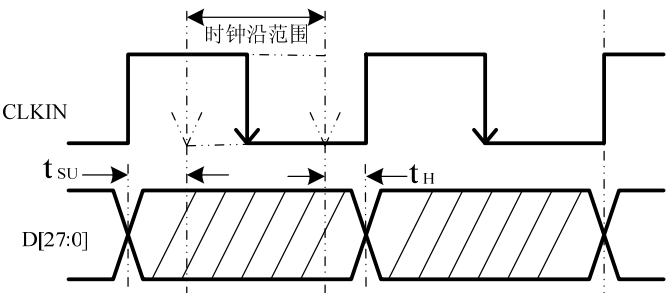
输入的 28 bits 数据与参考时钟为同步关系，可选择用上升沿采样或下降沿采样，如下图所示：



a) 上升沿采样（CLKSEL 为高电平电压）

1.8V 低功耗 28 位 LVDS 发送器

GM8285C



b) 下降沿采样 (CLKSEL 为低电平电压)

图 3 输入并行数据与参考时钟关系图

对于输入时钟与数据的关系，要求如下：

建立时间： $t_{SU} \geq 2.0\text{ns}$ ，保持时间： $t_H \geq 0.8\text{ns}$ 。

2) LVDS 输出时钟和数据编码关系

输出的 4 路串行数据流与同步时钟对应时序关系如下图所示：

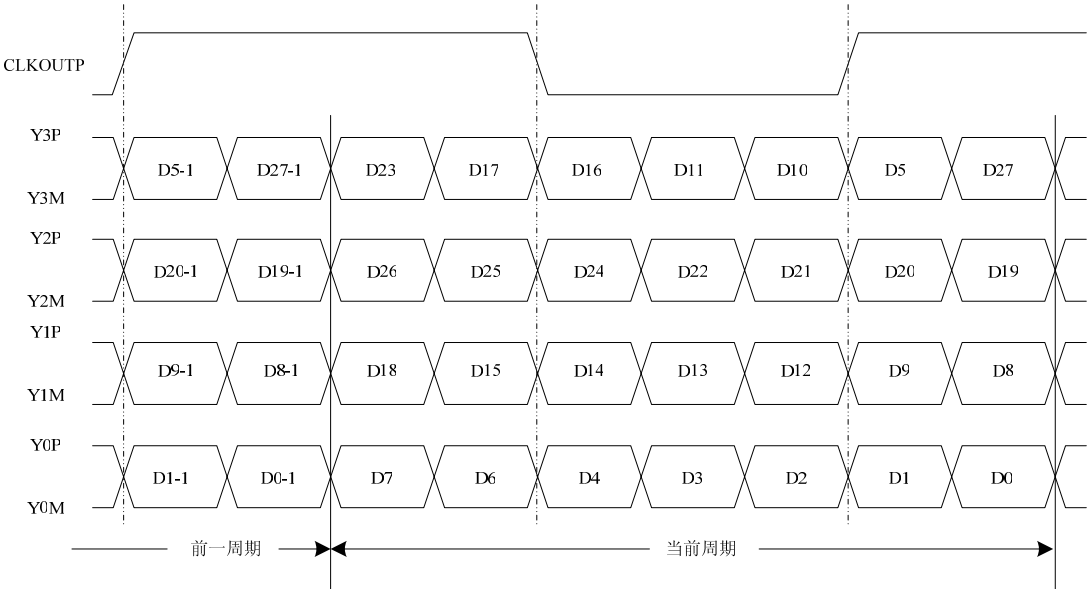


图 4 输出 LVDS 串行数据流与同步时钟关系图

3) 电源电压配置在应用时的对应关系如下表所示：

表 2 电源电压配置表

配置类别	I/O 电源电压 (IOVCC)	CORE 电源电压 (VCC=PLLVCCLVDSVCC)	前级 LVTTTL 输入幅度与 I/O 电源电压保持一致
1	3.3V	3.3V	3.3V
2	3.3V	1.8V	3.3V
3	1.8V	3.3V	1.8V
4	1.8V	1.8V	1.8V

4) 18bit 和 24bit 应用时数据位对应关系如下图所示：

1.8V 低功耗 28 位 LVDS 发送器

GM8285C

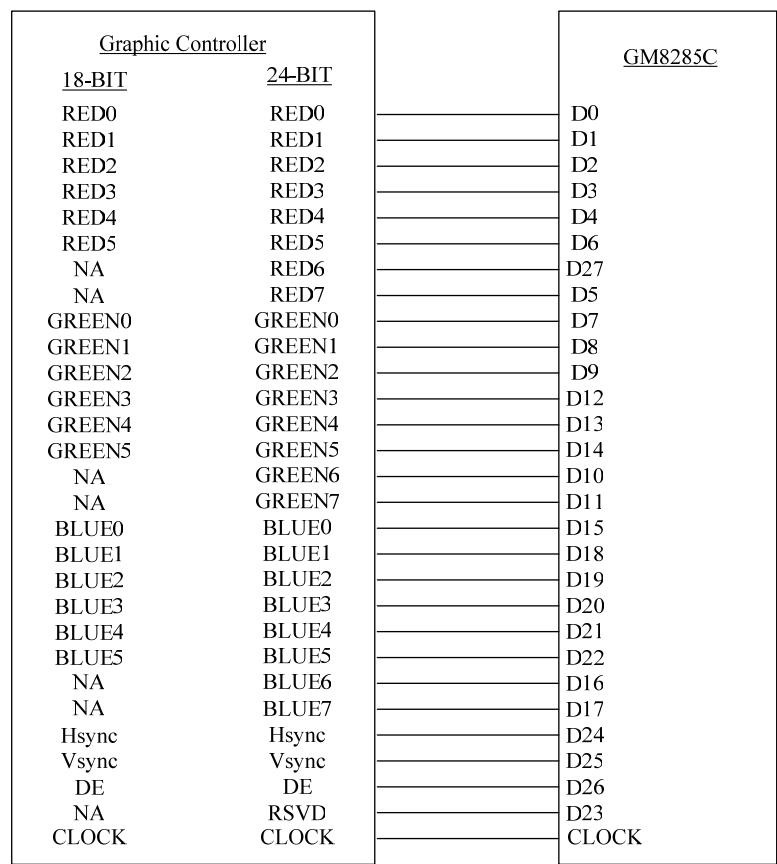


图 5 视频源与显示屏的位数保持一致应用时像素数据位对应关系

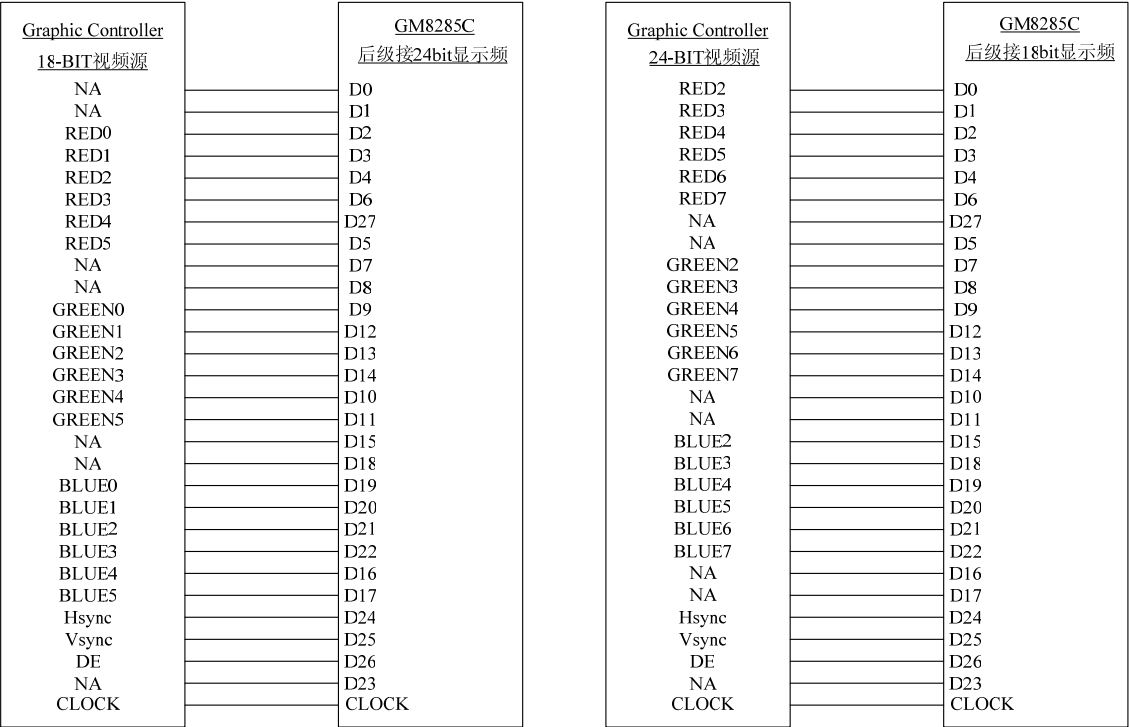


图 6 视频源与显示屏的位数不一致应用时像素数据位对应关系

1.8V 低功耗 28 位 LVDS 发送器

GM8285C

5) LVDS 差分输出摆幅可调

差分输出摆幅可调，其功能主要是通过RS控制端口，实现LVDS输出差分摆幅的控制。低摆幅LVDS输出可以进一步降低系统的EMI，减小芯片功耗。详细配置见下表， $R_L=100\Omega$ 。

表 3 LVDS 输出摆幅配置表

V (RS pin)	LVDS 输出摆幅 (mV)
VCCIO	250~450
GND	100~300

6) 芯片工作状态配置表

表 4 功能状态配置表

输入信号				输出信号
V ($\overline{\text{SHTDN}}$)	V (CLKSEL)	V (RS)	输入数据/时钟	LVDS 输出状态
GND	X	X	X	Z (高阻态)
VCCIO	VCCIO/ GND	VCCIO	见图 2	标准摆幅输出，输出关系见图 3
VCCIO	VCCIO/ GND	GND	见图 2	低摆幅输出，输出关系见图 3

5 参数指标

5.1 极限工作条件

- a) 电源电压 (V_{CC}) -0.3V~4V
- b) 输入电压 (V_I) -0.5V~ ($V_{CC}+0.3$) V
- c) LVDS输出电压 (V_O) -0.3V~2.1V
- d) 结温 (T_j) 125°C
- e) 引线耐焊接温度 T_h) (4s) 260°C
- f) 功耗 (P_D) 1.0W
- g) 贮存温度 (T_{stg}) -55°C~125°C

5.2 推荐工作条件

表 5 推荐工作条件

符 号	参 数	最 小	最 大	单 位
VCC	电源电压	1.71	1.89	V
		3.0	3.6	
VCCPP	电源电压噪声幅值	—	100	mV
t_{CIP}	输入时钟周期	7.41	40	ns
t_{CIT}	输入时钟转换时间	1.0	3.0	ns
t_{CIH}	输入时钟高电平时间	$0.4t_{CIP}$	$0.6t_{CIP}$	ns
t_{CIL}	输入时钟低电平时间	$0.4t_{CIP}$	$0.6t_{CIP}$	ns
t_{XIT}	输入数据转换时间	1.0	6.0	ns
t_{STC}	建立时间	2.0	—	ns
t_{HTC}	保持时间	0.8	—	ns
T_A	工作温度	-40	85	°C

5.3 静态参数

1.8V 低功耗 28 位 LVDS 发送器

GM8285C

表 6 静态特性参数

特 性	符 号	条 件: 除另有规定, $V_{IOVCC}=3.3V \pm 0.3V$ 或 $1.8V \pm 0.18V$ $V_{PLLCC}=V_{LVDSVCC}=V_{CC}=3.3V \pm 0.3V$ 或 $1.8V \pm 0.18V$	极限值		单 位
			最小	最大	
输入高电平电压	V_{IH}	$V_{IOVCC}=3.0V$, $V_{PLLCC}=V_{LVDSVCC}=V_{CC}=3.0V$	2.0	V_{IOVCC}	V
		$V_{IOVCC}=1.62V$, $V_{PLLCC}=V_{LVDSVCC}=V_{CC}=3.0V$	$V_{IOVCC}/2+0.3$	V_{IOVCC}	
输入低电平电压	V_{IL}	$V_{IOVCC}=3.6V$, $V_{PLLCC}=V_{LVDSVCC}=V_{CC}=3.6V$	GND	0.8	
		$V_{IOVCC}=1.98V$, $V_{PLLCC}=V_{LVDSVCC}=V_{CC}=3.6V$	GND	$V_{IOVCC}/2-0.3$	
输入电流	I_{IN}	$V_{IOVCC}=1.98V$ 或 $3.6V$, $V_{PLLCC}=V_{LVDSVCC}=V_{CC}=3.3V$, $V_{IN}=V_{IOVCC}$ 或 GND	-25	25	μA
输入钳位电压	V_{CL}	$I_{CL}=-18mA$, $V_{IOVCC}=3.6V$, $V_{PLLCC}=V_{LVDSVCC}=V_{CC}=3.3V$	—	-1.5	V
差分输出电压	V_{OD}	$V_{IOVCC}=V_{PLLCC}=V_{LVDSVCC}=V_{CC}=1.62V$ 和 $3.6V$, $V_{RS}=V_{IOVCC}$, $R_L=100\Omega$	250	450	mV
		$V_{IOVCC}=V_{PLLCC}=V_{LVDSVCC}=V_{CC}=1.62V$ 和 $3.6V$, $V_{RS}=GND$, $R_L=100\Omega$	100	300	
共模输出电压	V_{OS}	$V_{IOVCC}=V_{PLLCC}=V_{LVDSVCC}=V_{CC}=1.62V$, $V_{RS}=V_{IOVCC}$ 和 GND, $R_L=100\Omega$	1.125	1.375	V
输出短路电流	I_{OS}	所有电源电压为 $3.6V$, $V_O=0V$, $R_L=100\Omega$	—	-24	mA
输出高阻态电流	I_{OZ}	所有电源电压为 $3.6V$, $V_{SHTDN}=0V$, $V_O=0V$	—	± 10	μA
关断电源电流	I_{CCZ}	电源电压为 $3.6V$, 所有输入均为 $0V$	—	100	μA

5.4 动态参数

表 7 动态特性参数

特 性	符号	条 件: 除另有规定, $V_{IOVCC}=3.3V \pm 0.3V$ 或 $1.8V \pm 0.18V$ $0.18VV_{PLLCC}=V_{LVDSVCC}=V_{CC}=3.3V \pm 0.3V$ 或 $1.8V \pm 0.18V$		极限值		单 位
				最小	最大	
最坏情况 模式电源电流	I_{CCW}	电源电压为 3.6V, $V_{RS}=3.6V$, $R_L=100\Omega$, $C_L \leq 10pF$	$f=75MHz$	—	67	mA
			$f=100MHz$	—	96	
			$f=135MHz$		119	
LVDS 差分输出上升时间 (20%~80%)	t_R	$R_L=100\Omega$, $C_L \leq 10pF$, $f=135MHz$, $V_{RS}=V_{IOVCC}$; $V_{IOVCC}=V_{PLLCC}=V_{LVDSVCC}=V_{CC}=1.62V$		—	1.5	ns
LVDS 差分输出下降时间 (80%~20%)	t_F			—	1.5	ns
锁相环建立时间	t_{PLLS}	$R_L=100\Omega$, $C_L \leq 10pF$, $V_{RS}=V_{IOVCC}$, $V_{IOVCC}=V_{PLLCC}=V_{LVDSVCC}=V_{CC}=1.62V$		—	1	ms
关断延迟时间	t_{PDD}	$R_L=100\Omega$, $C_L \leq 10pF$, $V_{RS}=V_{IOVCC}$, $V_{IOVCC}=V_{PLLCC}=V_{LVDSVCC}=V_{CC}=1.62V$		—	100	ns
功能测试 1	—	$f_{CLK}=25MHz$, $V_{CLKSEL}=0$ 和 V_{IOVCC} , 最坏情况模式输入		输出格式参照图 3 的 数据与时钟的关系图		
		$f_{CLK}=135MHz$, $V_{CLKSEL}=0$ 和 V_{IOVCC} , 最坏情况模式输入				
功能测试 2	—	功能兼容: SN75LVDS83B, $V_{IOVCC}=V_{PLLCC}=V_{LVDSVCC}=V_{CC}=V_{IOVCC}=3.3V \pm 0.3V$		—		

1.8V 低功耗 28 位 LVDS 发送器

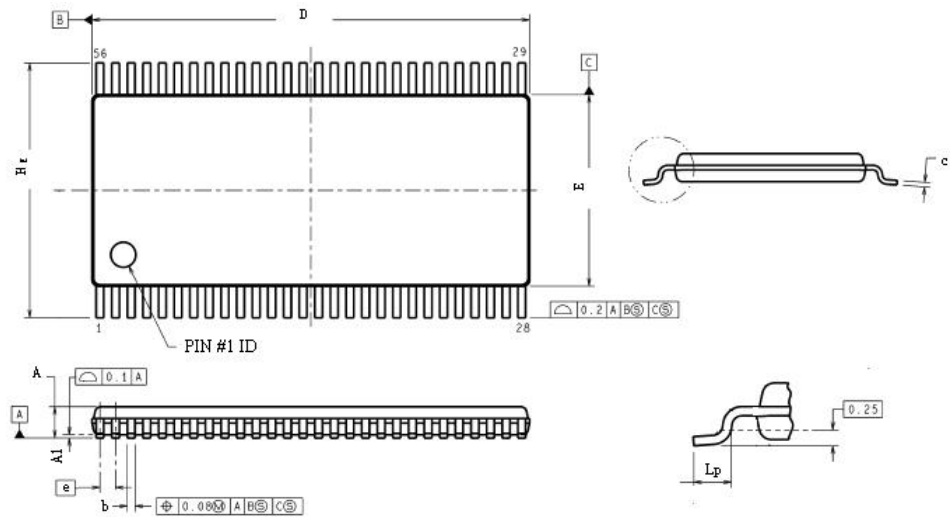
GM8285C

表 9 典型应用电源电流列表

分辨率	刷新率 (Hz)	像素时 钟频率 (MHz)	电源电流 (mA) @ RS=H		
			IOVCC (3.3V)	(VCC+PLL VCC+LVDSVCC) (3.6V)	Total
1024 x 768	60	65	7.1	30.8	37.9
	70	75	7.1	31.5	38.6
	75	78.75	7.1	31.8	38.9
	85	94.5	7.1	32.7	39.8
1152 x 864	75	108	7.1	33.9	41.0
1280 x 768	85	117.5	7.1	34.7	41.8
1280 x 1024	75	135	7.1	36.1	43.2

6 机械尺寸

1) TSSOP56 封装外形尺寸如下：



注：1) 为引出端识别标志区。

单位为毫米

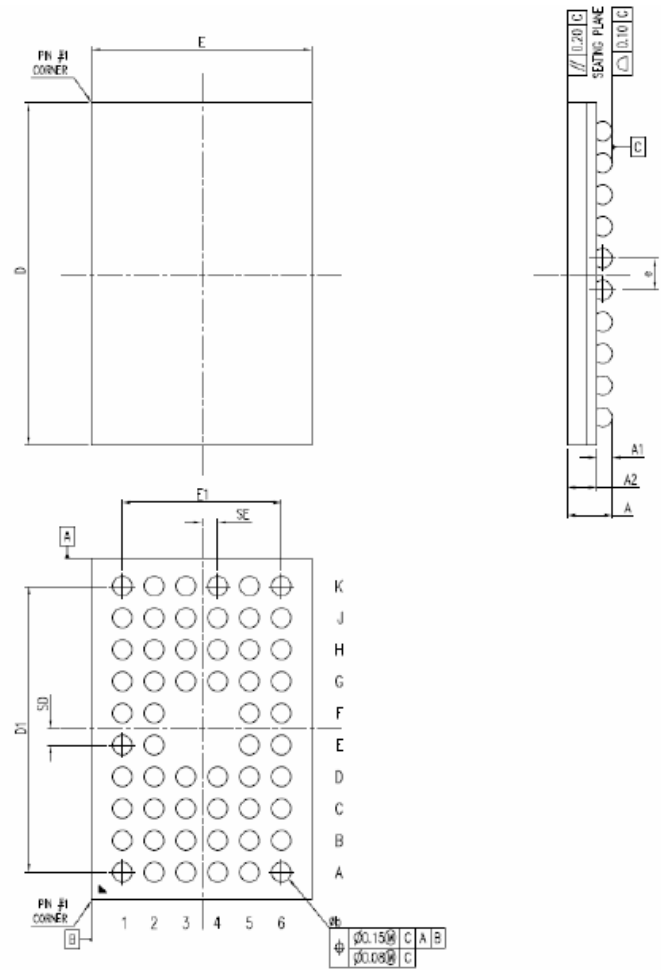
尺寸符号	数 值		
	最 小	公 称	最 大
A	—	—	1.20
A ₁	0.05	—	0.15
b	0.15	—	0.30
c	0.07	—	0.22
E	5.90	—	6.30
e	—	0.50	—
D	13.70	—	14.30
H _E	7.90	—	8.30
L _P	0.45	—	0.75

图 7 TSSOP56 外壳外形

1.8V 低功耗 28 位 LVDS 发送器

GM8285C

2) BGA56 封装外形尺寸如下：



单位为毫米

尺寸符号	数 值		
	最 小	公 称	最 大
A	—	—	1.00
A1	—	0.32	—
A2	0.54	0.60	0.66
b	0.35	0.40	0.45
D	6.90	7.00	7.10
E	4.40	4.50	4.60
e	—	0.65	—
SE	—	0.325	—
SD	—	0.325	—
E1	—	3.25	—
D1	—	5.85	—
JEDEC	MO-246(REF.)		

图 8 BGA56 外壳外形

1.8V 低功耗 28 位 LVDS 发送器

GM8285C

7 产品应用信息

7.1 典型应用图

下图为GM8285C在24bit图像传输系统中的典型应用图。 R_U 、 R_D 为RS和CLKSEL设置为高、低电平时的上拉和下拉电阻值， $R_U=1K\Omega$ 、 $R_D=0\Omega$ 。 R_U 、 R_D 焊接时二者取其一。 C_0 、 C_1 为电源滤波电容， $C_0=0.1\mu F$ 、 $C_1=0.01\mu F$ 。 L_0 为磁珠， $L_0=60\Omega/100MHz$ 。 R_0 为并行数据匹配电阻， $R_0=33\Omega$ 。 R_1 和 C_2 为时钟信号匹配电阻、电容，具体值视前级视频信号源时钟信号的驱动能力。通常 $R_1=50\Omega$ ， $C_2=10pF$ 。

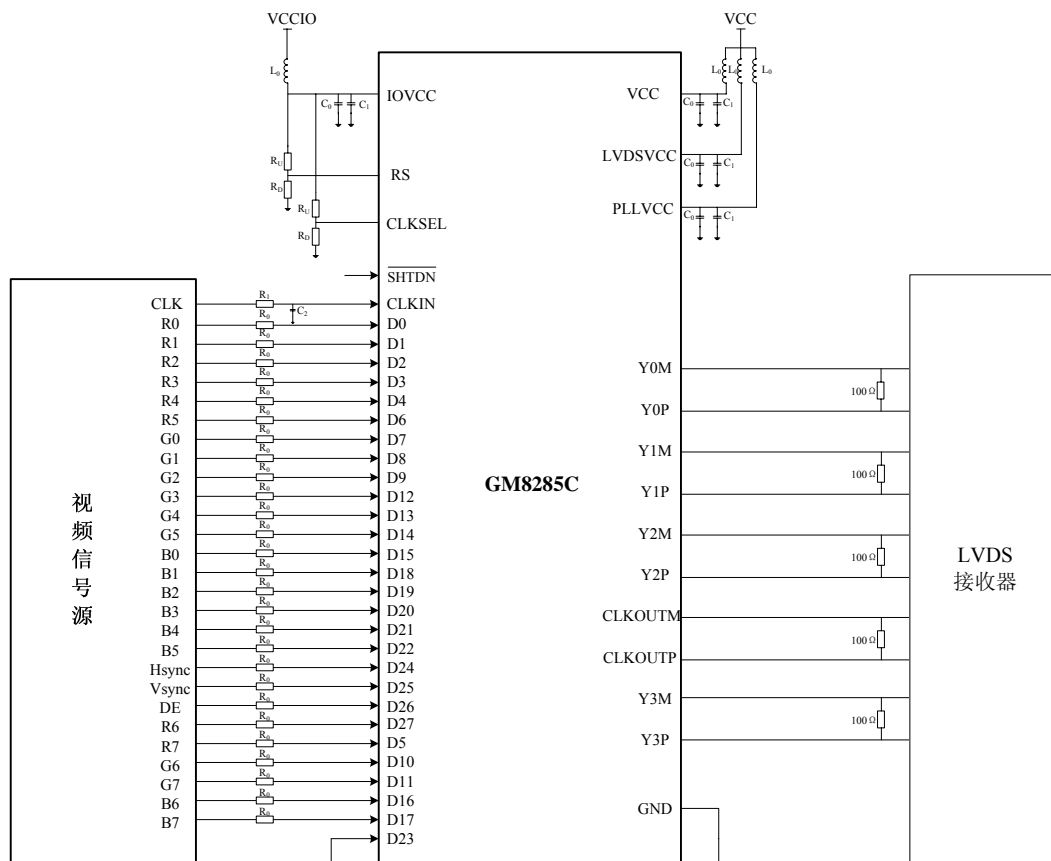


图 9 GM8285C 典型应用图

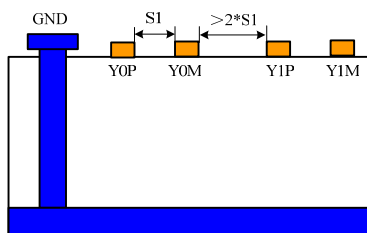
7.2 应用说明

1. PCB 板设计注意事项:

- 1) PCB 至少采用四层板设计;
- 2) 电源滤波电容尽可能的靠近芯片电源 pin;
- 3) 每组电源都需要通过磁珠进行隔离且都要增加电源滤波电容;
- 4) PCB 板尽可能铺设大面积的 GND 层次;
- 5) LVDS 输出差分信号走线设计成 100Ω 差分匹配, 走线尽可能保持等长;
- 6) LVDS 输出差分信号正负通道间隔 S1 尽可能的小;
- 7) LVDS 各输出差分信号通道间的间隔至少要大于 2 倍 S1;
- 8) 100Ω 终端电阻要尽可能的靠近 LVDS 接收器输入端口;
- 9) LVDS 输出差分信号通路尽可能的少用通孔, 且走线避免设计成 90° 弯角;

1.8V 低功耗 28 位 LVDS 发送器

GM8285C

**2. 器件应用注意事项:**

- 1) 应用过程中, 芯片的电源电压、输入电压范围、测试温度以及测试条件等都需要严格遵守数据手册规定。
- 2) 用于测试和焊接的工作台面, 测试仪器以及高低温箱等都必须具有防静电设施。
- 3) 测试和使用过程中, 测试人员也必须带防静电腕带, 在防静电台面上进行操作, 禁止直接手持芯片。
- 4) 测试和使用过程中出现异常现象时, 应该注意保护芯片。

陈志华

手机: 18123905516

香港众鑫微电子有限公司

地址: 深圳市宝安区互联网产业园A区A栋209D