

Phần 2 – Nios II

Lab 1: Thiết kế và sử dụng một hệ thống máy tính đơn giản

Mục đích:

Xây dựng một hệ thống vi xử lý đơn giản

Làm quen cách sử dụng công cụ debug Altera Monitor Program.

Phần 1

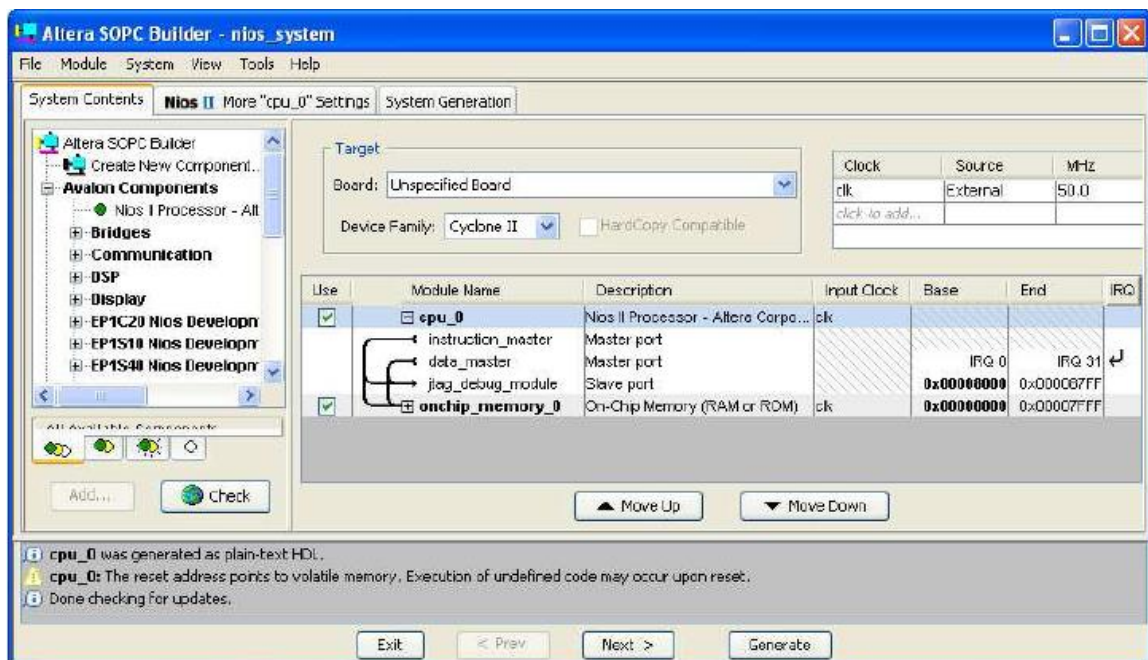
Dùng SOPC Builder tạo một Nios system theo yêu cầu:

- Nios II/e processor (JTAG Debug Module Level 1)
- On-Chip Memory RAM với dung lượng 32 Kbytes, width là 32 bits.

(Không có input/output trong hệ thống này)

Yêu cầu:

Sinh viên tự tạo file .v (verilog code) để gọi tới Nios system vừa được tạo ở trên (dùng CLOCK_50 và KEY[0] trên kit DE2 lần lượt gán vào xung clock và tín hiệu reset của hệ thống).



Hình 1. SOPC Builder

Phần 2

Viết file assembly.s để chạy trên hệ thống vừa được tạo ở Phần 1.

Code assembly như sau:

```
.include "nios_macros.s"

.text

.equ TEST_NUM, 0x90abcdef

.global _start

_start:
    movia r7, TEST_NUM
    mov r4, r7
    STRING_COUNTER:
    mov r2, r0
    STRING_COUNTER_LOOP:
    beq r4, r0, END_STRING_COUNTER
    srli r5, r4, 1
    and r4, r4, r5
    addi r2, r2, 1
    br STRING_COUNTER_LOOP
    END_STRING_COUNTER:
    mov r16, r2
    END:
    br END
.end
```

Yêu cầu:

- Nạp code assembly của chương trình trên vào hệ thống Nios II trong phần 1 và cho thực thi từng bước.
 - Nêu ý nghĩa của từng lệnh trong chương trình
 - Nêu ý nghĩa của toàn chương trình
- **Sinh viên tự viết một đoạn chương trình assembly thực hiện việc đếm tổng số số bit 1 đang có của một chuỗi số nhập vào.**

Phần 3

Viết mã máy cho các lệnh sau (trình bày cách tính dựa trên định dạng (format) lệnh và dùng Altera Monitor Program để kiểm tra lại):

and r3, r7, r16

sra r7, r7, r3

srl r7, r7, r3.