

设输入信号为 P 和 Q , 输入进位为 C_I , 输出为 F , 输出进位为 C_O .
真值表如下:

P	Q	C_I	F	C_O
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

1 逻辑门实现

1.1 问题分析

卡诺图如下:
 F :

QC_I	00	01	11	10
P				
0	0	1	0	1
1	1	0	1	0

C_O :

QC_I	00	01	11	10
P				
0	0	0	1	0
1	0	1	1	1

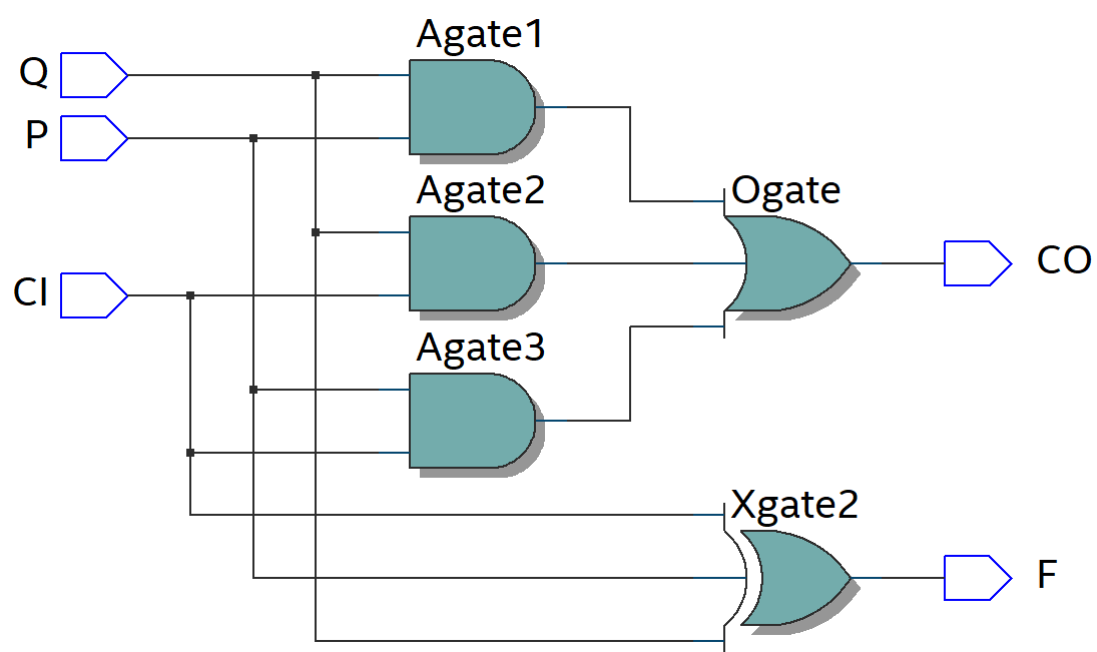
化简, 得

$$F = P \oplus Q \oplus C_I$$
$$C_O = QC_I + PC_I + PQ$$

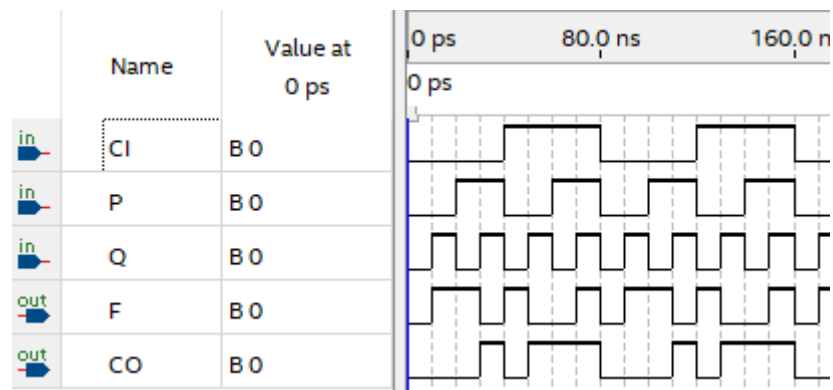
1.2 Verilog HDL 语言描述如下

```
1 module task1( P, Q, CI, F, CO );
2   input P, Q, CI;
3   output F, CO;
4   wire x, a1, a2, a3;
5
6   xor Xgate1( x, P, Q );
7   xor Xgate2( F, x, CI );
8   and Agate1( a1, P, Q );
9   and Agate2( a2, Q, CI );
10  and Agate3( a3, P, CI );
11  or  Ogate( CO, a1, a2, a3 );
12
13 endmodule
```

1.3 电路生成



1.4 时序仿真



由图可知，该实验实现了一位全加器，其中 P, Q 为输入， C_I 为进位输入， F 为输出， C_O 为进位输出。

2 中规模逻辑器件实现

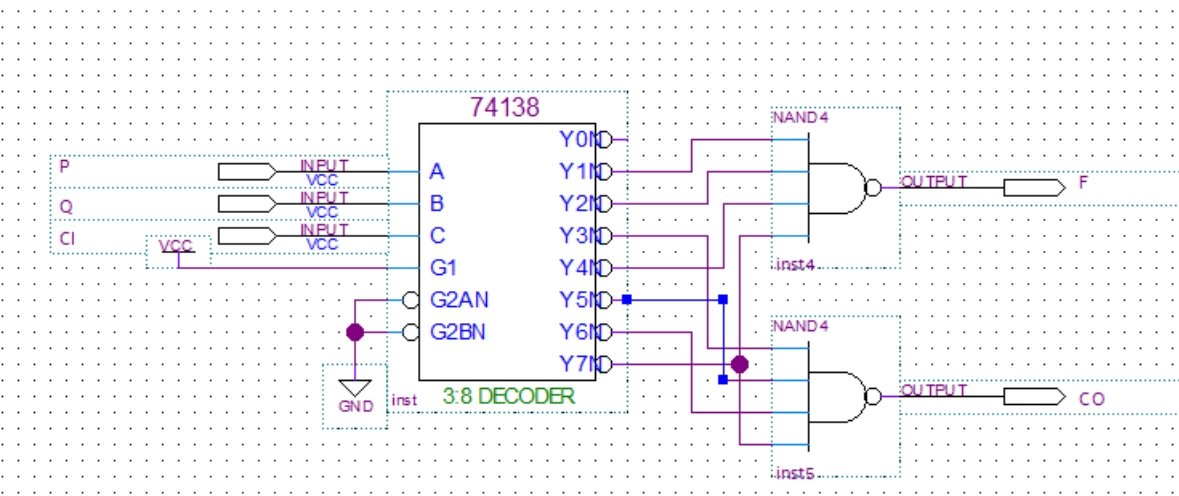
2.1 问题分析

由真值表，得出标准与-或表达式：

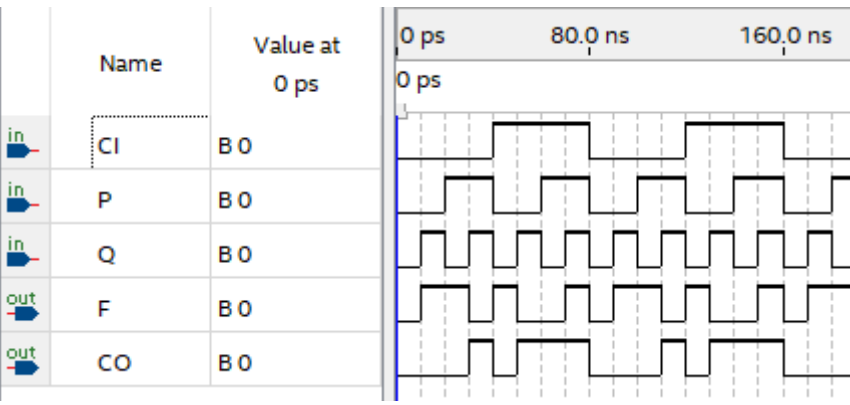
$$F = \sum m(1, 2, 4, 7)$$

$$C_O = \sum m(3, 5, 6, 7)$$

2.2 电路生成



2.3 时序仿真



由图可知，该实验实现了一位全加器，其中 P, Q 为输入， C_I 为进位输入， F 为输出， C_O 为进位输出。