**2018年5月5日，实验二：5月20日24点之前，交实验报告电子版（注意要有原理分析、设计过程、面包板连接图照片、实验结果分析等。）的QQ邮箱916548030@qq.com（文件名“学号+姓名+实验2.doc”或pdf版本）**

实验二包括下面1个实验：（每个分别完成设计、电路图、测试结果）

实验1：1位全加器设计，包括：

1）完成1位全加器的设计，用逻辑门实现，完成输入输出真值表验证。

2）完成1位全加器的设计，用中规模逻辑器件(74138)实现，完成输入输出真值表验证。