

Laboratorio di Segnali e Sistemi - A.A. 2021/22

Esperienza 6: Elettronica digitale

Chiara Scrocca 1855186
Alessandro Tancredi 1919636
Rosso Vitale 1892051

23 novembre 2021

Indice

1	Apparato sperimentale	2
2	Struttura dell'esperienza	2
3	Gate NOT	3
4	Gate XOR	4
5	Flip-Flop SR	5
6	Conclusioni	7

1 Apparato sperimentale

Per questa esperienza sono stati utilizzati:

- Generatore di segnali
- Generatore di tensione continua (elind MODEL 6TD20)
- Oscilloscopio digitale (Keysight DSOX1102G) con banda passante 70 MHz e frequenza di campionamento 2 GSa/s, impedenza d'ingresso $1\text{ M}\Omega$ in parallelo a 16 pF .
- Breadboard
- Multimetro da banco (Fluke 45) con risoluzione pari a 3‰, impedenza d'ingresso $10\text{ M}\Omega$ in parallelo a $<100\text{ pF}$.
- Integrato con gate NAND SN74LS00N Prodotto da Texas Instruments

2 Struttura dell'esperienza

L'esperienza è divisa in tre sezioni:

1. Realizzazione di un gate NOT e studio del suo comportamento
2. Realizzazione di un gate XOR e studio del suo comportamento
3. Realizzazione di un Flip-Flop S-R e studio del suo comportamento

3 Gate NOT

Nella prima parte dell'esperienza è stato realizzato un gate NOT, come mostrato nella schematica in figura 1, a partire da un gate NAND (La cui tabella di verità è la tabella 2). Dopo aver assemblato e testato il circuito, ovvero dopo aver verificato che la tabella di verità associata (Tabella 1) a tale gate logico fosse rispettata, sono stati registrati i valori di V_{in} e V_{out} , realizzando il grafico mostrato in figura 2.

A	Q
0	1
1	0

Tabella 1: Tabella verità NOT

A	B	Q
0	0	1
0	1	1
1	0	1
1	1	0

Tabella 2: Tabella verità NAND

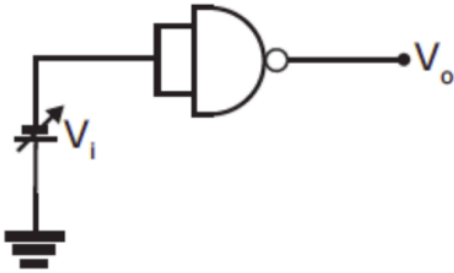


Figura 1: Schematica circuitale per il gate NOT

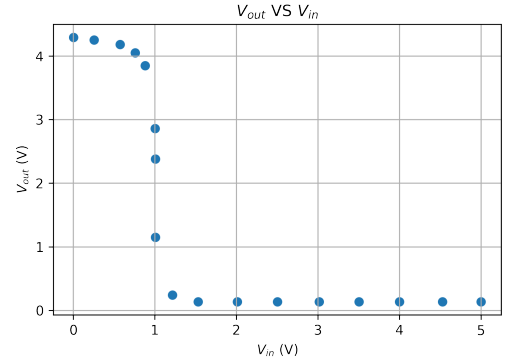


Figura 2: Grafico prodotto dai dati raccolti

A partire dai dati raccolti, riportati in tabella 3, è stata stimata la tensione di transizione da uno stato logico all'altro, pari a $V_T = (1.01 \pm 0.02)V$. Tale valore è stato ottenuto mediando l'ascissa dei tre punti la cui ordinata è compresa tra 1 e 3 volts. Si è quindi proceduto a testare tutte le porte logiche dell'integrato, al fine di verificarne il funzionamento.

Per visualizzare sull'oscilloscopio il comportamento del gate realizzato, è stato utilizzato come segnale d'ingresso un'onda triangolare di ampiezza pari a $\Delta V = (5.00 \pm 0.15)V$ e con un offset di $V_{off} = (2.500 \pm 0.004)V$, osservando il risultato mostrato in figura 3. Si osserva come il comportamento del circuito non è ben definito nella zona di transizione.

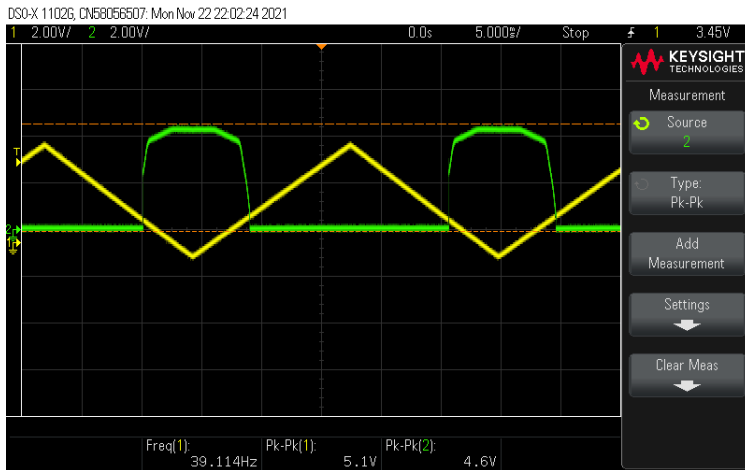


Figura 3: Vista all'oscilloscopio

$V_{in} (V)$	$V_{out} (V)$
0.0047 ± 0.0002	4.292 ± 0.13
0.25 ± 0.01	4.25 ± 0.13
0.58 ± 0.02	4.18 ± 0.13
0.76 ± 0.02	4.05 ± 0.12
0.88 ± 0.03	3.85 ± 0.12
1.01 ± 0.03	2.86 ± 0.09
1.01 ± 0.03	2.38 ± 0.07
1.01 ± 0.03	1.15 ± 0.03
1.22 ± 0.04	0.24 ± 0.01
1.53 ± 0.05	0.140 ± 0.004
2.01 ± 0.06	0.136 ± 0.004
2.51 ± 0.08	0.136 ± 0.004
3.02 ± 0.09	0.136 ± 0.004
3.5 ± 0.1	0.136 ± 0.004
4.00 ± 0.12	0.136 ± 0.004
4.53 ± 0.14	0.136 ± 0.004
5.00 ± 0.15	0.136 ± 0.004

Tabella 3: Dati acquisiti

4 Gate XOR

In questa parte dell'esperienza è stato realizzato un gate XOR, in accordo con la schematica 4. Dopo aver assemblato il circuito è stato verificato che esso si comportasse come descritto dalla tabella di verità associata (tabella 4).

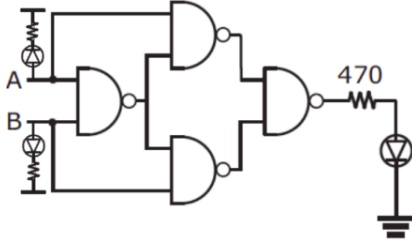
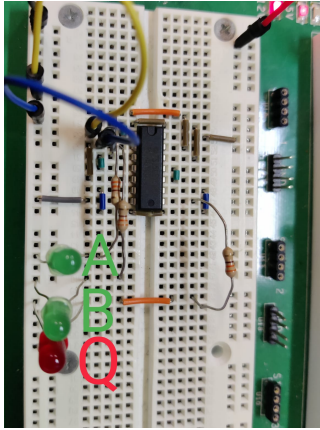


Figura 4: Schematica del circuito con XOR

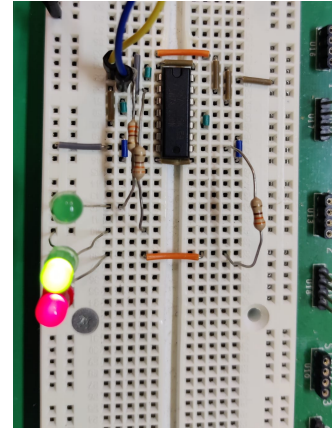
A	B	Q
0	0	0
0	1	1
1	0	1
1	1	0

Tabella 4: Tabella di verità XOR

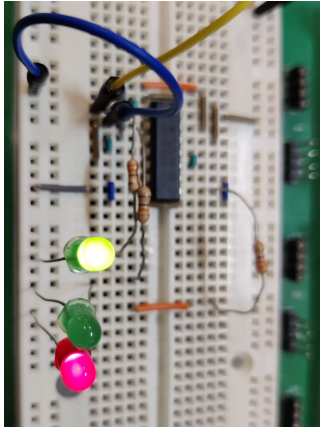
Per avere una visualizzazione più veloce e chiara degli stati logici di ingressi e uscita, sono stati utilizzati del LED: due led verdi per i segnali d'ingresso e un led rosso per l'uscita. Nella foto del circuito (figura 6) è possibile vedere come i LED sono stati montati, per poter comprendere le immagini successive. Per utilizzare i LED, essi sono stati protetti da dei resistori di resistenza $R \approx 330\Omega$ e collegati secondo la giusta polarità.



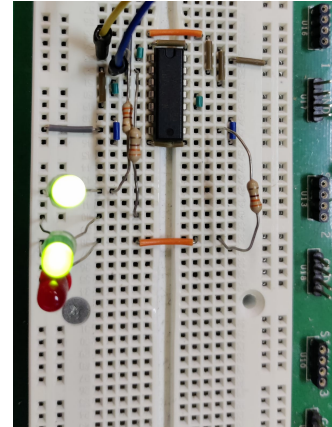
Stati A=0, B=0, Q=0



Stati A=0, B=1, Q=1



Stati A=1, B=0, Q=1



Stati A=1, B=1, Q=0

Combinazioni possibili nell'utilizzo del gate XOR

Un'ulteriore verifica è stata effettuata misurando le tensioni d'uscita e d'ingresso con il multimetro, ottenendo conferma di quanto dedotto visivamente, in particolare misurando valori sempre maggiori di $V_{min} = 3.3V$ per gli stati **True** e valori sempre inferiori a $V_{max} = 200mV$ per gli stati **False**.

Una volta effettuate tali verifiche è dimostrato quindi il corretto funzionamento del circuito; ponendo l'ingresso A prima su **True** e poi su **False** e mandando in B un'onda quadra di ampiezza $\Delta V = (5 \pm 0.15)V$ con

un offset di $V_{off} = (2.500 \pm 0.004)V$, è stato possibile osservare l'andamento, prima in opposizione di fase e poi in fase, dell'uscita Q con il segnale B. È possibile osservare tale fenomenologia in figure 10 e 11.

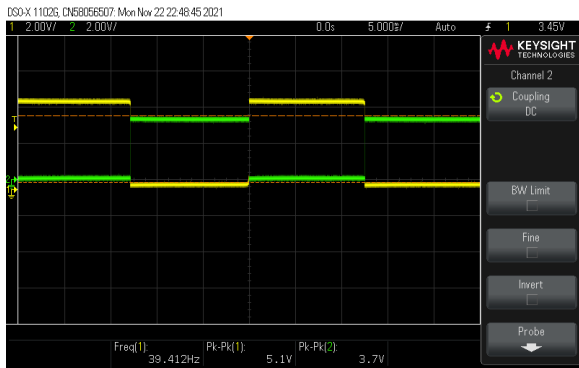


Figura 10: Andamento di Q con A impostato come **True**

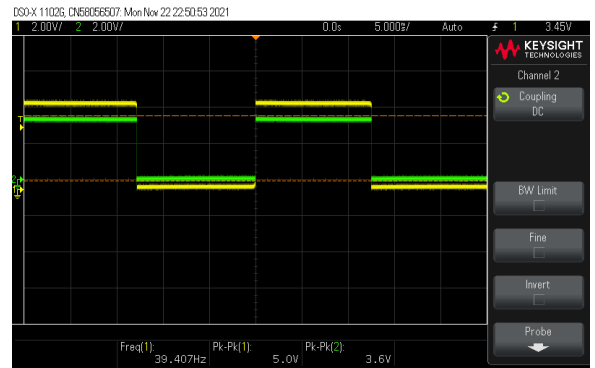


Figura 11: Andamento di Q con A impostato come **False**

5 Flip-Flop SR

Per questa sezione dell'esperienza è stato assemblato un circuito logico Flip-Flop S-R, come mostrato nella figura 12, si è quindi proceduto a verificarne il corretto funzionamento, descritto dalla tavola di verità in tabella 5.

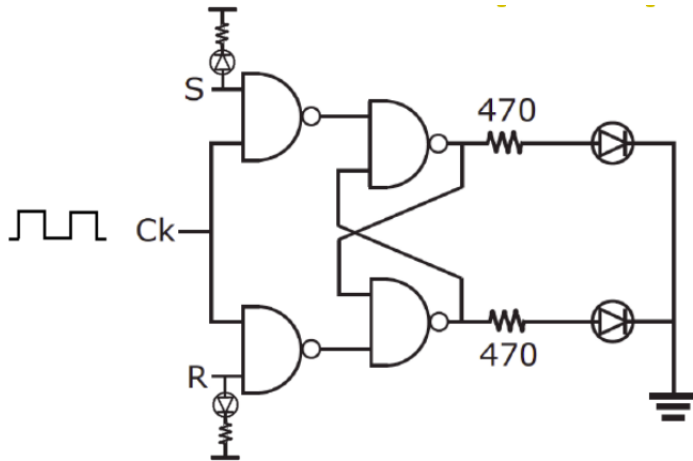


Figura 12: Schematica del circuito con Flip-Flop S-R

S_n	R_n	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	??

Tabella 5: Tabella di verità Flip-Flop S-R

Anche in questo caso, attraverso l'utilizzo di diodi LED, è stato possibile ottenere una rappresentazione chiara degli stati dei segnali S_n e R_n , nonché dell'uscita Q_{n+1} e del suo negato. I Led utilizzati, ancora protetti da resistori di resistenza pari a $R \approx 330\Omega$, sono di colore rosso per S_n e R_n , e verde per Q_{n+1} e $\overline{Q_{n+1}}$.

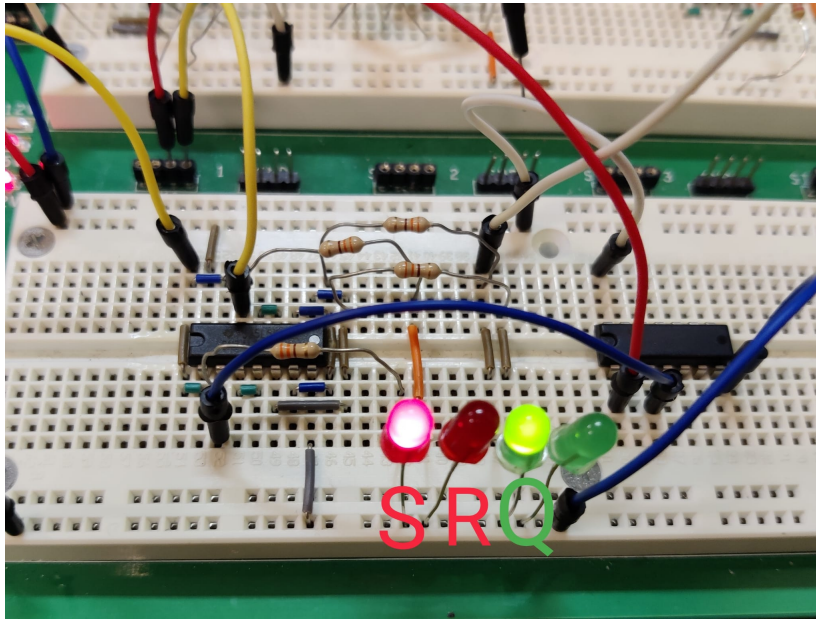
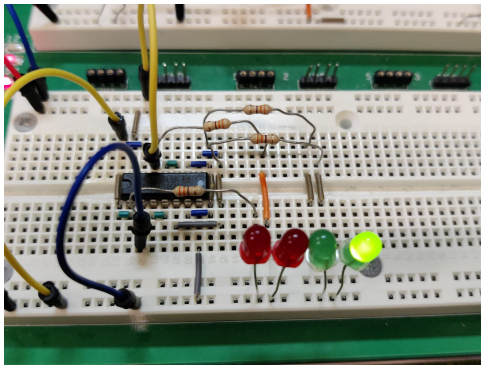
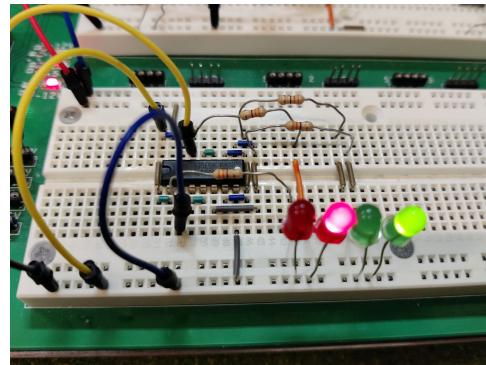


Figura 13: Stati $S_n = 1$, $R_n = 0$, $Q_{n+1} = 1$



Stati $S_n = 0$, $R_n = 0$, $Q_{n+1} = Q_n = 0$

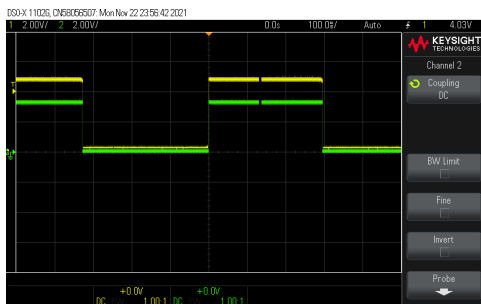


Stati $S_n = 0$, $R_n = 1$, $Q_{n+1} = 0$

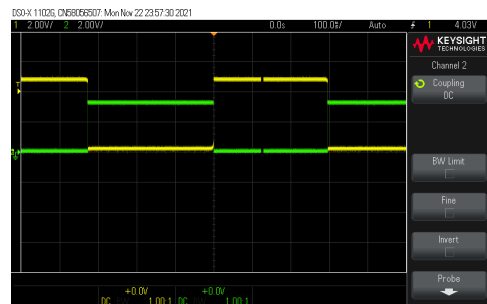
Per produrre i risultati mostrati, che sono in accordo con la tabella di verità 5, è stato prima impostato in **False** il clock, per procedere a impostare i valori di S_n e R_n desiderati. A questo punto, impostando il clock su **True**, si produce lo stato Q_{n+1} .

Per quanto riguarda la configurazione con $S_n = R_n = 1$, essa produce uno stato indeterminato e privo di significato logico.

Una volta eseguite tali verifiche, è stato realizzato un gate NOT come nella prima parte dell'esperienza, per poter mandare su S e R due segnali complementari, ovvero due onde quadre in opposizione di fase con le stesse caratteristiche utilizzate nel punto precedente. Mantenendo poi il clock in **True**, sono stati ottenuti i risultati in figura 16.



Vista all'oscilloscopio di S (giallo) e Q



Vista all'oscilloscopio di R (giallo) e Q

6 Conclusioni

Attraverso lo studio delle porte logiche realizzate è stato possibile confermare la teoria poiché, in ogni suo punto, la relazione ha portato a conclusioni in accordo con i modelli teorici utilizzati. Attraverso la realizzazione del gate NOT, nella prima parte dell'esperienza, è stata stimata la tensione di transizione da uno stato logico all'altro, il valore ottenuto ($V_T = 1.01 \pm 0.02V$) è coerente con quanto riportato nel datasheet dal costruttore, il quale afferma come ogni tensione al di sotto di 0.8V debba risultare in uno stato logico **False**, mentre ogni tensione al di sopra di 2V deve, invece, risultare **True**.

Lo stesso circuito è stato poi riutilizzato nella terza parte per poter osservare al meglio il funzionamento del Flip-Flop S-R, dimostrando immediatamente l'utilità, nonché l'efficacia, di tale logica.