

高速数字电路设计教材

拟制:	_____	日期:	_____yyyy-mm-dd_____
审核:	_____	日期:	_____yyyy-mm-dd_____
审核:	_____	日期:	_____yyyy-mm-dd_____
批准:	_____	日期:	_____yyyy-mm-dd_____



华为技术有限公司
版权所有 侵权必究

目 录

第七章 过孔	3
7.1 过孔的机械特性	3
7.1.1 过孔直径	3
7.1.2 过孔焊盘尺寸	4
7.1.3 去扰需求(Clearance Requirements): 空间间隔(Air Gap)	5
7.1.4 走线密度与过孔焊盘尺寸	6
7.2 过孔的容性	6
7.3 过孔的电感	8
7.4 电流回流与过孔的联系。	9

第七章 过孔

摘要：

过孔这个词指的是印刷电路板（PCB）上的孔。过孔可以用做焊接插装器件的焊（Through hole），也可用做连接层间走线的线路过孔，二者唯一的不同点在于前者用于焊接芯片管脚，而后者内部保持为空。二者的电气特性相仿，如以下所述。

7.1 过孔的机械特性

小的过孔可以节省更多的走线空间，所以设计者都希望过孔越小越好。而且小过孔有更小的寄生电容，所以可工作于很高速率。对于极高速率的设计，必须用小的过孔。

但小的过孔在制板时花费更多，所以设计者要对其性价比进行衡量。到现在，我们知道过孔的三种特性：

小过孔占用更小空间；

小过孔有更小电容；

小过孔花费更高。

过孔尺寸的重要性不可低估，7.1章节余下部分讨论密度与花费之间的权衡。7.2到7.4节讨论速度问题。

7.1.1 过孔直径

先讨论孔径，以后章节讨论过孔外的焊盘尺寸以及焊盘之间的布线空间。一个焊孔必须能够容纳一条插件管脚，焊孔直径必须超过插入其中的导线尺寸。为了良好的焊接，余出的部分应在0.010到0.028英寸之间（依赖于焊接工艺）。没有太多的方法缩小焊孔的直径。

对于走线过孔而言，孔径的大小更难以确定，它的最小尺寸受限于钻孔与镀锡技术。小孔具有前面所介绍的优点，但需要小的钻头，而小钻头更容易折断。加工大过孔时，可以将许多印制板堆叠在一起进行一次性加工，而对于小过孔，细小的钻尖难以钻透堆叠在一起的印制板而不偏离过孔的中心，所以小孔必须小批量打钻，并且加工更长的时间。

电镀技术（Electroplating action）不能电镀深的孔（skinny hole）。孔深超过其直径六倍的孔一般不会被电镀。对于0.063英寸厚的标准单板，孔径不应小于0.010英寸（也依赖于电镀车间对其设备的调整以及单板的产量需求）。

所有这些因素增加了小过孔的成本。当与印制板制造商谈价格时，应将打孔、电镀性能与线路蚀刻性能分开讨论，二者相互联系但又有区别。你需要一张图表显示钻孔成本相对于孔径的函数，还需要一张图显示电路板每平方英寸的成本相对于线宽的函数。结合这两张表和下面的信息来选择最佳的过孔、线宽、以及单板的层数。大部分印制板制造商的要价与层数成正比。

如何确定对孔尺寸的合理的限制？军方定义MIL-STD-275E列出了三种可接受的公差数据：优选（preferred）、标准（standard）、降产（reduced producibility）。优选定义（specification）对制造商来说最为容易，而降产定义很难满足并且成本高昂。有一个相关的文档IPC-D-300G

（Interconnections Packaging Circuitry Standard），说明了关于商业产品的类似信息，与军方定义的略有不同。表 7.1-7.3显示出了MIL-STD-275的简化内容。

TABLE 7.1 MIL-STD-275E HOLE DIAMETER

	Preferred	Standard	Reduced producibility
Minimum hole diameter*	$T/3$	$T/4$	$T/5$

* T is the board thickness.

TABLE 7.2 MIL-STD-275E HOLE TOLERANCES

	Preferred	Standard	Reduced producibility
Plating allowance*	0.0028	0.0021	0.0014
Plated hole diameter tolerance [†]			
Holes 0.015—0.030 in.	0.008	0.005	0.004
Holes 0.031—0.061 in.	0.010	0.006	0.004
Hole alignment allowance [‡]			
Board <12 in.	0.009	0.006	0.004
Board >12 in.	0.012	0.009	0.006
Required annular ring			
Inner layer	0.008	0.005	0.002
Outer layer	0.010	0.008	0.005

*Not part of MIL-STD-275E. Standard plating for digital boards is 1 oz (0.0014 in.). For fine line fabrication, some manufacturers use 1/2-oz (0.0007 in.). Plating allowances for hole diameters are twice the plating thickness.

[†]Includes allowance for variation in plating thickness.

[‡]Sum of hole location tolerance and master pattern (etching) accuracy as listed in MIL-STD-275E.

TABLE 7.3 MIL-STD-275E MINIMUM AIR GAP

	Preferred	Standard	Reduced producibility
Air gap for wave solder*	0.020	0.010	0.005

*This is the air gap required to prevent solder bridging. Larger gaps are required by UL, CSA, and TUV safety regulations for protection against high-voltage arcing.

7.1.2 过孔焊盘尺寸

每一个过孔都需要在印制板表面留出额外空间来置放焊盘，焊盘连接过孔内部的电镀面与与印制板表层的走线。焊盘的适当尺寸由4种因子决定，表7.2列出了这类参数的典型值。

- 电镀容量(allowance)
- 孔直径公差
- 孔对齐容量
- 所需关键环区。

过孔在电镀前必须先要钻孔，钻孔工艺在过孔内壁镀上0.001-0.002英寸厚的焊墙，使过孔导电，这样过孔电镀后的直径比电镀前小了0.002-0.004英寸。钻孔与电镀孔孔径之差为“电镀容量”，电镀容量是最大焊墙厚度的两倍。图7.1说明了完孔（Finished hole）尺寸与钻孔尺寸的参数。电镀容量有一定公差，这样焊盘厚度就不需保证得绝对精确。

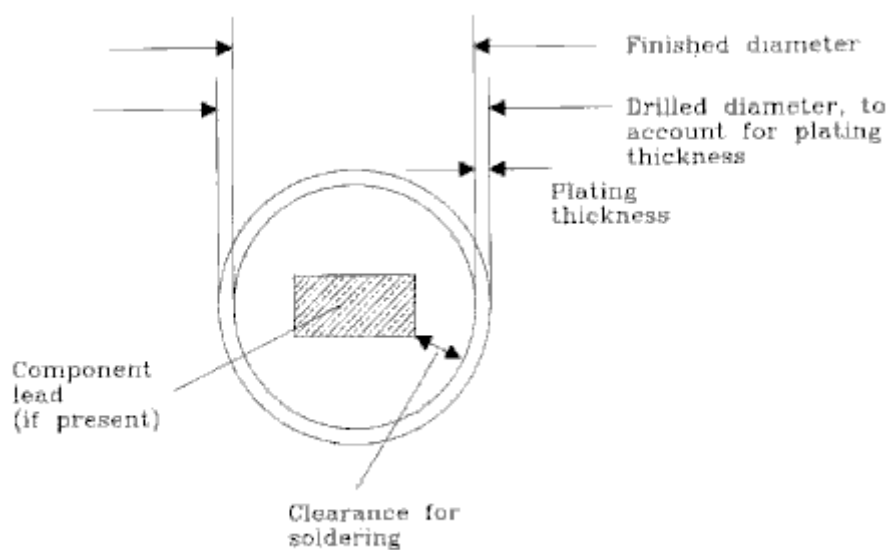


Figure 7.1 Finished hole diameter versus drilled diameter.

钻孔直径无法被保证的绝对精确，一定有钻孔公差存在。孔径与公差往往结合表示为 $0.032 \pm 0.003\text{in}$ 。孔径公差引入了两种限制。首先钻孔时孔径必须比正常情况稍大一点。这样可以确保最小的孔也有足够的空间容纳元件管腿，并且能满足电镀所要求的深宽比。另一方面，最大的钻孔孔径不能覆盖其周围的焊盘空间，焊盘因此也要画得大一点。

孔排列容量针对的是钻孔机的机械偏差。钻孔机钻孔时用板上的某些特殊的钻孔作为参考点，在板上蚀刻铜皮也同样需要这些参考点。机械上的不精确性使这种对齐方式不是完全精确的。制造商因而引入了孔排列容量（Hole alignment allowance）来表示所钻的孔与与焊盘中心的偏差。排列公差包括钻孔和排列偏差。

参考图7.2，钻孔后覆铜环区所剩的最薄的部分被称为关键环区（Annular ring）。如果孔区偏离中心，关键环区会变薄甚至从边界偏出，这种情况被称为‘出界’（breakout）。如果在焊盘接铜线处发生出界现象，会危害铜线与过孔内部的电接触性。下限关键环区（required annular ring），定义了当出现孔偏差时关键环区的下限厚度。如果你的布线工具能够在焊盘接铜线侧留一突出部（焊盘画大一些），即使关键环区为0甚至副值，也不一定会对你的设计造成影响（如图7.3所示）不过这种做法只适用于商业产品，在军工产品和高可靠性产品中是不能这样做的。

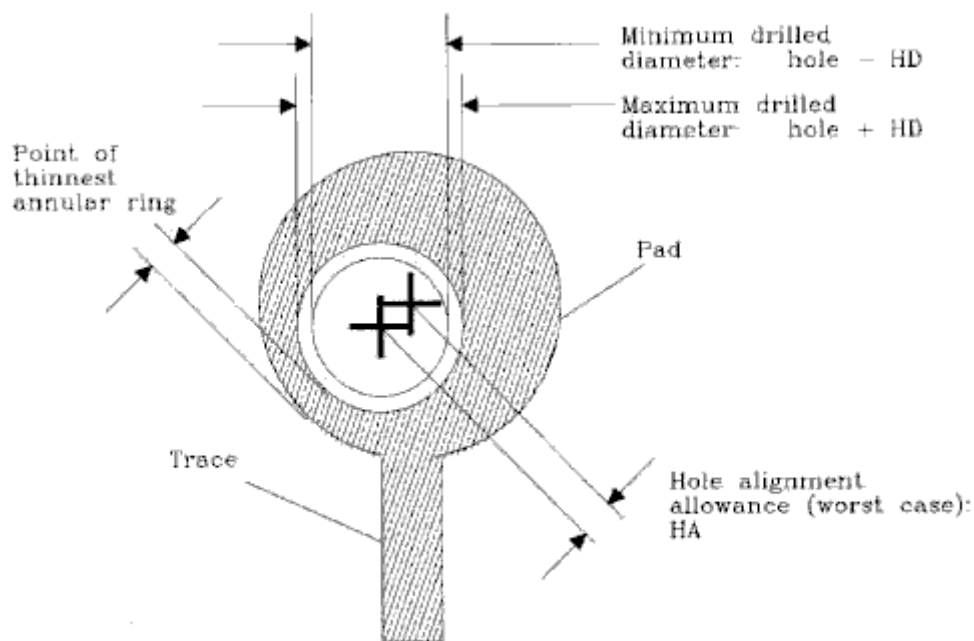


Figure 7.2 Annular ring surrounding a hole drilled in a pad.

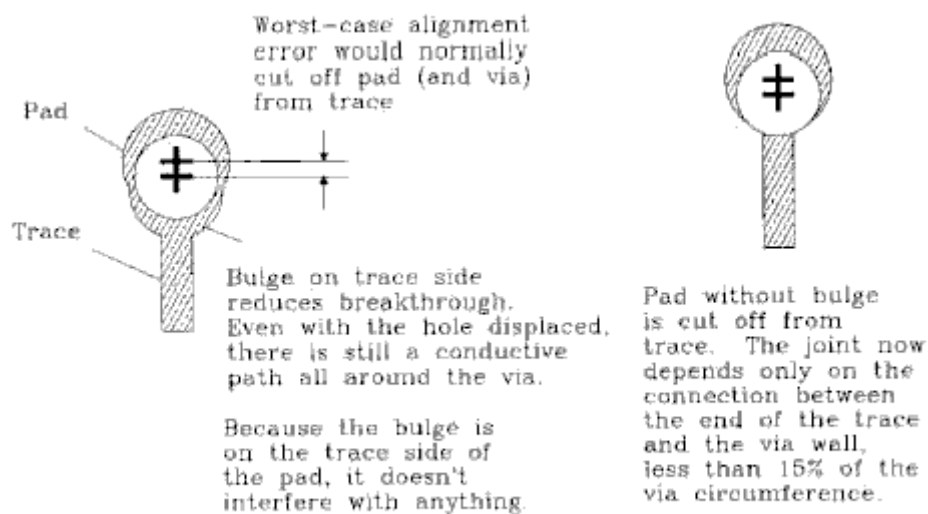


Figure 7.3 Bulge on a pad used to bolster an annular ring at a trace juncture.

最小焊盘直径可以按如下方式计算：

$$PAD = FD + PA + 2(HD + HA + AR) \quad [7.1]$$

这里 PAD = 最小焊盘直径，in.

FD = 要求最小孔直径，in.

PA = 电镀容量，in.

HD = 孔直径公差，in.

HA = 孔对齐容量，in.

AR = 下限关键环区。in.

正确的钻孔直径为：

$$\text{HOLE} = \text{FD} + \text{PA} + \text{HD} \quad [7.2]$$

这里HOLE = 正确的孔直径，in.

FD = 要求最小完孔直径，in.

PA = 电镀容量，in.

HD = 孔径公差。in.

例 7.1 焊盘直径计算

假设所设计焊盘为0.063英寸，环氧FR-4印刷电路板。

若供应商告诉我们大孔价格，孔径为0.015到0.020英寸 的价格要高30%。所能制孔最小尺寸为0.015英寸。该制造商的孔直径公差不是很好，为 $\pm \text{HD} = 0.003$ 英寸。

电镀厚度为 1 OZ (0.0014 英寸)，这样电镀容量为 $\text{PA} = 0.0028$ 英寸。近似0.003英寸。我们决定所制最小完孔的直径为 $\text{FD} = 0.015$ 英寸。并告诉制造商将钻孔直径保持在 0.021 ± 0.003 英寸（我们不想因缩小孔径额外加价）。

这样：

$$\text{HOLE} = \text{FD} + \text{PA} + \text{HD} = 0.015 + 0.003 + 0.003 = 0.021 \quad [7.3]$$

下面我们再看一看孔对齐容量， $\text{HA} = 0.002$ ，并选择我们所需要的关键路径， $\text{AR} = 0.005$ 英寸。

则焊盘尺寸应该为：

$$\begin{aligned} \text{PAD} &= \text{FD} + \text{PA} + 2 (\text{HD} + \text{HA} + \text{AR}) \quad [7.4] \\ &= 0.015 + 0.003 + 2 (0.003 + 0.002 + 0.005) \\ &= 0.038 \text{ (英寸)} \end{aligned}$$

这里的焊盘直径（该值要保证焊盘有足够的键环区）将近是过孔直径的两倍。窄孔一般都是如此。

7.1.3 去扰需求(Clearance Requirements): 空间间隔(Air Gap)

印制板上铜皮 (copper feature)之间的间隔被成为空气间隔。这个词可以追述到手工连线的日子。最小空气间隔一开始被用来防止在两个高压终端之间产生电弧。在现代的印制板中铜皮之间的空间被制板材料等所填充，但我们还是称之为空气间隔。

近来在印制板设计中往往包括一个说明了所有焊盘和走线尺寸的规范。由此我们可以计算 nominal features 间的空气间隔。在低压环境下我们只需要很小的空间来防止电弧。空气间隔不是数字电路板制作失败的主因。主因常常是焊桥 (solder bridging)。

蚀刻工艺的不完善性造成了焊桥的产生。这种不完善性导致在走线与焊盘侧面边界粗糙、隆起、铜皮掀起等一系列现象。它使相邻的铜皮边界更接近，在装配时，焊桥有可能在二者最近的地方产生。防止焊桥的最小保护间隔依赖于以下因素：

- 蚀刻工艺的精确性
- 装配方法
- 要求质量 (Required yield)

蚀刻精确性由你的制造商来控制，线宽公差（见4.5.1.4节关于典型线宽公差的叙述）就是与此工艺有关的一个参数。在计算最差间隔（Worst-case clearance）时，要从正常空气间隔减去线宽公差。由于每块铜皮突出线宽公差的1/2，所以只需减去1次线宽公差。

波峰焊与回流焊是两种主要的装配工艺。而波峰焊更容易产生焊桥。通孔板常常使用波峰焊，表贴板常常使用回流焊、波峰焊，或都使用。

要求质量（Required yield）依赖于你的制作量与出价。如果量很低的话，你可以选择人工检视每一块单板并手工清除焊桥，但如果量过大，手工检测就不使用了，这是最好多花一些设计时间来定位间隔问题产生的原因与位置。

不佳的蚀刻与焊桥都是随机的现象。增加空气间隔可以减小其产生的几率但不能完全消除它。在单板密度与制作质量之间寻找一个平衡点需要花时间去实践。

7.1.4 走线密度与过孔焊盘尺寸

印制板的价格基本上与其层数成正比，所需的层数决定于每一层的布线密度。线密度受过孔之间的走线方式影响。单板大多都有很多过孔，长的铜线往往要在两个相邻的过孔之间穿出，两个相邻过孔之间可以穿过的相邻线数被称为路径数（Numbers of track）。单路径板的两个相邻过孔之间只有一条铜线，双路径和三路径板相邻过孔之间的铜线有二到三条。对于多层板，内层的路径数可多于外层的路径数，这是因为内层的不会出现焊桥，这样我们就可以减小所需的空气间隔留给更多的路径。

线密度以线距（Trace pitch）为单位来衡量，线距等价与两并行走线轴心位置的间距，也等于一英寸内并行走线数目的倒数。线距常指并行走线轴心处的最小间隔。在本节，我们讨论有效线距（也称为平均线距）。

由于单板过孔很多，所以单板在布线是常常会为过孔所阻挡。将一排过孔作为一个整体来看，穿过他们的线数不超过其相邻过孔对数与路径数的乘积。它大大小于理论上该空间在无过孔是所能布的最大线数。一个有很多过孔的单板其有效线距为：

$$\text{Effective trace pitch} = \frac{\text{via spacing}}{\text{tracks}} \quad [7.5]$$

当设计一个新的单板，我们应该知道焊盘关键环区、过孔空间、布线宽度上的微小改变就可以单板的路径数在1、2、3之间变化。这样就可以大大增加布线密度从而减少单板层数。另一方面，在关键环区厚度及最小空气间隔上的牺牲将直接导致制造产量的下降。

设计者常常为相邻的两个过孔设定一个固定的最小间隔，并将其作为步放过孔的最小格点。这样设计者就可以在任何一个空的格点处步放一个过孔，而且不需要移动其它的过孔。对于DIP封装的器件，过孔位置的格点间距通常设为0.100英寸（对应于其引脚间距）。对于表面贴设计，过孔位置格距是不同的。IPC-D-300G建议使用的格距为0.100、0.050、0.025英寸。

本节要点：

- 走线过孔的直径完全依赖钻孔和电镀技术；
- 焊盘尺寸由钻孔公差和要求关键环区决定，关键环区控制出界情况的发生；

- 最小空气间隔由线宽公差和焊盘位置决定，空气间隔控制焊桥的产生；
- 焊盘尺寸和空气间隔上的牺牲可以增加单板的路径数，但会降低产量。

7.2 过孔的容性

每个过孔都有对地的寄生电容。过孔的物理结构很小，就象电路连接的一个元件，其可以寄生电容的参数值：

$$C = \frac{1.41 \epsilon_r T D_1}{D_2 - D_1} \quad [7.6]$$

这里 D_2 = 地平面的绝缘孔直径，in.

D_1 = 过孔周围的焊盘直径，in.

T = 印刷电路板的厚度，in.

ϵ_r = 电路板材料的介电常数

C = 过孔的寄生电容，pF

如果焊盘尺寸接近于绝缘孔直径，焊盘会产生更多的电容。如果你的地绝缘孔必须很小，以确保地平面的一体性（Ground clearance），就要减小或去掉地平面上的焊盘，对于走线过孔，在地平面上的一点偏差则不是什么问题。

过孔电容的影响在与它使数字信号的上升沿上升时间变缓，上升曲线变柔和。等式7.6假设在每一层都有一个焊盘，实际上一些设计者将那些在层上未连接走线的焊盘去掉，这样只是略微减少寄生电容。在大多数情况下，寄生电容都很低，我们不必加以考虑。

如果你必须事先知道过孔的电容值，可以用一个物理模型来测量它。一旦确立了一个物理模型，就可利用焊盘的比例原理（Scaling principle）。比例原理的含义：过孔的比例模型往往是过孔实际情况的X倍，此处的X就是比例模型。

例如：图7.4显示了一个简单的焊盘模型，它有铝箔和纸板构成。这是一个100:1的走线过孔（在表面贴设计中）。中间的管子代表了电镀通孔的内表面，直径为1.6英寸。管子两端的焊盘直径为2.8英寸。地平面的绝缘扩展为5.0英寸。这样测得的电容值为11.0PF，按比例减小100倍，实际电容为0.11PF。（注意这个实际电容包含在（FR-4）中，所以过孔电容的实际值应接近0.5PF）之所以用这种方式测量，是因为测大的电容比测过孔电容更容易。

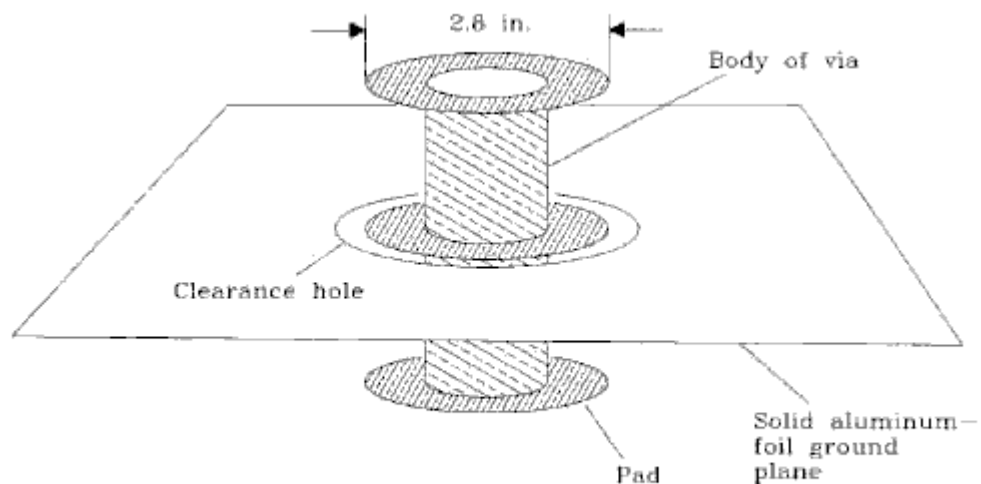


Figure 7.4 A 100:1 model of a via.

现在来看比较以下实际的测量值与按7.6式测量的结果。

$$C = \frac{(1.41)(4.7)(0.063)(0.028)}{0.050 - 0.028} = 0.053 \text{ pF} \quad [7.7]$$

可以看到二者基本相近，而产生的误差也是不可避免的。

过孔对50-Ω传输线的影响有多大呢？参考等式4.76，过孔所造成的10%~90%上升时间减缓为：

$$\begin{aligned} T_{10-90}(\text{step response}) &= 2.2C(Z_0/2) \\ &= (2.2)(0.5)(50/2) \\ &= 27.5 \text{ ps} \end{aligned} \quad [7.8]$$

27皮秒是一个非常短的时间。

如果你必须做很多焊盘电容值预测，则应该购买电磁场建模软件。这些软件包可以精确的得出三向结构体的电感系数与电容值。

本节要点：

- 过孔电容是可测量的，其值非常小影响也很小；
- 过孔和导线的比例模型是真实过孔的X倍，X就是模型比。

7.3 过孔的电感

对数字电路设计者来说，过孔的电感比其电容更加重要，每一个过孔都有寄生串行电感。过孔的物理结构很小，就象电路连接的一个元件。串行寄生电容的首要影响在于它减弱电源旁路电容的作用，这将危害整个电源滤波的设计。

旁路电容目的就是减少在电源层与地层的高频阻抗。如图5所示，若一个集成电路在A点与电源层与地层相连，并且在B点并联一个高性能的表面贴旁路电阻。这时我们希望在连接点处高频阻抗为0，然而事实上并非如此。连接电容到电源层和地层的表贴过孔引入了很小但却不可忽视的电感。电感值近似为：

$$L = 5.08h \left[\ln \left(\frac{4h}{d} \right) + 1 \right] \quad [7.9]$$

这里 L = 过孔电感，nH

h = 过孔长度，in.

D = 过孔直径，in.

因为等式7.9引入了对数，改变焊盘直径只对过孔电感产生很小的影响。而过孔长度则会对电感产生较大的影响。

通过等式1.15，我们可以得到对于上升时间为1纳秒的信号，本例中的过孔所产生的感抗。首先计算电感：

$H = 0.063$ (过孔长度,in)

$D = 0.016$ (过孔直径, IN)

$T_{10-90}=1.00$ (上升沿速率, NS)

$$L = (5.08)(0.063) \left[\ln \frac{4(0.063)}{0.016} + 1 \right] = 1.2nH \quad [7.10]$$

$$X_L = \frac{\pi L}{T_{10-90}} = 3.8 \Omega \quad [7.11]$$

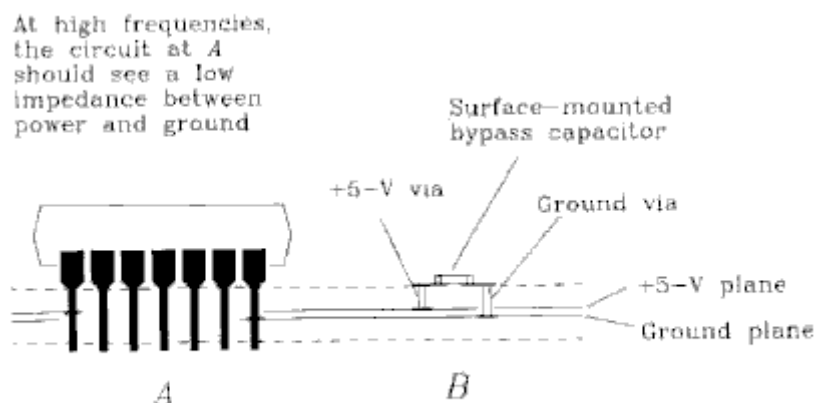


Figure 7.5 Mechanical arrangement of a bypass capacitor.

3.8欧的电阻阻值有些高，不足以屏蔽芯片出来的高频电流。而且电阻往往各需要一个过孔连接到电源平面与地平面，产生的电感将会加倍。将电容表贴到板上最接近电源和地平面的地方会减少这种影响。穿过电容两个焊盘的任何走线都会因如更多的电感，这类线越粗越好。

并联多个旁路电阻有可能降低电源层和地层之间的阻抗，假设电源层和地层都是0电抗的良导体。此时我们只需要考虑旁路电容的电感，及其相连的走线和过孔。在某一半径范围内，所有的旁路

电容都可以按并联的方式工作，降低电源到地之间的阻抗。有效半径为 $L/12$ (L 为上升沿的电长度)，直径为 $L/6$ 内的所有电容都可以被看作一个电路元件 (lumped circuit)。1.3 节列出了在不同介质下电磁波的传播速率，由此可以确定上升沿的电长度 L 。

上升沿为 1 纳秒的电磁波在 FR-4 介质中传播，其 L 值为 6 英寸。这样有效半径为 0.5 英寸。并联的旁路电容间距大于此将不再有并联的效果。

如果上升时间变短，电源旁路会变得更加困难。因为此时有效半径回缩短，这样在有效半径中所能布防的元件的数量就会降低。另外由于上升时间缩短，Digital knee 频率将上升，使过孔的感抗加大。如果我们将上升时间减半，则对滤波电容的设计就会比减半前降低 8 倍。在一个速率范围内得到的结果可通过比例原理推广到其他速率范围。

本节要点：

- 过孔电感恶化旁路电容的旁路特性；
- 一系列旁路电阻比一个旁路电阻更为有效；
- 信号上升时间变短会使电源旁路更加困难。

7.4 电流回流与过孔的联系。

在多层板中有不止一个地层。设计时必须仔细考虑那一个地层返回电流。

图 5.2 说明了回流的基本原理：高速回流信号总是沿着感应系数最低的信号路径流动。

如果我们假设图 5.2 中有不止一个地层，那么那一个地层返回电流呢？答案是离信号线最近的那个地层，并且沿着信号线正下方的路径。

仍以图 5.2 为例，假设门 A 的地引脚穿过几个地层，且彼此相连；电阻 B 的地引脚也是同样。图中所示信号线与顶层地平面最接近，该层承载了该信号线所有返回电流。

现将信号线改在两个内部地层之间，则返回电流由两个地层共同承载，大部分返回电流流过与信号线最接近的地层。

因为门 A 与电阻 B 和每一个地层都有连接，所以回流可以很容易流到内部地层。调整后的地层回路的感应系数与初始路径的感应系数比较类似，这是因为二者都有类似的拓扑。

下面我们建立一个电感系数与磁通量之间的联系：电感系数是相等的，两个路径的磁通量也是相等的，这样我们就可以得出结论，即两种设计的电磁辐射也是相等的。

这种联系所得出的一个有趣的结论是内层的线路辐射小于或等于外层的线路辐射。在单板边界更是如此。地平面由于和磁通量产生方向平行，所以几乎提供不了任何屏蔽。

现在我们在基本电路中加入一个“低劣”的修改，从 A 到 B 的走线先在表层走一半，然后通过过孔引入到两地平面之间的内层走完下一半。那么地层回流的路径是怎么样的呢？

信号在层间的走线有一个跳变点，但信号的地回路却不能在这点跳变，因为地平面在这一点上没有彼此之间的连接点。这样地回路不能象前面那样在信号的下方沿着与信号相同的路径流动。而是通过另外的路径，其中必然会引入更多的电感。由此我们可以看出滥用过孔会造成电磁辐射增加，而且由于信号回路不是走的它本应该走的路径，从而因如更多的交叉干扰。

信号回路的跳变问题有很多种解决方法，下面按其有效性依次排列。

(1) 在布线时不要让高速信号路径在层间跳变，使该路径始终保持在同一层。

- (2) 布线时确定与信号始段端最接近的地层，将该信号线始终步放在该地层的同一侧。
- (3) 对应于每一个信号过孔提供一个地过孔，以便让回流电流可以在层间跳转。
- (4) 保证单板的每一处都有足够的地层过孔。这样在有信号过孔的地方，在不远处一定有用回流电流进行层间跳转的过孔。

不要通过保护线来提供回流路径，这只在纸面上行得通。首先，保护线除非离信号线很近，否则不会有任何作用；如果近到可以作为一个地回路路径来使用，有可能导致线路阻抗的降低；第三，为了提供一个足够低的阻抗，保护线必须非常宽。一旦采用了可靠的地平面，保护线只能填麻烦。