

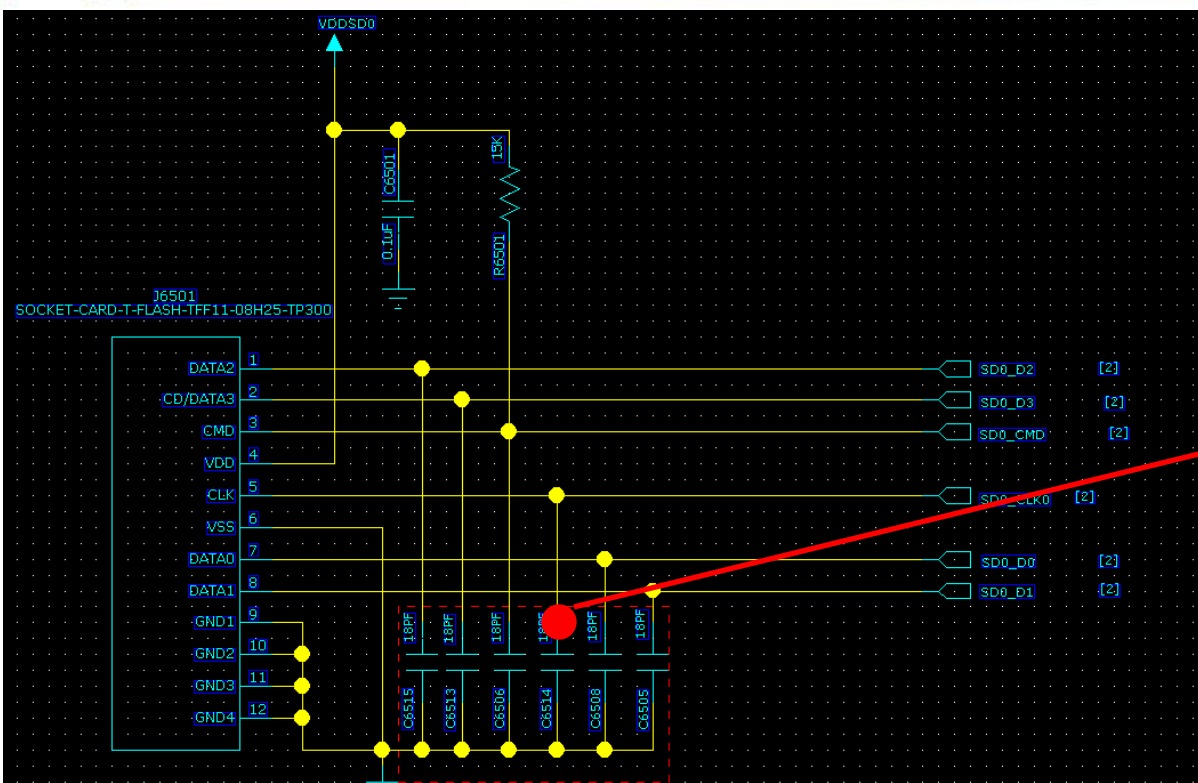
SP8810-1_V1.5.1 SD0_CLK0波形分析



Liangjin.Chen

2012-08-15

原理图和测试点



测试点
CLOSE-SOCKET

The bus CL must be less than 30pf

SDIO_0

(VDDSD0)

测试点
CLOSE-BB

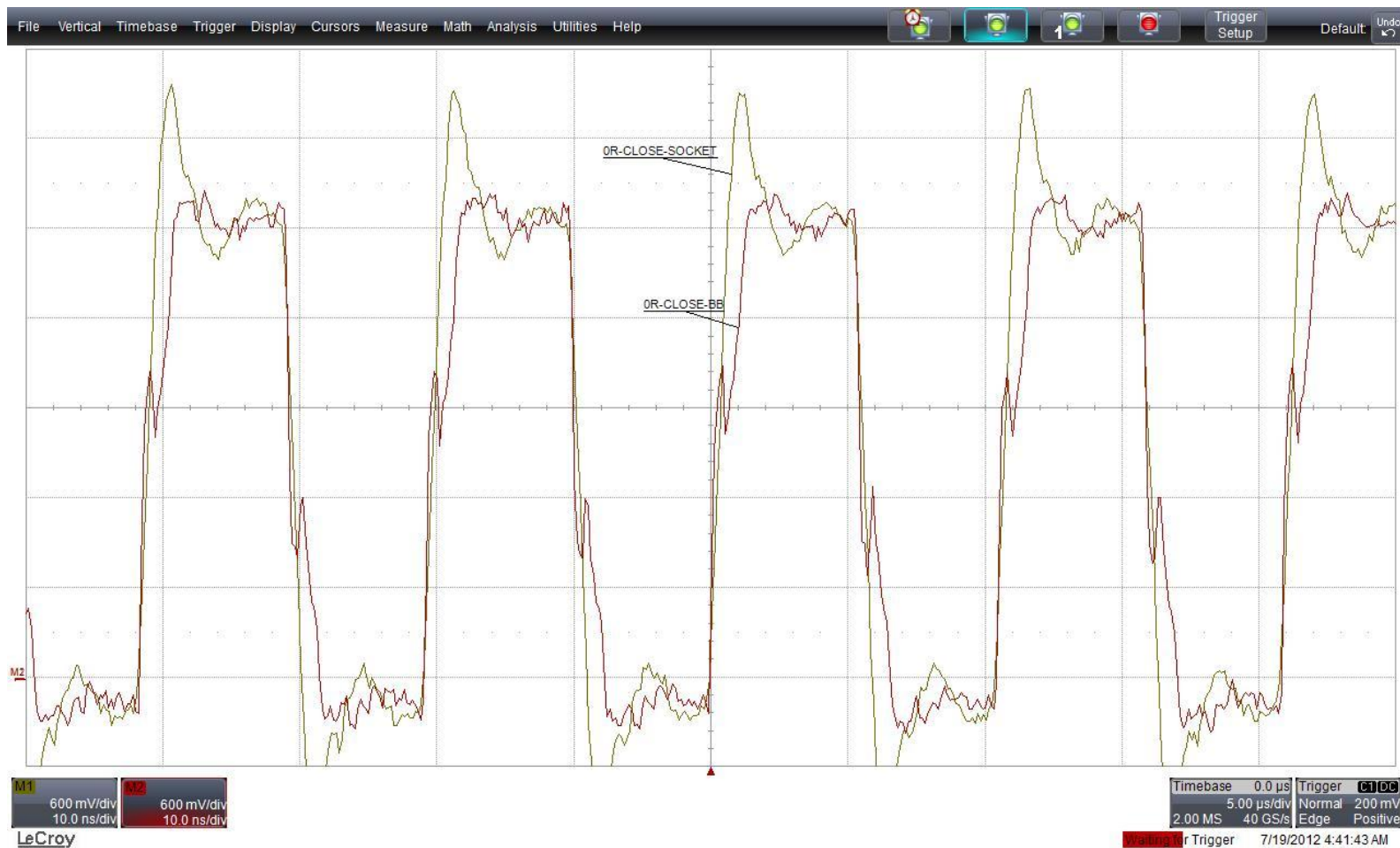


测试点
R-LEFT

Must be close to BB

R0115=0R (1)

DS=3 串联0R电阻，靠近Socket端信号过冲很大。



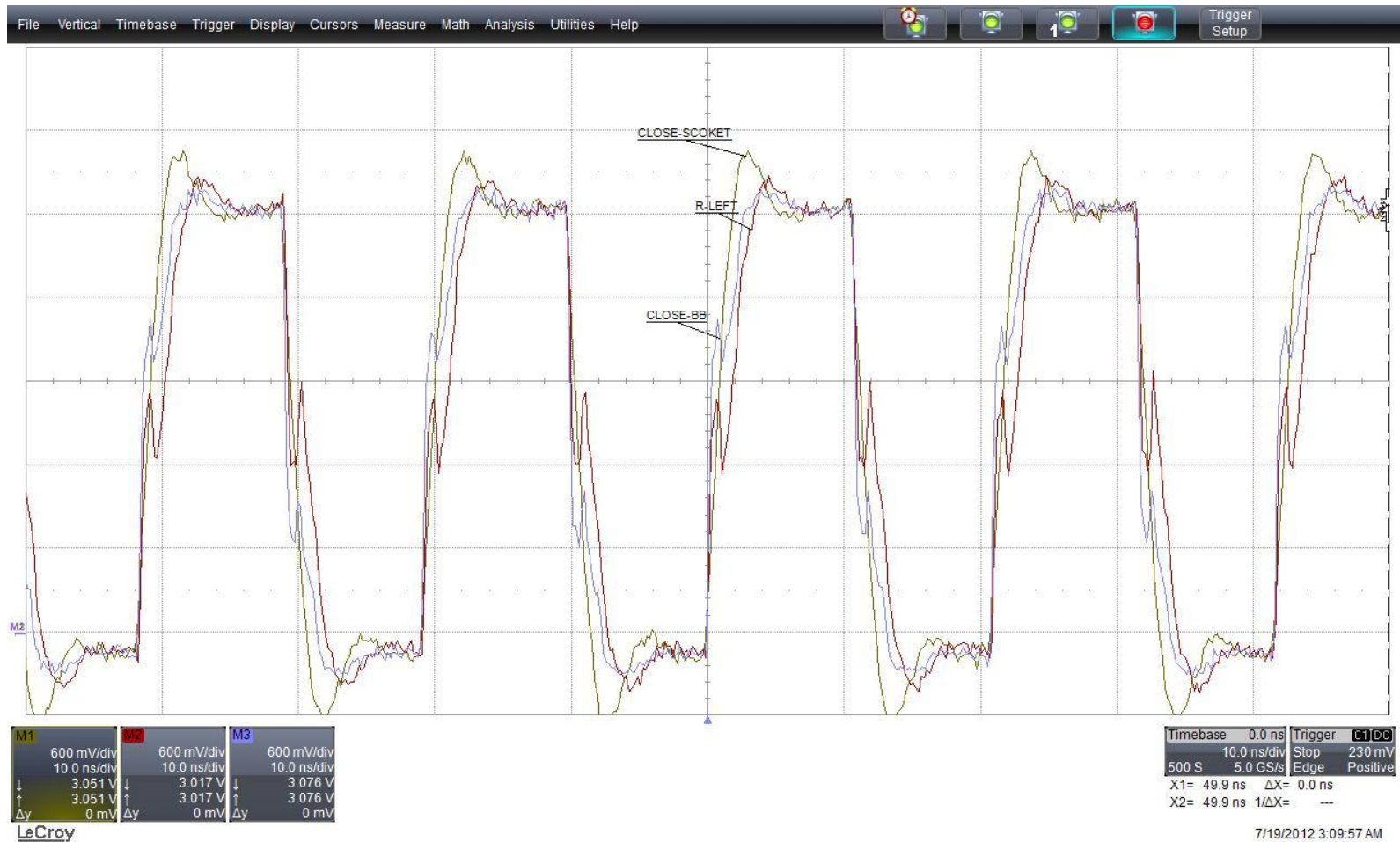
R0115=0R (2)

DS=3 串联0R电阻，靠近BB端信号上升/下降沿回沟比较大



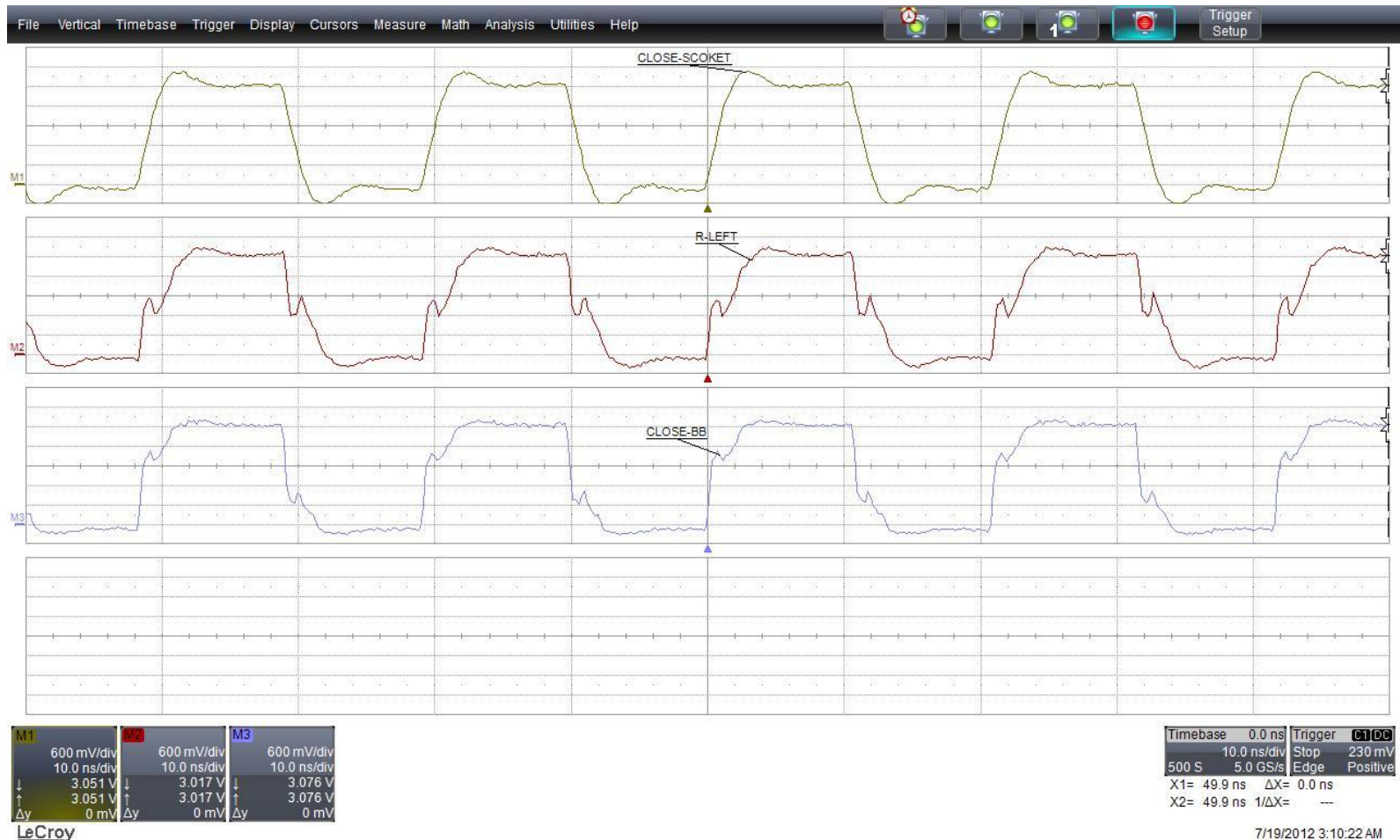
R0115=12.1R (1)

DS=3 串联12.1R电阻，靠近Socket端信号过冲比使用0R稍小。

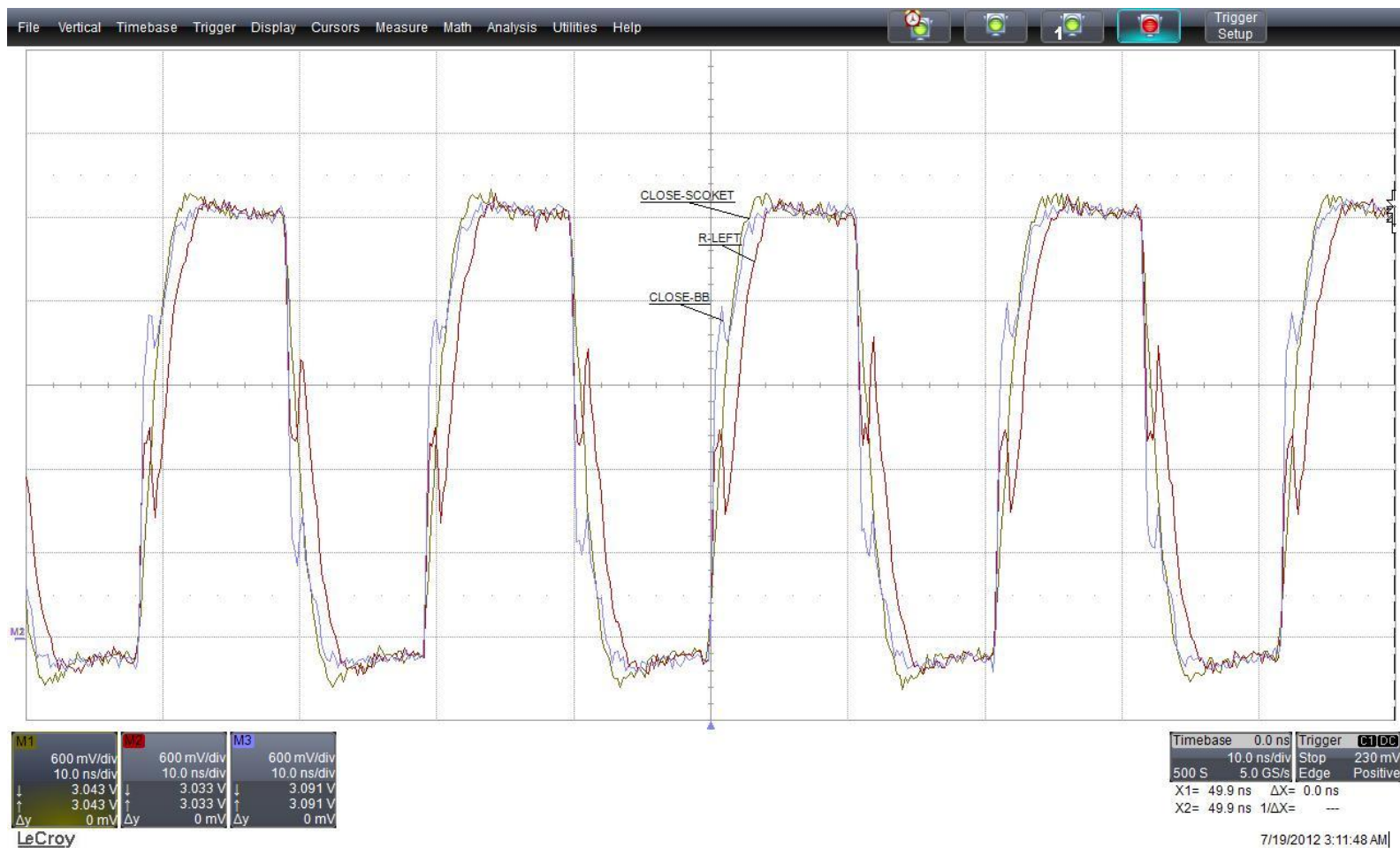


R0115=12.1R (2)

DS=3 串联12.1R电阻，靠近BB端信号上升/下降沿回沟减小，
上升沿回沟位置上移，下降沿回沟位置下移



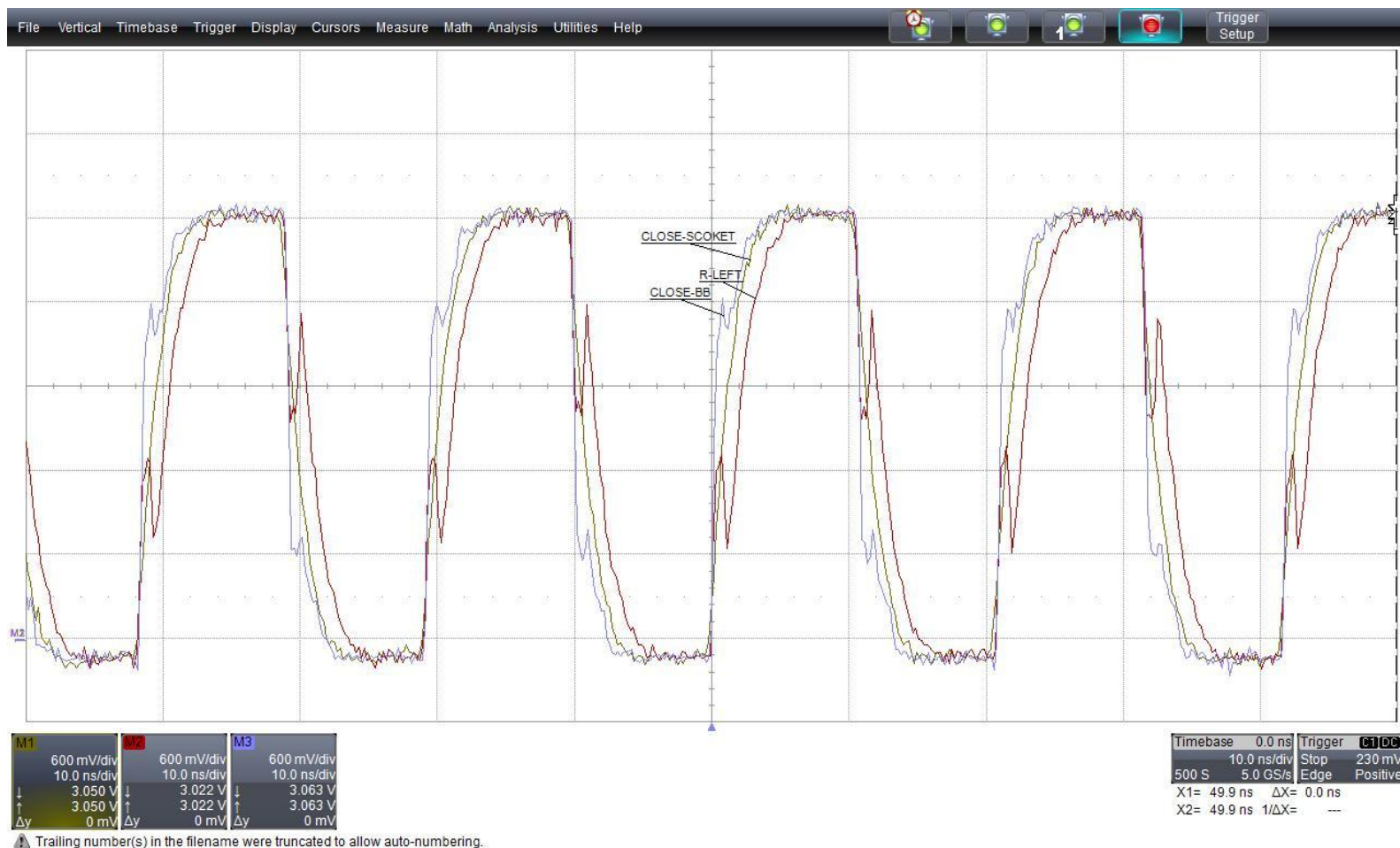
R0115=22R (1)



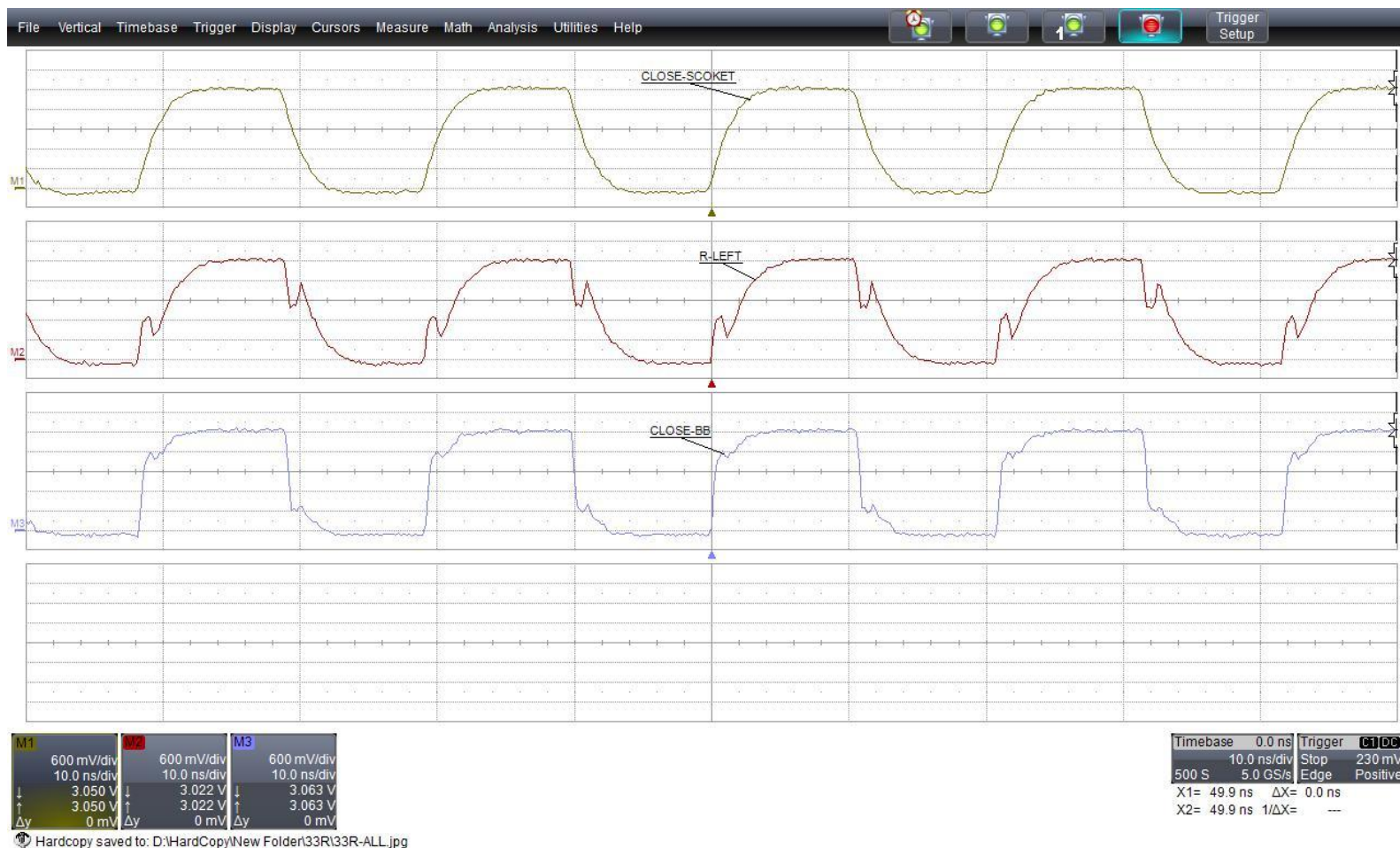
R0115=22R (2)



R0115=33R (1)

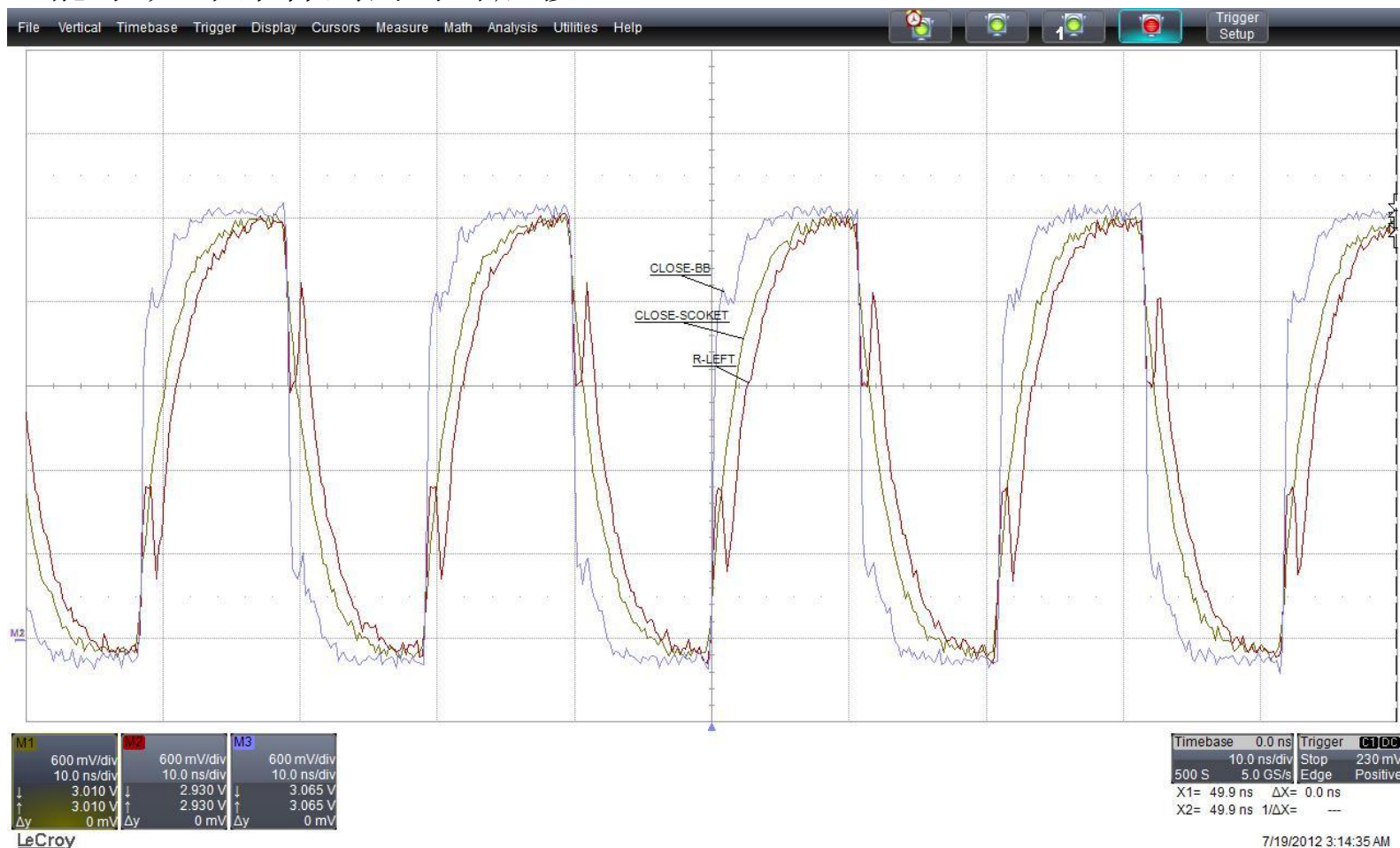


R0115=33R (2)



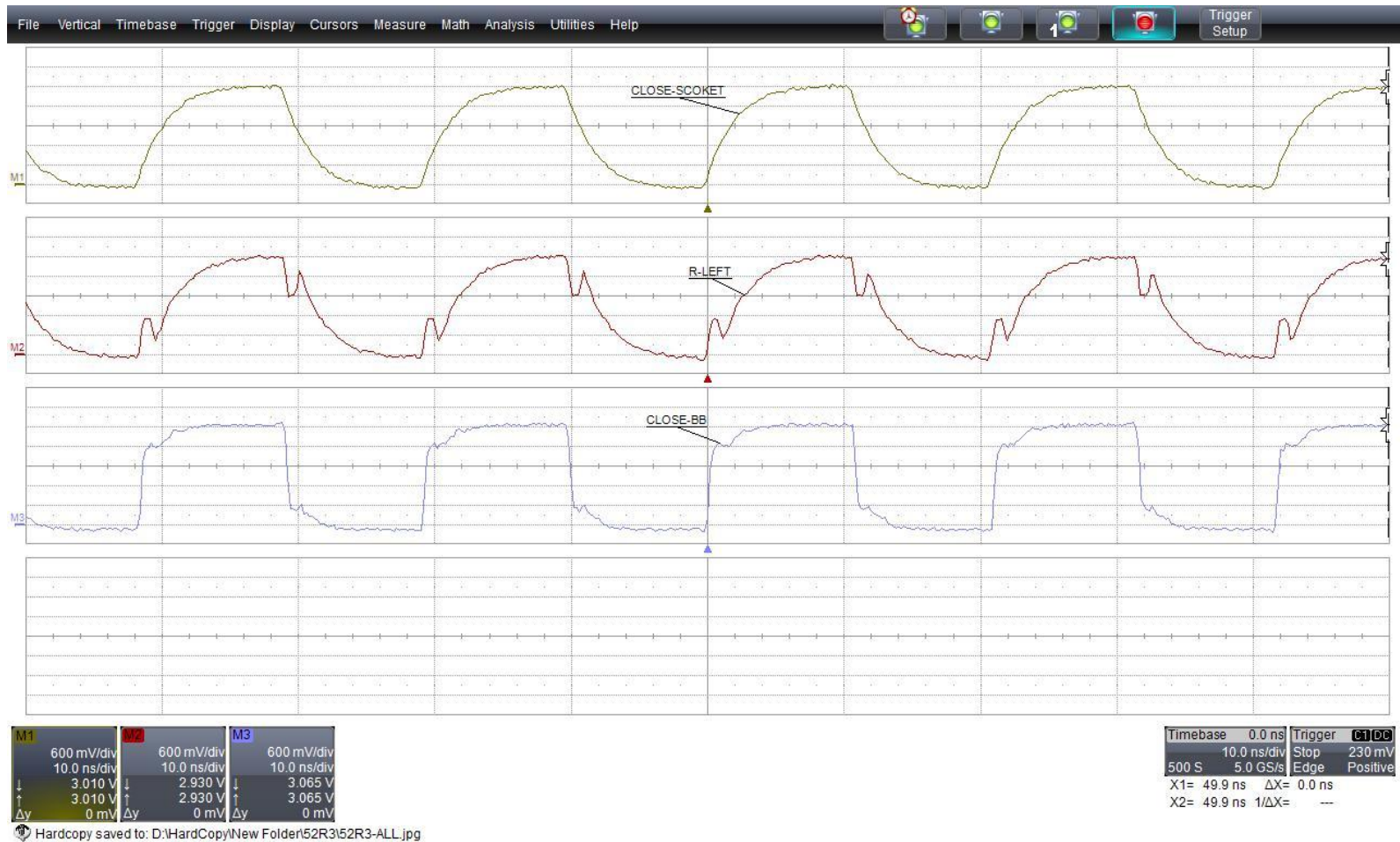
R0115=52.3R (1)

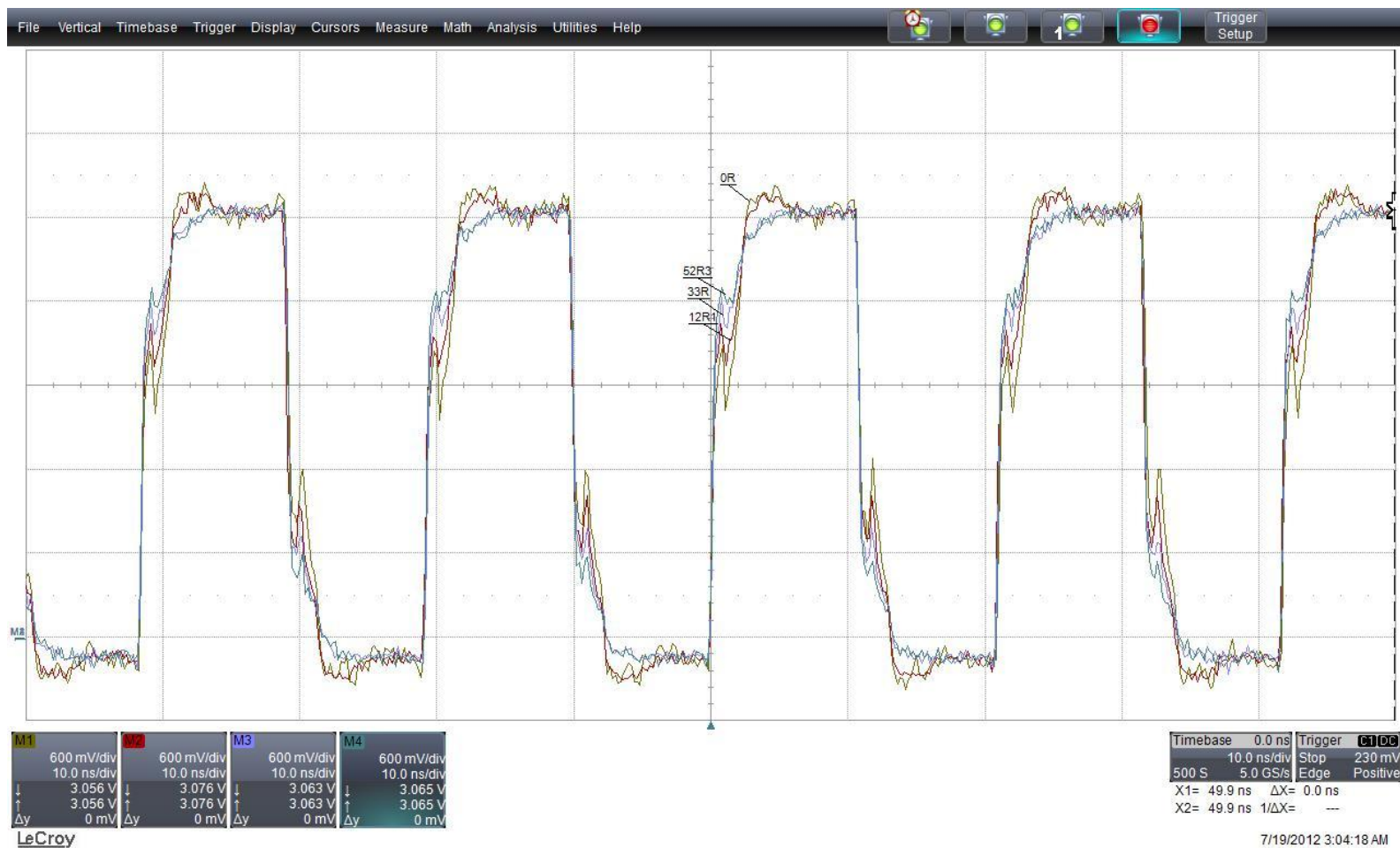
DS=3 串联52.3R电阻，靠近Socket端，明显看到上升沿变缓，这样可能导致T卡采样到的时钟后移



R0115=52.3R (2)

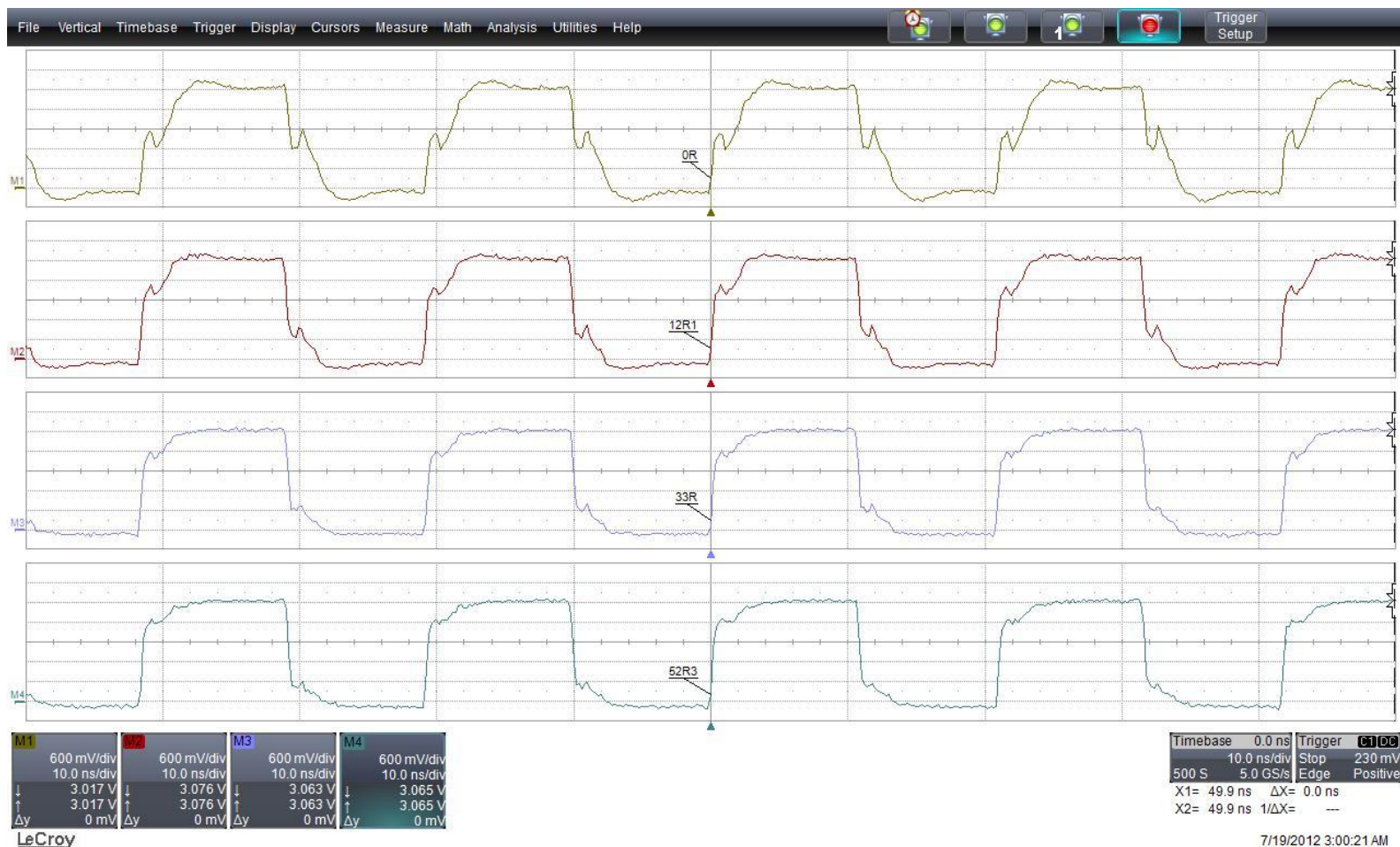
串联52.3R电阻，回沟问题改善明显，但是驱动能力降低



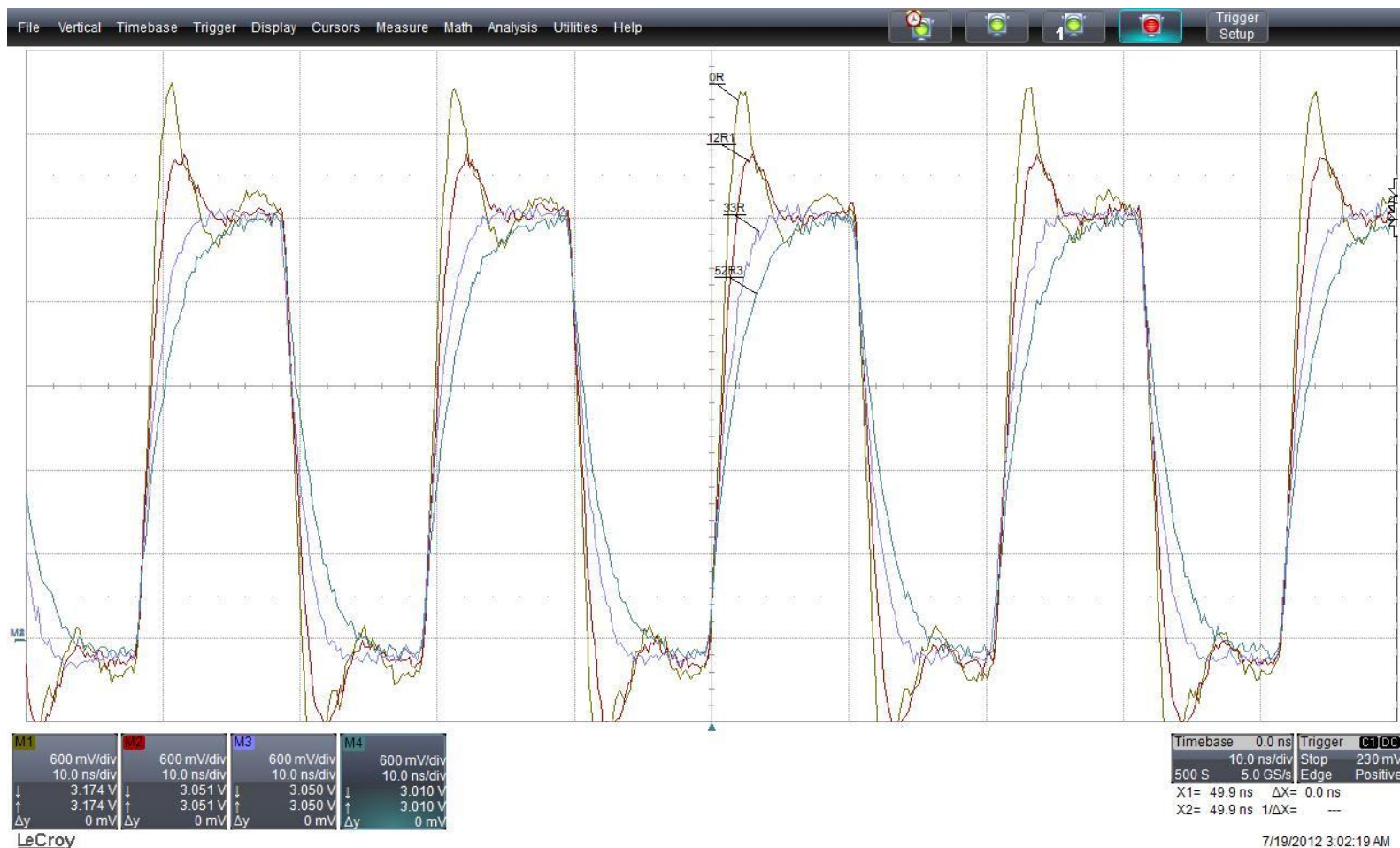


靠近BB端比较 (2)

对比几种串联电阻，下图中后2张的波形，回沟改善很大

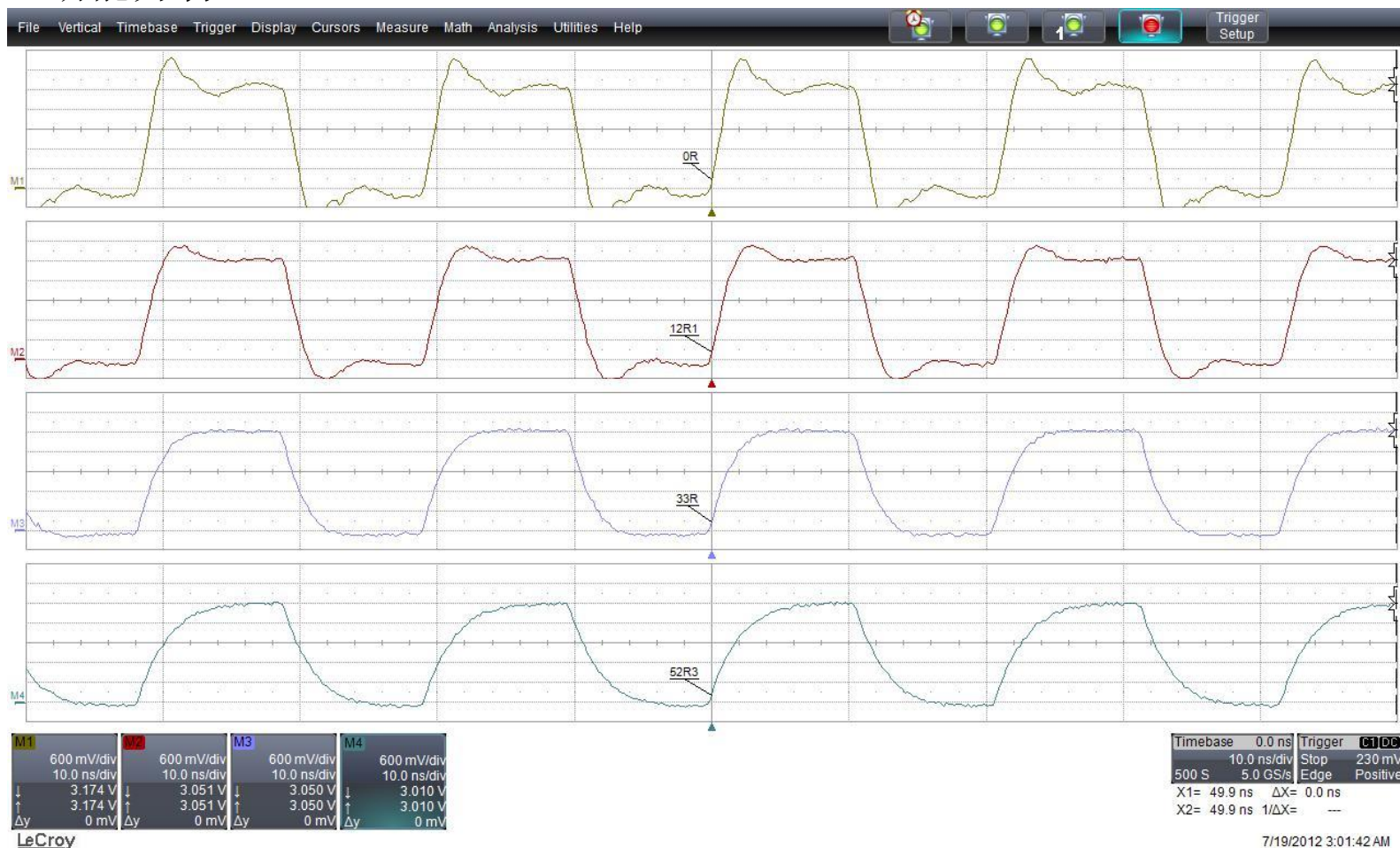


靠近SOCKET端比较 (1)

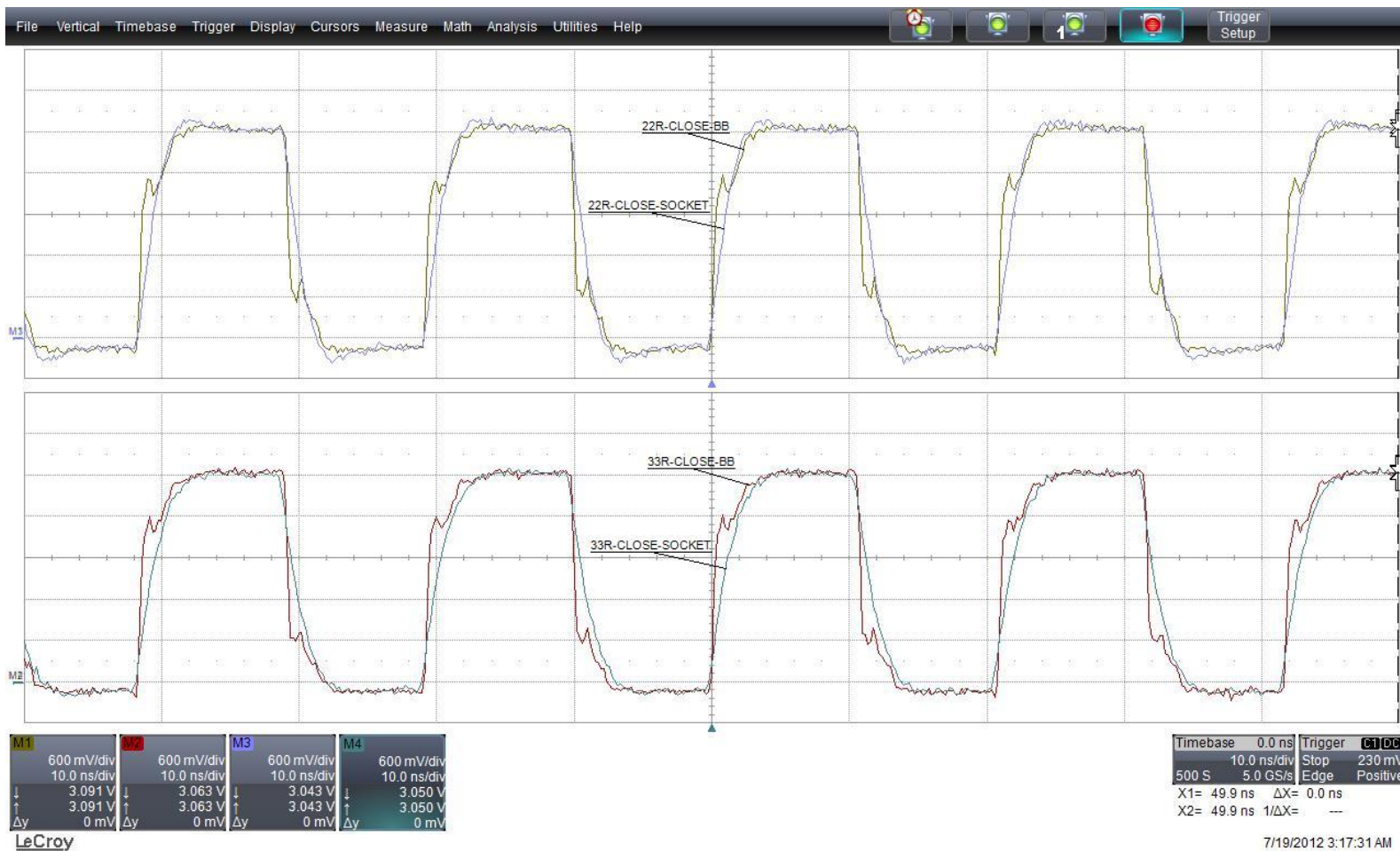


靠近SOCKET端比较 (2)

对比几种串联电阻，电阻较小时，信号过冲比较大。电阻大时，驱动能力弱。

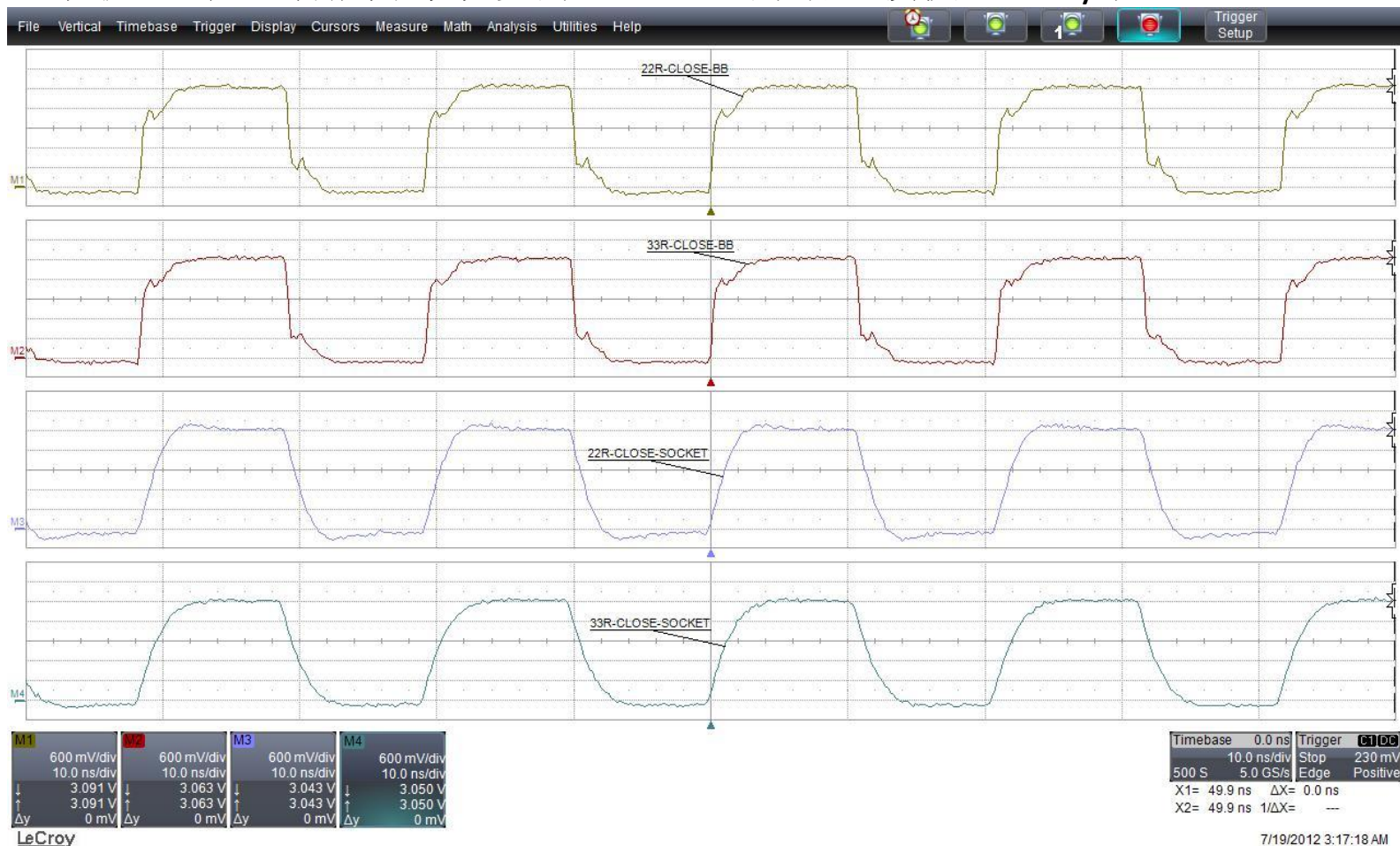


R0115=22R和33R比较 (1)



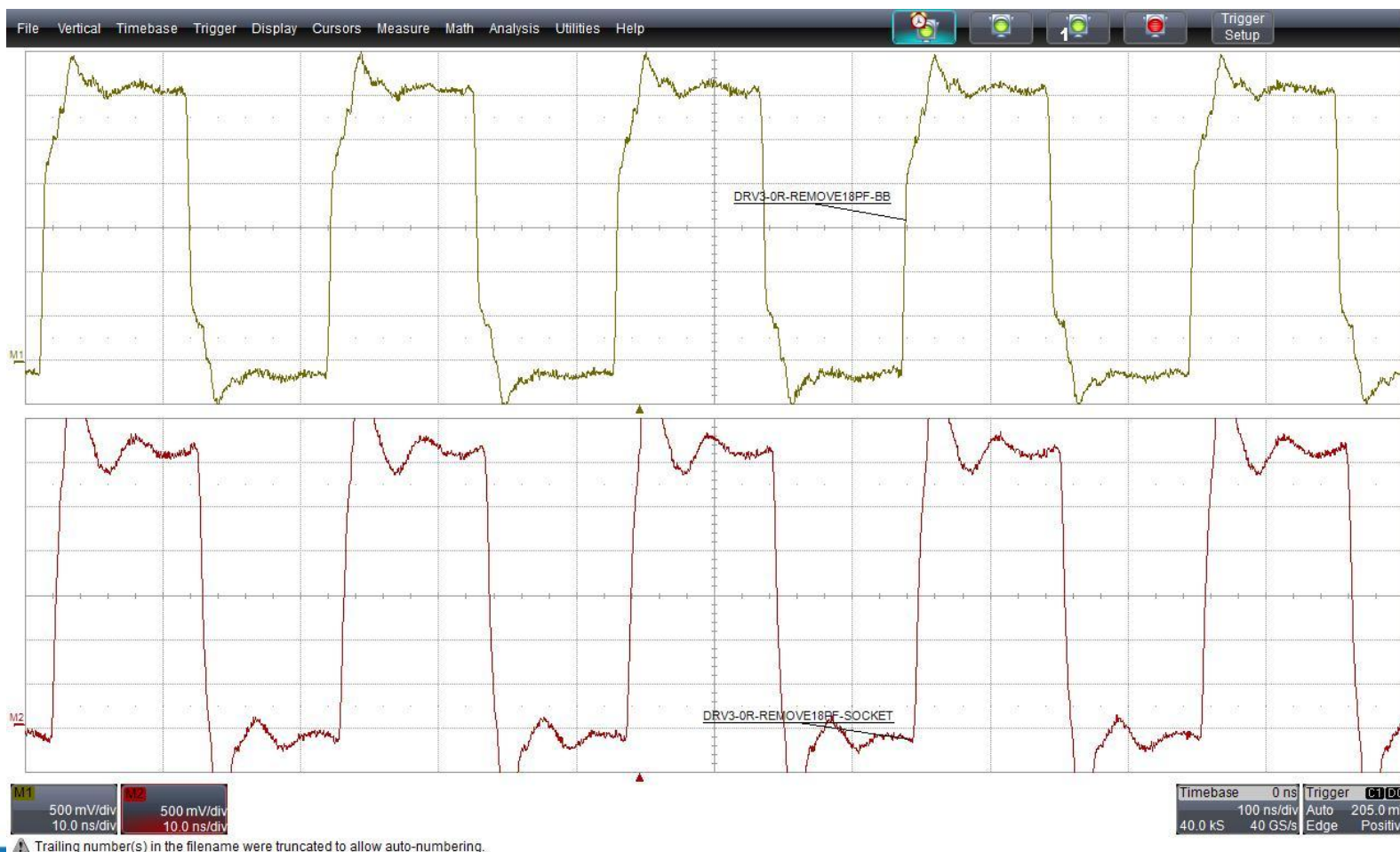
R0115=22R和33R比较 (2)

综合回沟和驱动能力来看，选择22R和33R串联电阻都是可以的。
串联22R从驱动能力来说要好一些，上升沿比较快，delay小一些。



电容对波形的影响 (1)

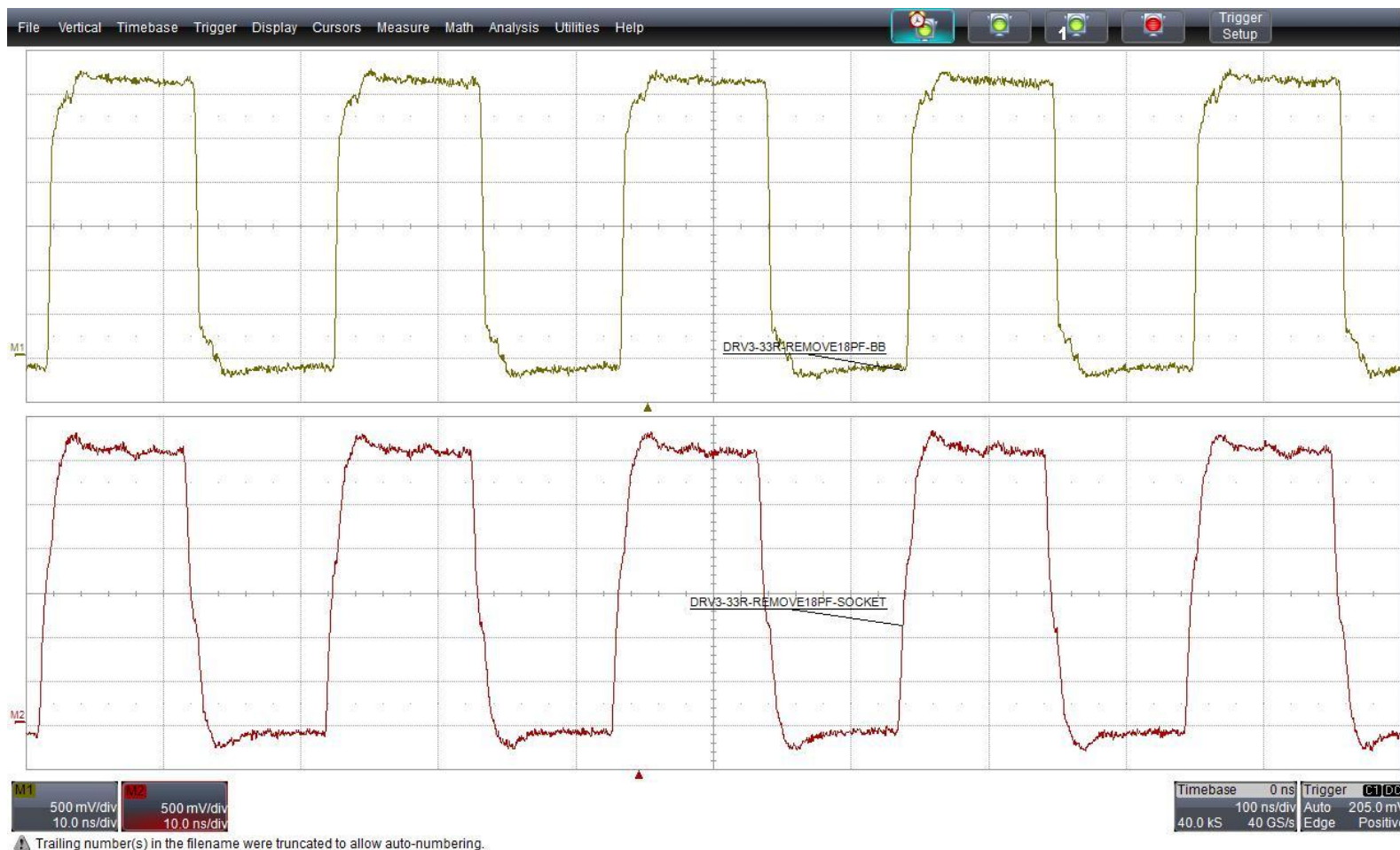
DS=3 在R0115=0R,去掉CLK上并联的18pF电容以后,靠近BB的位置回沟消失了,但是出现一点过冲。靠近Socket的位置过冲很大,因为超过示波器探头的量程,估算过冲的顶点电压估计超过4.5V,甚至可能到5V



Trailing number(s) in the filename were truncated to allow auto-numbering.

电容对波形的影响 (2)

DS=3 在R0115=33R去掉CLK上并联的18pF电容以后, 靠近BB串联33R电阻, 和上一页的波形相比, 过冲和波形上升沿都有明显的改善。



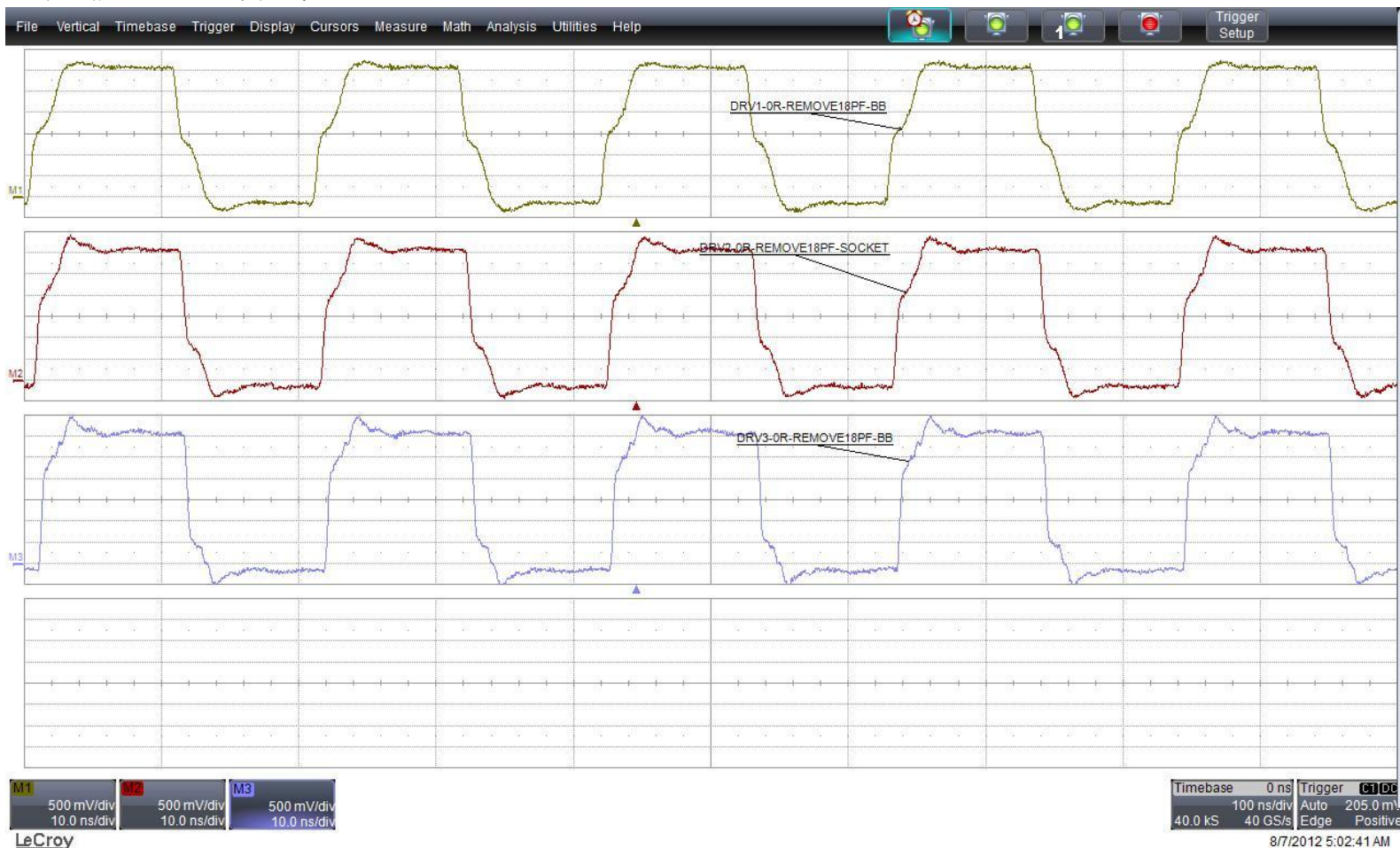
驱动能力对波形的影响 (1)

R0115=0R C6514=18pF 在靠BB的位置测试，驱动能力对回沟的影响比较明显。驱动能力越大，回沟越靠上。



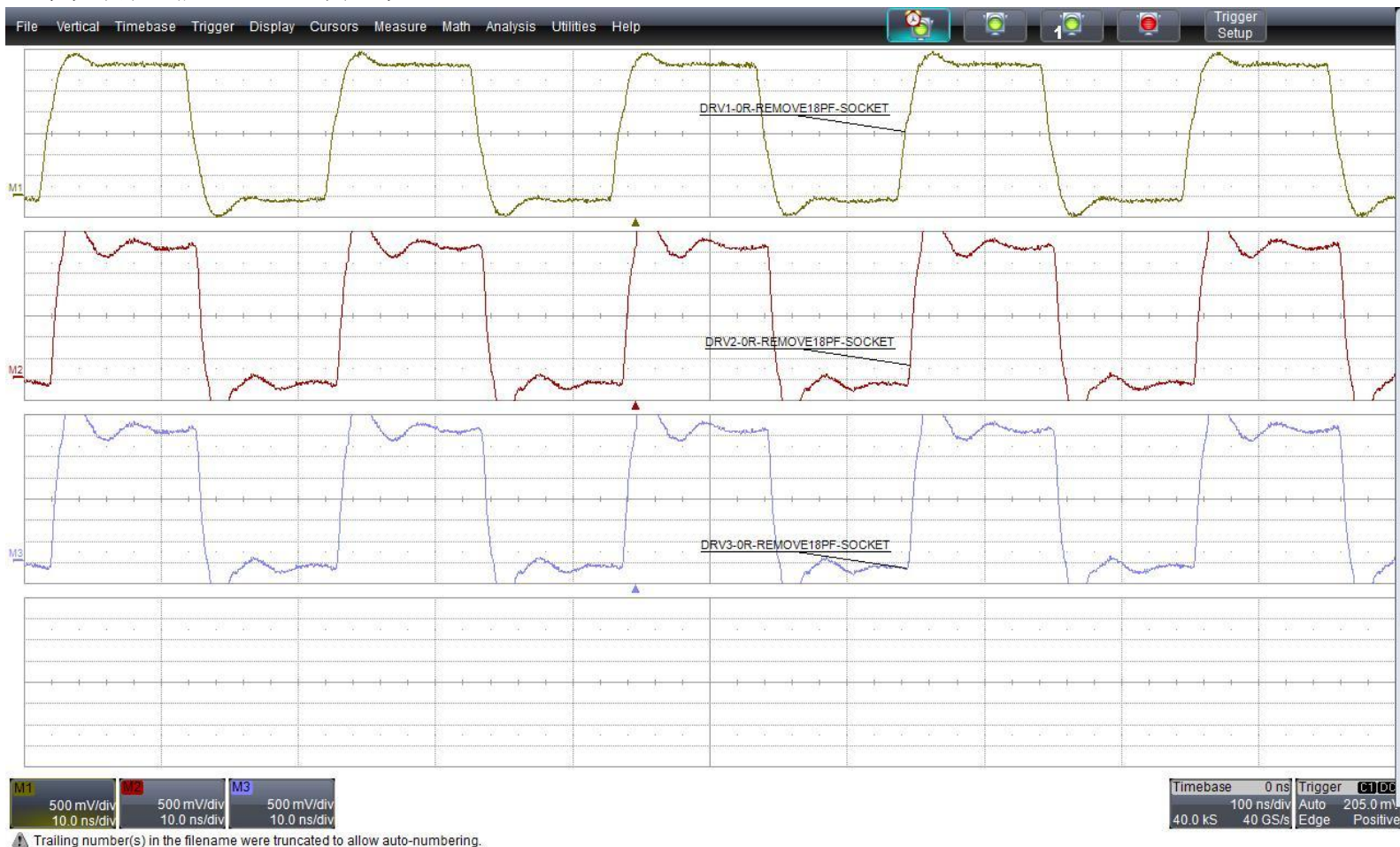
驱动能力对波形的影响 (2)

R0115=0R C6514=NF 在靠BB的位置测试驱动能力越大，上升/下降沿越陡，过冲越大



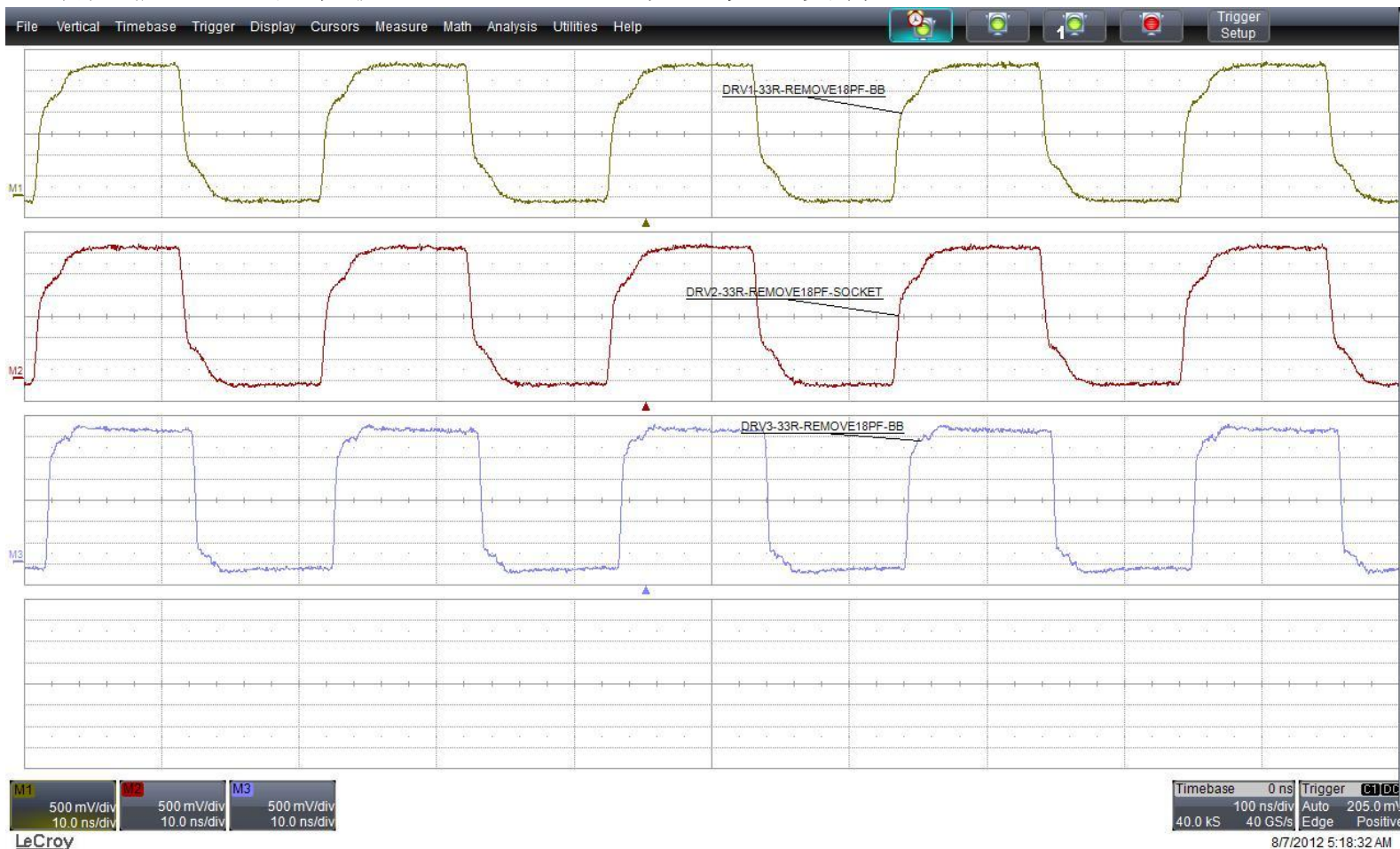
驱动能力对波形的影响 (3)

R0115=0R C6514=NF 在靠Socket的位置测试驱动能力越大，上升/下降沿越陡，过冲越大

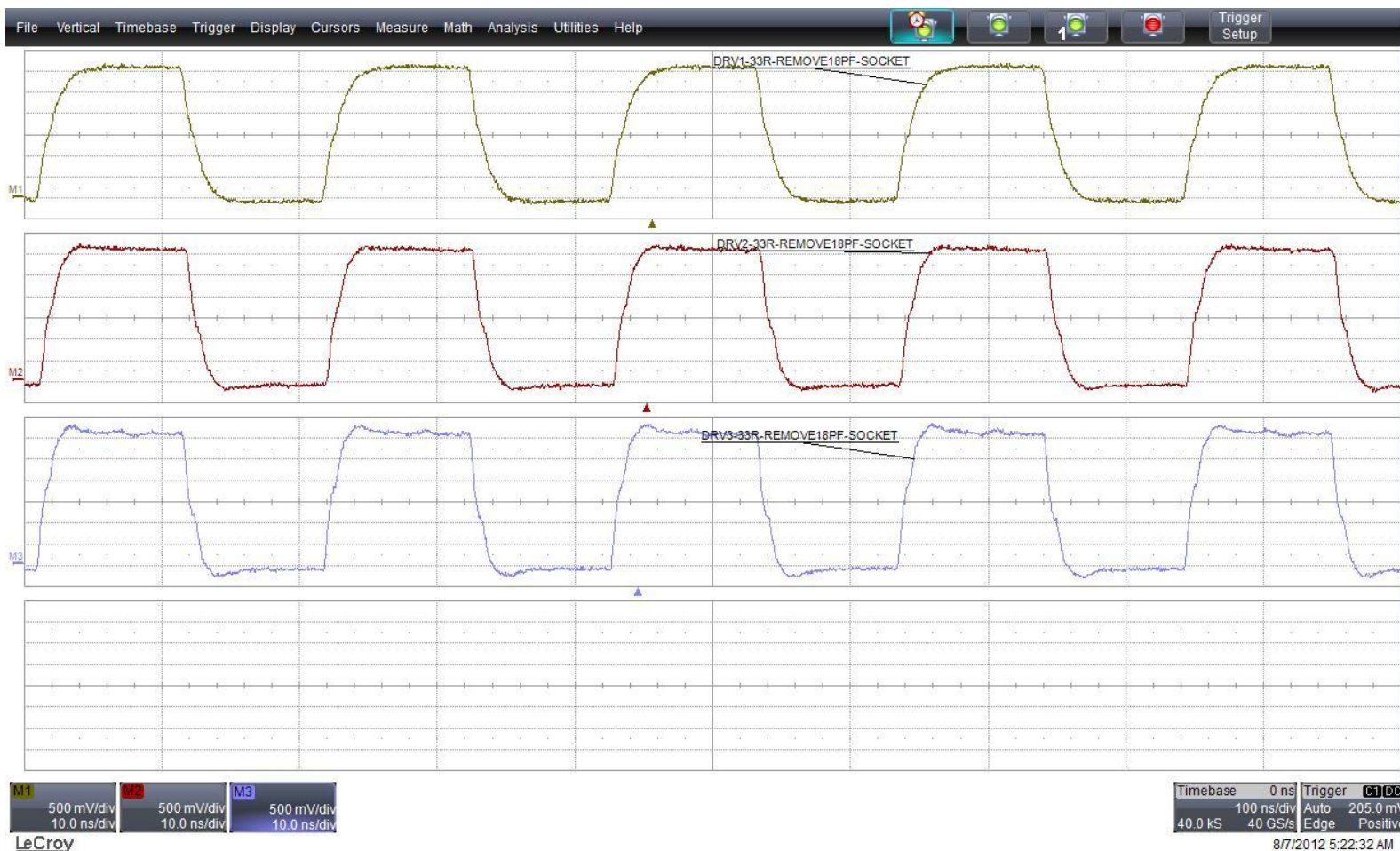


驱动能力对波形的影响 (4)

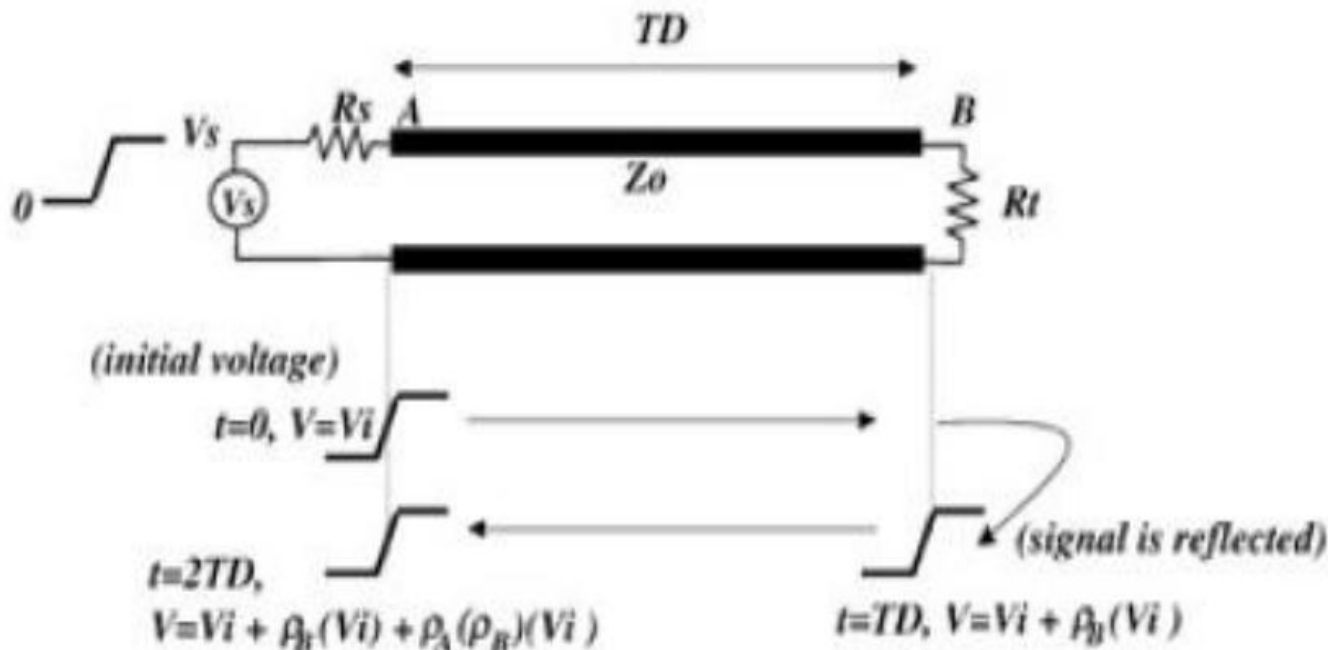
R0115=33R C6514=NF 在靠BB的位置测试驱动能力越大，上升/下降沿越陡。由于串联33R电阻，过冲基本上没有。



驱动能力对波形的影响 (5)



信号反射(1)



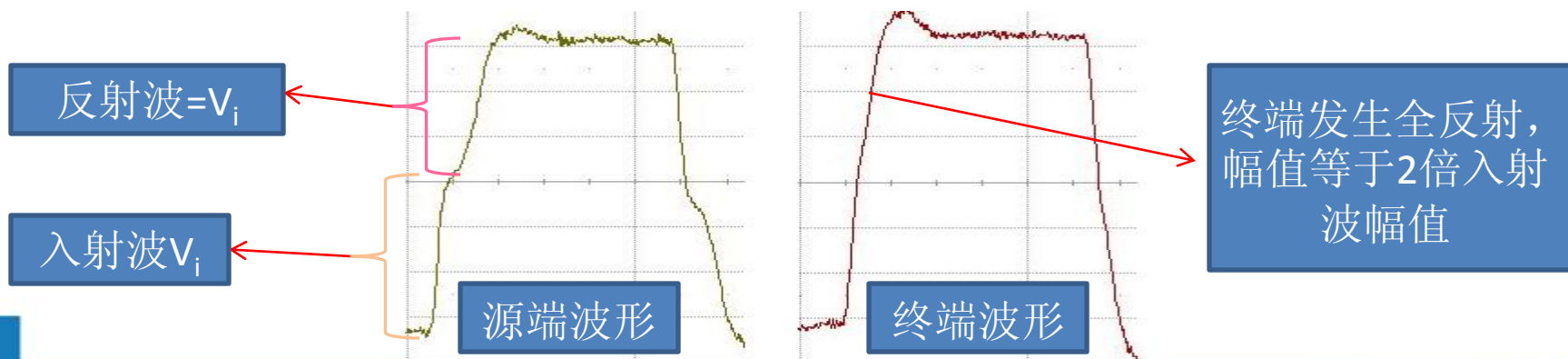
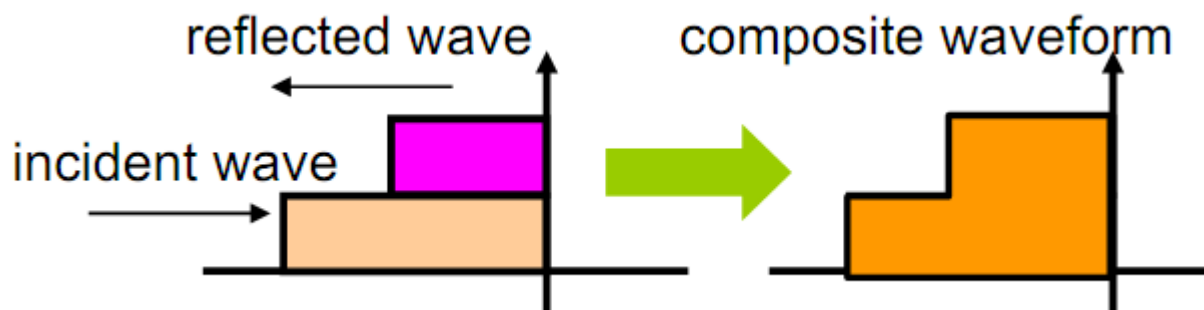
- 首先假设走线是特征阻抗为 Z_0 的传输线。终端（T卡）的输入阻抗为 $Z_L=R_t$ 。源端的输出阻抗 $Z_s=R_s$ 。
- 当 $Z_0=Z_s=Z_L$ 时，阻抗匹配。信号没有反射。

信号反射(2)

- 如果终端阻抗不匹配，就会发射信号反射。反射系数 $\rho = (Z_L - Z_0) / (Z_L + Z_0)$ 。
- 一般情况下，源端的输出阻抗比较小，而终端的输入阻抗都比较大。
- 假设源端阻抗匹配 $Z_s = Z_0 = 50\Omega$ 。由于终端的阻抗 Z_L 比较大，反射系数 $\rho \approx 1$ ，信号基本上是全反射。
- 假设初始入射到传输线的电压为 V_i ，则
- $$V_i = \frac{V_s Z_0}{Z_0 + R_s} = 0.5 V_s$$

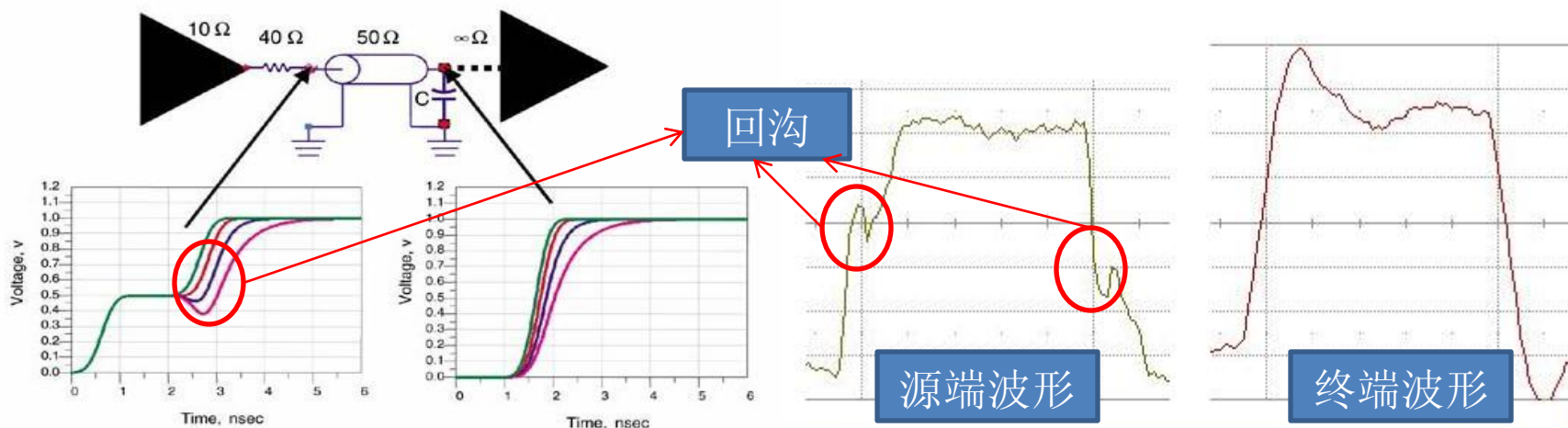
信号反射(3)

- 入射波到了终端以后，发生全发射，叠加到 $2 \times 0.5V_s$ 。发射波从终端到了源端以后，会叠加在入射波的上面，形成上升沿的台阶。



回沟产生的原因

- SD0_CLK0之所以在靠近BB的位置产生回沟，是因为在靠近Socket的位置并联了18pF的电容。
- 电容的阻抗 $Z_{cap}=1/(\omega C)$ ，电容在刚开始没电的时候，由于上升沿很陡，相当于频率比较高，此时容抗比较小，信号发生负反射。随着电容充电电量的增加，上升沿会变缓，电容的容抗增加，电容充满，相当于开路，此时测试相当于是正向全反射。
- 整个过程经历了负反射到正反射的变换，从源端（BB）看到的波形就是波形在 $V_i(=0.5V_s)$ 平缓之后下陷再上升。

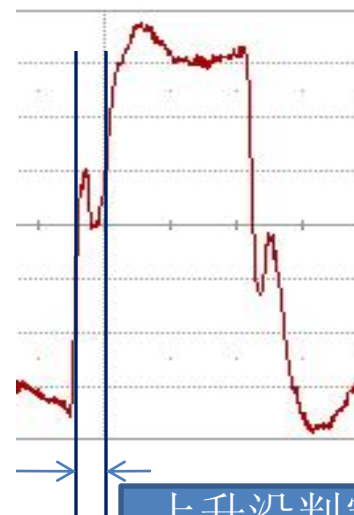


回沟的影响

- SC8810和SC6820的SDIO设计里面，把PAD上的输出SD_CLK时钟连到内部的接收采样模块作为采样时钟。
- 这样如果有回沟，就可以存在2种可能的影响：
 - 1、二次采样
 - 2、上升沿推迟



可能判定为
2个上升沿



上升沿判定
推迟

减小回沟影响

- 1、简单去掉回沟的方法是直接把并联的18pF电容去掉。但是由于担心EMI的影响，还是要保留这个电容。
- 2、增大IO输出的驱动能力。增加驱动能力相当于减小输出阻抗 $Z_L = R_S$ 。这样可以把初始入射 V_i 增大，把回沟的位置提高，避开判断门限。但是这样会导致信号过冲比较大。
- 3、在靠近BB的位置串联22~33R电阻，并且增大IO输出的驱动能力。串联的22~33R电阻可以吸收从终端反射回来的信号。

过冲产生的原因

- 根据前面所述的内容。一般终端的输入阻抗 Z_L 都比较高，信号到了终端发生全反射。反射电压加上入射电压会得到 $2 \times V_i$
- 如果源端的输出阻抗 $Z_S=R_S$ 小于传输线的特征阻抗 Z_0 。初始入射的电压 $V_i > 0.5V_S$ 。这样在终端发生全发射时，终端的 $V_t = 2 \times V_i > V_S$
- 根据前面所述的内容。一般终端的输入阻抗 Z_L 都比较高，信号到了终端发生全反射。反射电压加上入射电压会得到 $2 \times V_i$

过冲产生的原因

- 根据前面所述的内容。一般终端的输入阻抗 Z_L 都比较高，信号到了终端发生全反射。反射电压加上入射电压会得到 $2 \times V_i$
- 如果源端的输出阻抗 $Z_S=R_S$ 小于传输线的特征阻抗 Z_0 。初始入射的电压 $V_i > 0.5V_S$ 。这样在终端发生全发射时，终端的 $V_t = 2 \times V_i > V_S$
- 这样就产生了过冲。

过冲的影响和消除

- 过冲(1)可能导致信号振铃，造成电平的误判断。
- (2)过高的过冲电压，可能导致IO电流过载，造成器件损坏。
- 有如下的消除方法：
 - 1、在源端串联电阻，降低入射电压，吸收反射电压。
 - 2、降低IO的驱动能力，降低入射电压
 - 3、在终端并联电容，电容越大，上升沿越缓。但是可能产生回沟。
 - 3、其他的端接方法，但是成本较高比较复杂。

谢谢！

创想改变未来

