

周宽久老师计算机组成原理期末考试题

卷壹

一、选择题（包括 20 个小题，共 20 分）

1、据新华社报道，2017 年新一期全球超级计算机 500 强榜单 19 日公布，中国（ ）和“天河二号”第三次携手夺得前两名，瑞士的代恩特峰排名第三。美国 20 年来首次无缘前三。

A、天河一号

B、银河一号

C、神威·太湖之光

D、天河三号

解析：

2021 年超级计算机排行榜

1. Fugaku（富士通）
2. Summit（IBM 公司）
3. Sierra（IBM 公司）
4. 神威·太湖之光（国家并行计算机工程技术研究中心）
5. Selence（Nvidia 公司）
6. 天河二号（国防科大）

2、（ ）可区分存储单元中存放的是指令还是数据。

A 存储器

B 运算器

C 控制器

D 用户

解析：

控制器其核心部件为 CU（Control Unit）负责程序的流程管理。CU 是整个 CPU 的指挥控制中心，由指令寄存器 IR（Instruction Register）、指令译码器 ID（Instruction Decoder）和操作控制器 OC（Operation controller）三个部分组成；

控制器对于指令存储单元中存放指令还是数据，是以对于存储单元进行访问的机器周期为标志进行区分的。在取指周期，地址寄存器（MAR）以 PC 指向的地址为依据从存储器中

取出待之行的指令,这时控制器可以区分出存储器内为指令。在执行周期,地址寄存器(MAR)根据 CU 的译码结果获取操作数的地址并从存储器中取出操作数,这时控制器可以区分出存储器内为数据。

3、() 是一种将程序指令存储和数据存储分开的存储器结构,它是一种并行体系结构,它的主要特点是将程序和数据存储在不同的存储空间中,即程序存储器和数据存储器是两个独立的存储器,每个存储器独立编址、独立访问。

A 冯.诺伊曼结构

B 哈佛结构

C 微程序结构

D 组合逻辑结构

解析:

哈佛结构是指数据存储器 and 指令存储器分开的存储结构;

冯·诺伊曼结构是将数据和指令放在一起存储的存储结构;

4、在链式查询方式下,若有 N 个设备,则 ()

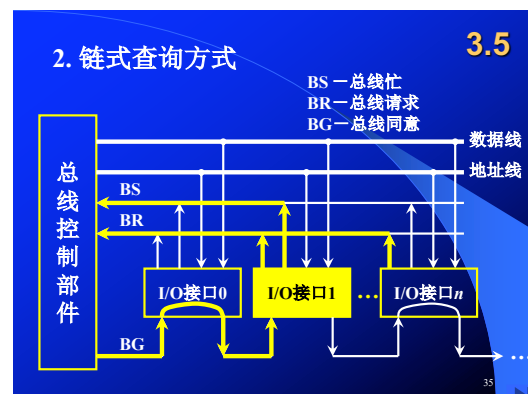
A 有 N 条总线请求线

B 无法确定有几条请求线

C 只有一条总线请求线

解析:

链式查询方式的电路结构如下图所示, BS (Bus selected) 线作为总线忙标志线, BR (Bus request) 线作为请求线, BG (Bus Guarantee) 线作为总线同意信号。BR 线是一条布尔值的线,它的作用是告诉总线控制部件是否有设备申请总线使用权而不需要确定是哪一个设备(I/O 接口)提出的申请。确定设备是由总线同意信号 BG 来串行完成的,一旦设备得到总线控制权立即将 BS 线置 1,表示该设备正在控制总线。



5、总线的半同步通信方式（ ）

A 不采用时钟信号，只采用握手信号；

B 既采用时钟信号，又采用握手信号；

C 既不采用时钟信号，又不采用握手信号。

解析：

教材 64 页：“半同步通信既保留了同步通信的特点，严格参照系统时钟又像异步通信那样，允许不同速度的模块和谐的工作。”所以，半同步通信既采用时钟信号，又采用握手信号。

6、程序员编程所用的地址是（ ）

A 逻辑地址

B 物理地址

C 真实地址

解析：

程序员所用的地址并不是计算机硬件所用的地址，而是对于硬件地址在软件实现中的一种映射，即逻辑地址是编程所用的地址，它与物理地址存在映射关系。

7、常用的虚拟存储器寻址系统由（ ）两级存储器组成

A 主存-辅存

B Cache-主存

C Cache-辅存

解析：

虚存解决主存和辅存容量相差较大的问题，由软件实现；

Cache 解决主存和 CPU 之间速度不匹配的问题，由 cache 硬件实现；

8、在 DMA 方式中，周期窃取是窃取一个（ ）

A 存取周期

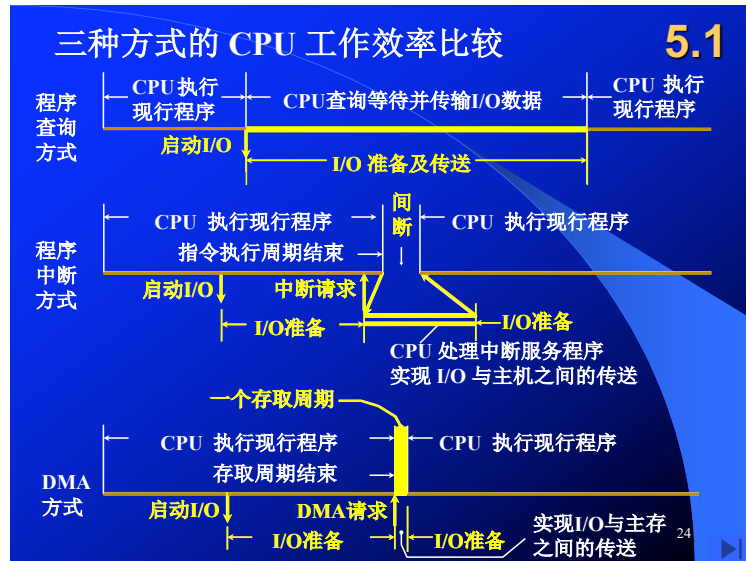
B 指令周期

C CPU 周期

D 总线周期

解析：

DMA 方式工作的 CPU 的工作流程如下所示：



周期窃取中的“周期”二字实际上指的是一个存取周期。在该周期中会实现 I/O 设备与主存之间数据的传送。周期窃取由硬件完成，发生时间是一个存取周期结束时。

9、微型计算机中，主机和高速硬盘进行数据交换一般采用（ ）方式。

- A 程序查询
- B 程序中断
- C DMA

解析：

主机与高速硬盘数据交换一般采用 DMA 方式。

10、设 $[x]_{\text{补}} = 1.X_1X_2X_3X_4$ ，当满足下列（ ）时， $x > -1/2$

A X_1 必须为 1， $X_2 \sim X_4$ 至少有一个为 1

B X_1 必须为 1， $X_2 \sim X_4$ 任意

C X_1 必须为 0， $X_2 \sim X_4$ 至少有一个为 1

解析：

根据补码的表达式，当 $-1 < x < 0$ 时， $2 + x = x$ 补码； $x = x$ 补码 $- 2 > -1/2$;

解得： x 补码 $> 3/2 = 1.1000$;

因此，数值位最高位必须为 1，数值位其他位至少有一位为 1;

11、对真值 0 表示形式唯一的机器数是（ ）

- A 原码
- B 补码和移码
- C 反码

D 以上都不对

解析:

补码和移码都只有一种表示 0 的方法: 0.0000;

原码表示 0 的方法有两种: 0.0000 (+0); 1.0000 (-0);

补码对于负一的表示方法: 1.0000;

原码无法表示-1;

补码与移码性质相同;

原码与反码性质相同;

12、操作数地址存放在寄存器的寻址方式是 ()

A 寄存器寻址

B 寄存器间接寻址

C 变址寄存器寻址

解析:

操作数地址存放在寄存器内, 从寄存器里取出的是操作数的地址, 这符合寄存器间接寻址的定义: $EA = (A)$, A 表示操作数。

寄存器寻址的寻址表达式为: $EA = A$;

变址寄存器的寻址表达式为: $EA = A + (IX)$; IX 是偏移量;

直接寻址的寻址表达式: $EA = A$;

间接寻址的寻址表达式: $EA = (A)$

基址寻址的寻址表达式: $EA = A + (BR)$

相对寻址的寻址表达式: $EA = (PC) + A$;

13、若数据在存储器中采用以低字节地址为字地址的存放方式, 则十六进制数 12345678H

按字节地址由小到大依次存为 ()

A 12345678

B 78563412

C 34127856

解析:

十六进制数的 1 位占 4 个二进制位; 一个字节包含两位十六进制数;

12345678H 占 4 个字节, 由于低字节存放低位, 所以

第一字节: 78H;

第二子节：56H；

第三子节：34H；

第四子节：12H；

故字节地址从小到大依次是 78563412；

14、超标量流水技术是指（ ）

A 缩短原来流水线的处理器周期

B 在每个时钟周期内同时并发多条指令

C 把多条能并行操作的指令组合成一条具有多个操作码字段的指令

解析：

流水线的多发技术：

1. 超标量技术：在每个时钟周期内可同时并发多条独立指令；
2. 超流水线技术：将流水线再分段；
3. 超长指令字技术：把多条能并行执行的指令组合成一条有多个操作码字段的超长指令字；

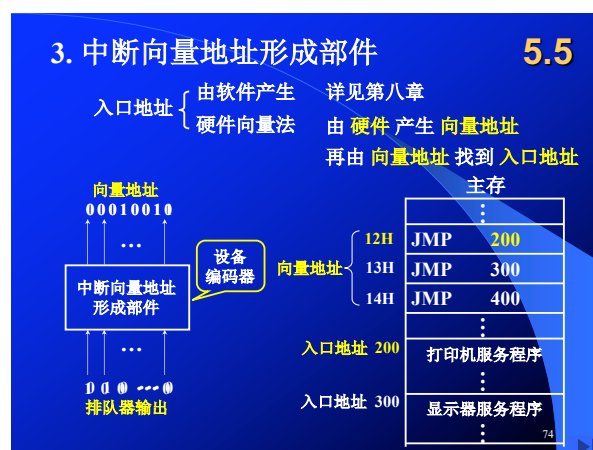
15、中断向量可提供（ ）

A 被选中设备的地址

B 传送数据的起始地址

C 中断服务程序入口地址

D 主程序的断点地址



中断向量提供中断服务程序的入口地址，如上图中所示的入口地址 200；

16、CPU 响应中断的时间是（ ）

A 一条指令执行结束

- B 外设提出中断
- C 取指周期结束

解析：

5.5

四、I/O 中断处理过程

1. CPU 响应中断的条件和时间

(1) 条件

允许中断触发器 **EINT = 1**

用 **开中断** 指令将 EINT 置 “1”

用 **关中断** 指令将 EINT 置 “0” 或硬件 **自动复位**

(2) 时间

当 **D = 1**（随机）且 **MASK = 0** 时

在每条指令执行阶段的结束前

CPU 发中断查询信号（将 INTR 置 “1”）

78

CPU 在一条指令结束时响应中断；

DMA 在一个存取周期结束时传输数据；

17、在中断周期中，将 EINT 置 “0” 的操作由（ ）完成

- A 硬件
- B 关中断指令
- C 开中断指令

解析：

EINT 置 0 关中断是由硬件完成的；

18、由于 CPU 内部操作的速度较快，而 CPU 访问一次存储器的时间较长，因此机器周期通常由（ ）来确定。

- A 指令周期
- B 存取周期**
- C 间址周期

解析：

存取周期时间通常较长，一般选取存取周期作为机器周期。

19、以硬连线方式构成的控制器称为（ ）控制器

- A 组合逻辑型**

B 存储逻辑型

C 微程序型

解析:

以硬布线的方式构成的控制器成为组合逻辑控制器。

20、水平型微指令的特点是()

A 一次可以完成多个操作

B 微指令的操作控制字段进行编码

C 微指令的格式尖端

解析:

水平型微指令一次定义并执行多条并行操作微指令;

垂直性微指令设置为操作码字段进行编码;

二、填空题（包括 20 个空，每空 1 分，共 20 分）

1、机器数为补码，字长 16 位（含 1 位符号位），用十六进制写出对应于整数定点机的最大正数补码是（ ），最小负数补码是（ ）。

2、当 $0 > x > -1$, 满足 $[x]_{\text{补}} = [x]_{\text{原}}$ 的 x 值是（ ）。

3、如果 $[x]_{\text{补}} = 1.11011$, 则 $[x]_{\text{移}} =$ （ ）

4、某同步总线的时钟频率为 100MHz，宽度为 32 位，地址/数据线复用，每传输一个地址或数据占用一个时钟周期。若该总线支持突发（猝发）传输方式，则一次“主存写”总线事务传输 128 位数据所需要的时间至少是（ ）。

5、低位交叉编址的存储器能够提高访存速度的原因是（ ）。

6、某计算机主存容量为 64 KB，其中 ROM 区为 4 KB，其余为 RAM 区，按字节编址。现要用 $2K \times 8$ 位的 ROM 芯片和 $4K \times 4$ 位的 RAM 芯片来设计该存储器，则需要上述规格的 ROM 芯片数和 RAM 芯片数分别是（ ）。

7、某计算机存储器按字节编址，主存地址空间大小为 64MB，现用 $4M \times 8$ 位的 RAM 芯片组成 32MB 的主存储器，则存储器地址寄存器 MAR 的位数至少是()。

8、某计算机存储器按字节变址，采用小端方式存放数据。假定编译器规定 int 型和 short 型长度分别为 32 位和 16 位，并且数据按边界对齐存储。某 C 语言程序段如下：

```
struct
{
    int a;
```



```
char b;  
  
short c;  
  
} record;  
  
record.a = 273;
```

若 record 变量的首地址为 0xC008，则地址 0xC008 中内容是（ ），record.c 的地址是（ ）。

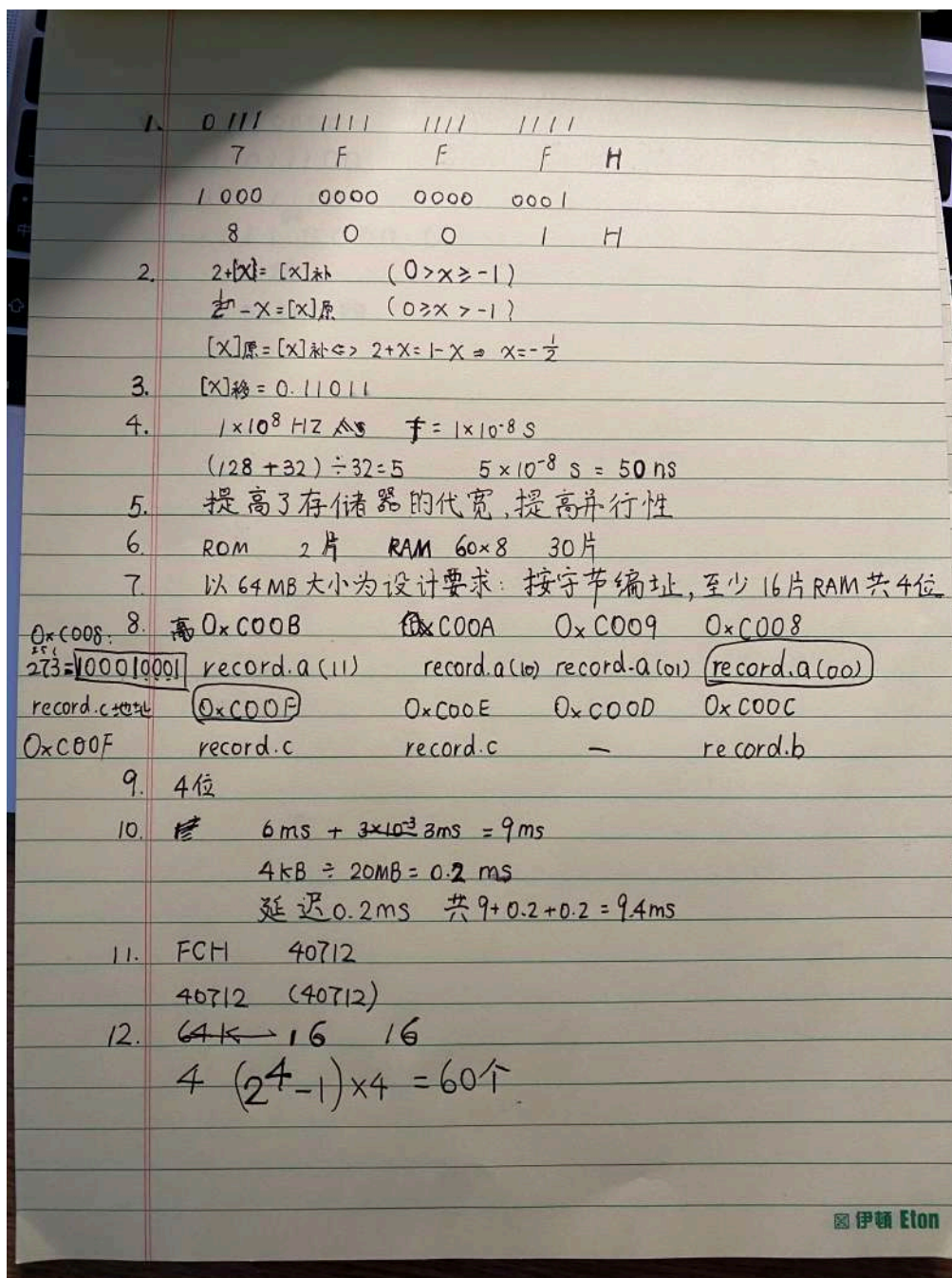
9、用海明码对长度为 8 位的数据进行检/纠错时，若能纠正一位错，则校验位数至少为（ ）。

10、某磁盘的转速为 10,000 转/分，平均寻道时间是 6ms，磁盘传输速率是 20MB/s，磁盘控制器延迟为 0.2ms，读取一个 4KB 的扇区所需的平均时间约为()。

11、设 D 为指令中的形式地址， $D = FCH$ ， $(D) = 40712$ ，如果采用直接寻址方式，有效地址是（ ），参与操作的操作数是（ ）。如果采用一次间接寻址方式，其间接地址是（ ），有效地址是（ ）。

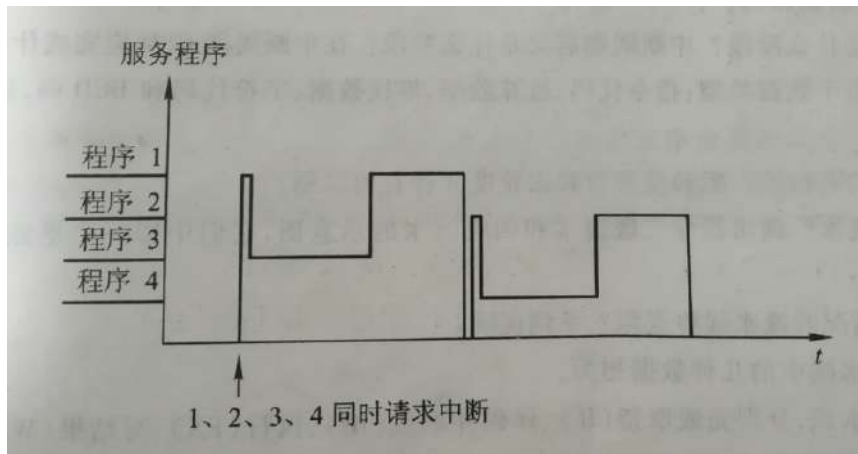
12、某计算机采用微程序控制，微指令中操作控制字段共 16 位，若采用直接控制，则可以定义（ ）种微操作，此时一条微指令最多可以启动（ ）个微操作。若采用编码控制，并要求一条微指令需同时启动 4 个微操作，则微指令字中操作控制字段应分为（ ）段，若每个字段的微命令数相同，这样的微指令格式最多可包含（ ）个微操作命令。

简要答案：



三、问答题 (共 20 分)

- 画出 ADD @R1 指令对操作数的寻址及加法过程的信息流程图 (设另一个操作数隐含在 ACC 中, @R1 表示寄存器间接寻址, R1 寄存器内容为 2074H)。
- 如下图四个中断 1、2、3、4 及执行轨迹, 假设这四个中断响应优先级 $1 > 2 > 3 > 4$,
 - 试根据下图确定他们的处理优先级;
 - 中断 4 执行结束时恢复的中断屏蔽字是什么?



3、设主存容量为 256K 字，Cache 容量为 2K 字，块长为 4。

(1) 设计 Cache 地址格式，Cache 中可装入多少块数据？

(2) 在四路组相联方式下，设计主存地址格式；

(3) 在四路组相关联方式下，如果考虑块标记、块有效位、写回法数据标识位，Cache 的总容量增加多少？

(4) 在直接映射方式下，设计主存地址格式，如果采用 LRU 替换算法，能否实现替换？

4、8086 微型计算机中，键盘中断调用为 INT 16H，其对应的中断处理程序入口地址为 20100H，CS 为段基址寄存器，IP 为偏移量寄存器，假设 CS 值为 2000H，如何设置中断向量？

5、下面程序代码是一个中断处理程序，其中地址单元 0 存放程序断点，地址单元 5 存放中断向量，试分析下列中断处理程序存在什么问题？

地 址	内 容	说 明
0	××××	存程序断点
5	JMP SERVE	5 为向量地址
SERVE	STA SAVE	保护现场
	⋮	
	ENI	开中断
	LDA 0	} 0 地址内容转存
	STA RETURN	
	⋮	} 其他服务内容
	LDA SAVE	
	JMP @ RETURN	间址返回
SAVE	××××	存放 ACC 内容
RETURN	××××	转存 0 地址内容

2. (1) 处理优先级 $3 > 1 > 4 > 2$

(2) 0100 (2的屏蔽字)

3. (1) $256k \div 4 = 64k$ 块

(2)

主存块地址	组地址	字块内地址
9	7	2

$$512 \div 4 = 128 \text{ 组} = 2^7 \quad q=7$$

$$256k = 2^{18}, \quad 18-7-2=9 \text{ 位}$$

(3) 增加 $S(t+1) = 512 \times 100 = 51200$

$$t = S + r = 9 - 2 = 7$$

$$C(S+2) = 11b \times 512 = 704B = 176 \text{ 字}$$

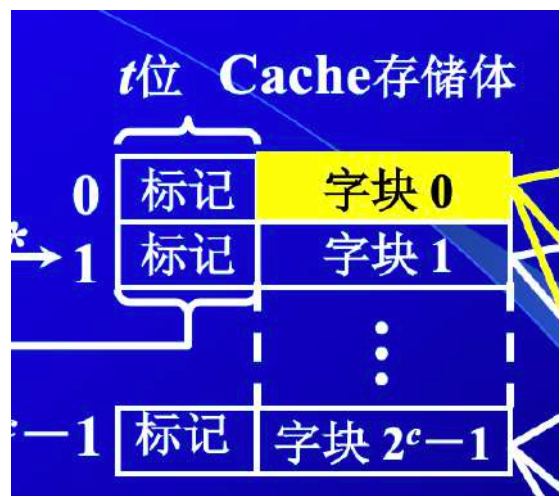
Cache总容量 4272 字

4. (4) 可以替换, 但没有意义。

45. 由于程序在将0地址内容转存前开中断, 导致如有下一级中断到来, 下一级中断在运行中断处理程序时会在0地址位置存放它的断点, 该断点位于一级中断中, 覆盖掉了一级中断未来得及转存的原断点 (位于主程序中)。假设没有再下一级中断 (否则会更糟), 二级中断在执行完中断服务程序后会跳回一级中断, 这时一级中断才开始转存0地址。这时的0地址已被二级中断断点覆盖, 使一级中断再也无法返回主程序, 而是在一级中断内部无限循环下去, 造成死循环。

注:

第3题 (3):



Cache 的容量增量等于块数乘以增加标记数单位是 b , 即 $3 \times 512 = 1536$ 位;

第 4 题：中断向量的计算方法是段地址左移四个二进制位加上偏移量即中断服务程序入口地址。所以 $20000H+20100H=40100H$ ；即为中断向量。

四、计算题（共 20 分，）

1、（1）写出 1110 按奇原则配置的汉明码；

（2）如果接收到按奇配置的哈明码 1110001，请给出欲传输的二进制代码，说明纠错过程。

10.1. (1) 解 $\because n=4, 2^k \geq n+k+1 \Rightarrow k=3$

汉明码序号	1	2	3	4	5	6	7
名称	C_1	C_2	C_3	C_4	1	1	0

$C_1 = 3 \oplus 5 \oplus 7 = 0 = 1$
 $C_2 = 3 \oplus 6 \oplus 7 = 0 = 1$
 $C_4 = 5 \oplus 6 \oplus 7 = 0 = 1$
 汉明码 1111110

(2) $P_1 = 1 \oplus 3 \oplus 5 \oplus 7 = 1 = 0$
 $P_2 = 2 \oplus 3 \oplus 6 \oplus 7 = 1 = 0$
 $P_4 = 4 \oplus 5 \oplus 6 \oplus 7 = 1 = 0$
 $\therefore P_1 P_2 P_4 = 000$
 没有错误

2、假设解码取 3 位，尾数取 6 位（均不包括符号位），计算下列试题，

$$\left[2^{-3} \times \frac{13}{16} \right] - \left[2^{-4} \times \left(-\frac{5}{8} \right) \right] \text{ 要求,}$$

（1）解码与尾数均采用补码表示；

（2）计算结果规格化；

（3）计算结果转成 10 进制真值形式。

四.

2. $x = 2^{-3} \times \frac{13}{16}, y = 2^{-4} \times \left(-\frac{5}{8} \right)$ $2^{-3} \frac{5}{16}$

(1) $[x]_{\text{原}} = 11.011; 00.110100, [y]_{\text{原}} = 11.100; 11.101000$
 $[x]_{\text{补}} = 11.101; 00.110100, [y]_{\text{补}} = 11.100; 11.011000$

(2) 对阶
 $[4]_{\text{补}} = [jx]_{\text{补}} - [jy]_{\text{补}} = 11.01 + 00.100 = 11.111$ 即 $\Delta j = 1$
 y 右移一位，阶码加一， $[y]_{\text{补}} = 11.101; 11.011000$

② 求差
 $[S_{x-y}]_{\text{补}} = [S_x]_{\text{补}} - [S_y]_{\text{补}} = 00.110100 + 00.101000 = 00.011100$

③ 右规
 $[x-y]_{\text{补}} = 11.110; 00.101110$

④ $[x-y]_{\text{舍入}}: 0$
 $[x-y]_{\text{补}} = 11.110; 00.101110$

(3) $x-y = 2^{-2} \times \frac{46}{64} = 2^{-2} \times \frac{23}{32} = \frac{9}{16}$

3、采用补码不恢复余数法计算

$(-0.10101) \div (0.11011)$ ，计算结果还原为真值。

3. $x = -0.10101$ $y = 0.11011$ $[x]_{补} = 1.01011$ $[y]_{补} = 0.11011$
 $[-y]_{补} = 1.00110$

被除数(余数)	除数商	说明
1.01011	0.00000	
0.11011		$[x]_{补}$ 与 $[y]_{补}$ 异号， $+ [y]_{补}$
0.00110	0.00001	$[R]_{补}$ 与 $[y]_{补}$ 同号， $\leftarrow 1$
0.01100		$+ [-y]_{补}$
1.10001		$[R]_{补}$ 与 $[y]_{补}$ 异号， $\leftarrow 0$
1.00010	0.0010	$\leftarrow 1$
0.11011		$+ [y]_{补}$
1.11101		$[R]_{补}$ 与 $[y]_{补}$ 异号， $\leftarrow 0$
1.11010	101	$\leftarrow 1$
1.00101		$+ [-y]_{补}$
0.11111		$[R]_{补}$ 与 $[y]_{补}$ 同号， $\leftarrow 1$
1.11110	1011	$\leftarrow 1$
1.00101		$+ [-y]_{补}$
1.11011	10110	$[R]_{补}$ 与 $[y]_{补}$ 异号， $\leftarrow 0$
1.10110	101101	$\leftarrow 1$ 位，末位恒置1

$\frac{x}{y} = -0.10011$
 $= -\frac{19}{32}$

4、今有四级流水线，分别完成取指 (IF)、译码并取数 (ID)、执行 (EX)、写结果 (WR) 四个步骤，假设完成各步骤的时间依次为 100ns、100ns、70ns、50ns。

- (1) 流水线的时钟周期应取何值？
- (2) 若相邻的两指令发生数据相关，那么第二条指令安排推迟多少时间才能不发生错误？
- (3) 若相邻的两指令发生数据相关，而不推迟第二条指令的执行，可采取什么措施？

五、分析题 (10 分)

某计算机的 CPU 主频为 500 MHz，CPI 为 5 (即执行每条指令平均需 5 个时钟周期)。假定某外设的数据传输率为 0.5 MB/s，采用中断方式与主机进行数据传送，以 32 位为传输单位，对应的中断服务程序包含 18 条指令，中断服务的其他开销相当于 2 条指令的执行时间。请回答下列问题，要求给出计算过程。

- (1) 在中断方式下，CPU 用于该外设 I/O 的时间占整个 CPU 时间的百分比是多少？
- (2) 当该外设的数据传输率达到 5 MB/s 时，改用 DMA 方式传送数据。假定每次 DMA 传送块大小为 5000 B，且 DMA 预处理和后处理的总开销为 500 个时钟周期，则 CPU 用于该外设 I/O 的时间占整个 CPU 时间的百分比是多少？ (假设 DMA 与 CPU 之间没有访存冲突)

六、(设计题, 10 分)

设 CPU 共有 16 根地址线, 8 根数据线, 并用 \overline{MREQ} (低电平有效) 作访存控制信号, R/\overline{W} 作读写控制信号线 (高电平为读, 低电平为写)。现有这些芯片: ROM ($2K \times 8$ 位, $4K \times 4$ 位, $8K \times 8$ 位), RAM ($1k \times 4$ 位, $2k \times 8$ 位, $4k \times 8$ 位) 及 74138 译码器和其他门电路 (门电路自定)。

试从上述规格中选用合适的芯片, 画出 CPU 与存储芯片的连接图, 要求如下:

- (1) 最小 4k 地址为系统程序区, 接下来 4K 为系统程序工作区, 8192~16383 地址范围为
用户程序区。
- (2) 指出选用的存储芯片类型及数量。
- (3) 详细画出片选逻辑。