**中国海洋大学计算机科学与技术系**

**实验报告**

**姓名：岳宇轩 年级：2019** **专业：** 19慧与

**科目：计算机组成原理** **题目：寄存器堆**

**实验时间:** 2021 年5 月20日  **实验教师:** 张巍

**一、实验结果及截图分析：**

（※代码挖空的部分必须截图或复制）

1. **代码补全regfile.v**

`timescale 1ns / 1ps

//\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*

// > 文件名: regfile.v

// > 描述 ：寄存器堆模块，同步写，异步读

// > 作者 : LOONGSON

// > 日期 : 2016-04-14

//\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*

module regfile(

input clk, //时钟控制信号

input wen, //写使能信号，1有效

input [4 :0] raddr1, //第一个读端口的地址

input [4 :0] raddr2, //第二个读端口的地址

input [4 :0] waddr, //一个写端口

input [31:0] wdata, //需要写入的数据

output [31:0] rdata1, //读出的数据1

output [31:0] rdata2, //读出的数据2

input [4 :0] test\_addr, //输入的调试地址

output [31:0] test\_data //输出调试数据

);

//请于此处添加代码

//总共32个寄存器

integer i = 0;

reg [31:0] REG\_Files[31:0];

initial//初始化32个寄存器，全为0

for(i = 0;i < 32;i = i + 1)

REG\_Files[i]<=0;

always @ (posedge clk)

begin

if(wen) //如果写使能信号为1，表示可以写入，则将相应数据写入对应地址的寄存器中

REG\_Files[waddr] <= wdata;

end

assign rdata1 = REG\_Files[raddr1] ; //读端口1的数据

assign rdata2 = REG\_Files[raddr2]; //读端口2的数据

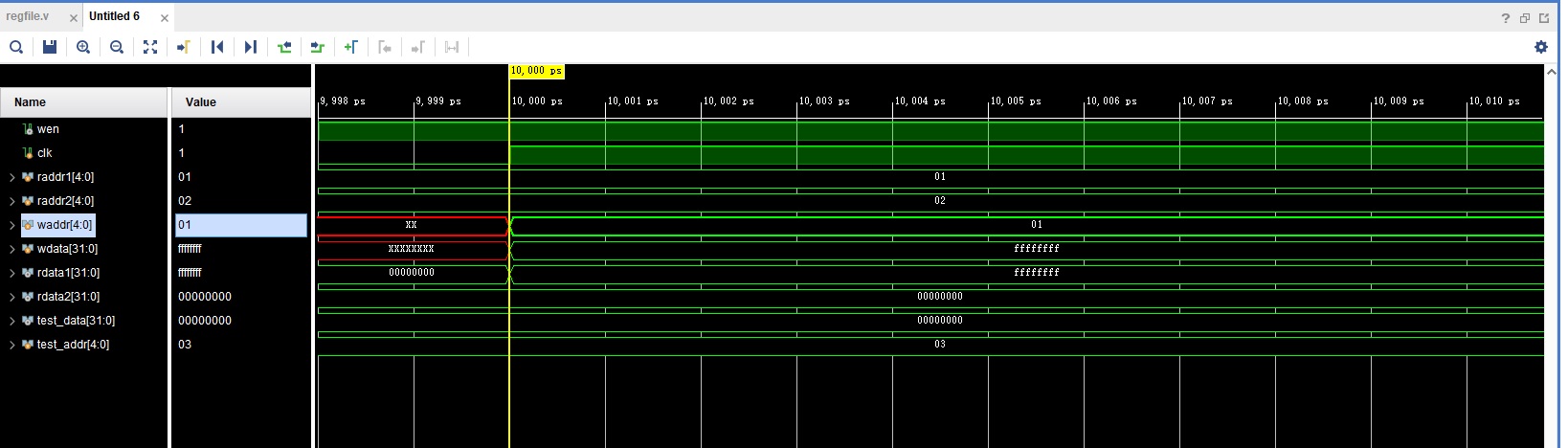
assign test\_data = REG\_Files[test\_addr]; //测试端口的数据

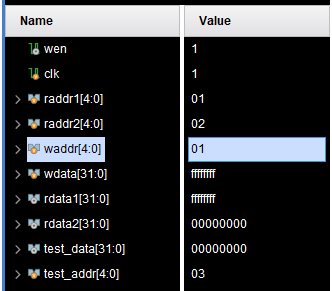
endmodule

**2.添加testbench.v**

1. **完成仿真，生成仿真波形图像**

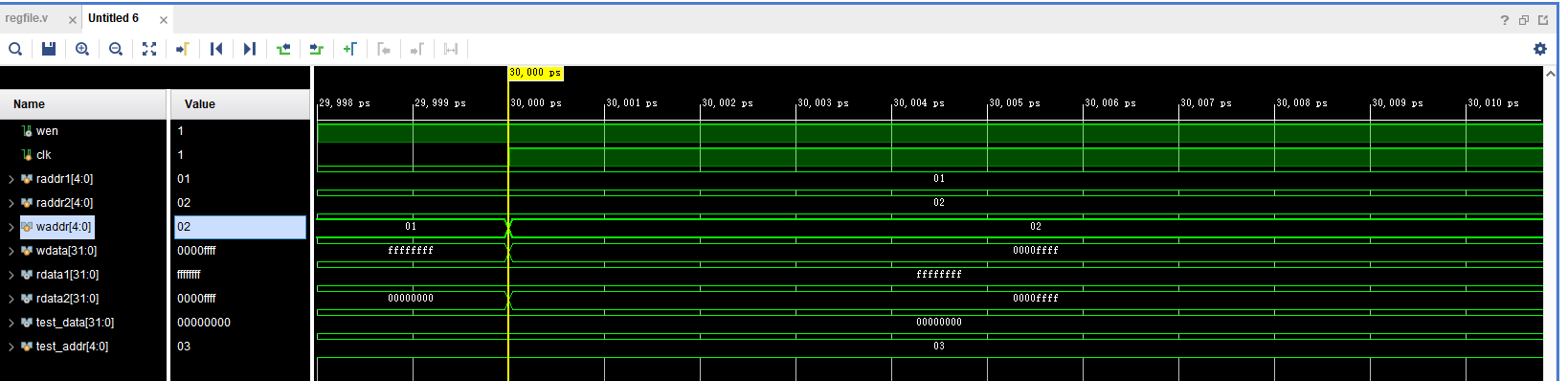
**3.1**

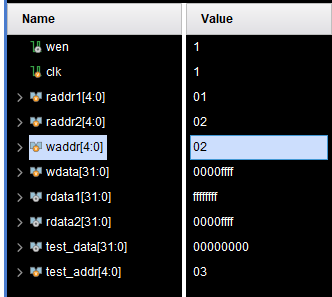




可以看到，写使能信号wen == 1表示写入有效，写端口地址为01，写入数据为ffff ffff H。读端口1的地址为01，读出数据为ffff ffff H，说明成功读出了写入01寄存器的数据。读端口2的地址为02，读出数据为0000 000 H，这是因为堆寄存器全部初始化为0。测试端口读的地址是03，同理也应读出0000 0000 H

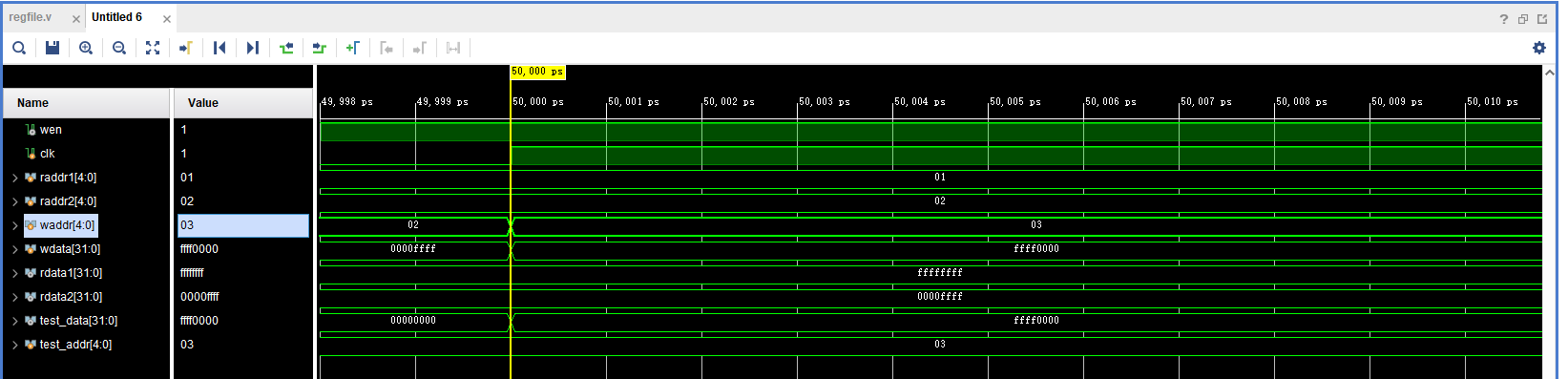
**3.2**

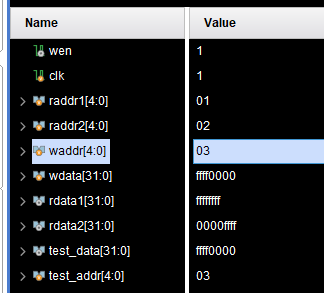




可以看到，写使能信号wen == 1表示写入有效，写端口地址为02，写入数据为0000 ffff H。读端口1的地址为01，读出数据为ffff fff H，与之前保持一致。读端口2的地址为02，读出数据0000 ffffH，成功读出写入寄存器02的数据。测试端口仍然是03，读出仍然是0000 0000 H。

**3.3**





可以看到，写使能信号wen == 1表示写入有效，写端口地址为03，写入数据为ffff 0000H。读端口1的地址为01，读端口2的地址为02，读出数据分别为ffff ffff H和0000 ffffH，成功读出寄存器中的数据。测试端口03的读出为ffff 0000 H，表明成功读出写入03寄存器的数据。

1. **实验总结**

通过此次试验，我更加理解了寄存器堆的原理。

首先，（本实验中）寄存器堆由32个寄存器组成，用0-31的下标表示1-32号寄存器，并且在一开始将寄存器全部初始化为0 。寄存器堆由两个读端口，一个写端口，在本实验中增加一个测试端口。我们需要有一个时钟控制信号，一个写使能信号。

每个时钟的下跳沿，如果写使能信号为1，表示写入有效，则将数据wdata写入由写端口waddr给出的寄存器编号。最后，根据读端口1和2和测试端口给出的地址，读取相应的寄存器中的数据。

根据仿真图像，分析实验中的过程，发现与设想一致。

通过这次实验，我对于寄存器堆的读写过程有了更加清楚的认知。