

**智能计算系统课程**

**实验六 深度学习处理器运算器设计**

**学生姓名： 李增圣**

**学生学号： 2024E8009282002**

**指导教师： 李玲 研究员 中国科学院软件研究所**

**培养单位： 中国科学院大学材料科学与光电技术学院**

**2025年 5 月**

**摘 要**

**关键词：**，，，，

**目 录**

[第1章 实验背景 3](#_Toc24607)

[1.1 3](#_Toc25247)

[1.1.1 3](#_Toc29368)

[1.1.2 3](#_Toc21459)

[1.2 3](#_Toc13246)

[1.2.1 3](#_Toc9211)

[1.2.2 3](#_Toc5684)

[1.3 3](#_Toc24041)

[1.3.1 3](#_Toc13851)

[1.3.2 3](#_Toc16452)

[第2章 实验过程 4](#_Toc18300)

[2.1 4](#_Toc26346)

[2.1.1 4](#_Toc14035)

[2.2 4](#_Toc5169)

[2.2.1 4](#_Toc19898)

[第3章 实验结果 5](#_Toc16740)

[3.1 5](#_Toc1543)

[3.1.1 5](#_Toc6126)

[3.1.2 5](#_Toc18103)

[3.1.3 5](#_Toc16655)

[3.1.4 5](#_Toc24927)

[3.2 5](#_Toc10260)

[3.2.1 5](#_Toc7163)

[3.3 5](#_Toc27489)

# 实验背景

## 实验背景

随着深度学习应用场景越来越复杂，深度学习算法的运算形式日益多样化、网络结构愈加复杂，例如 AlexNet、GoogleNet、ResNet 等。为了更高效、更灵活地支持深度学习算法，需要设计加速深度学习算法的处理器，同时支持越来越多样化的编程需求。深度学习处理器（DLP，Deep Learning Processor）就是一类高效支持深度学习算法的处理器，其针对深度学习的通用计算进行加速，包括卷积运算、池化运算等；同时，深度学习处理器考虑深度学习算法的多样性，提供灵活的指令集，便于程序员高效地实现算法。

在深度学习算法中，卷积运算是最核心的运算操作。卷积层包含大量的输入输出数据和权重参数，其运算量占深度学习算法总运算量的 90% 以上。处理器执行卷积运算的性能决定了深度学习算法在处理器上的性能。在智能计算系统中，设计出能高效支持卷积运算的运算器，是深度学习处理器设计的关键技术之一

## 实验目的

掌握深度学习处理器中运算器的设计原理，能够使用 Verilog 语言实现内积运算器及矩阵运算子单元的设计并进行功能仿真。具体包括：

1) 理解深度学习处理器加速卷积运算的原理，理解本实验和深度学习处理器基本模块间的关系。

2) 利用 Verilog 语言实现串行内积运算器，理解内积运算器的基本组成单元。

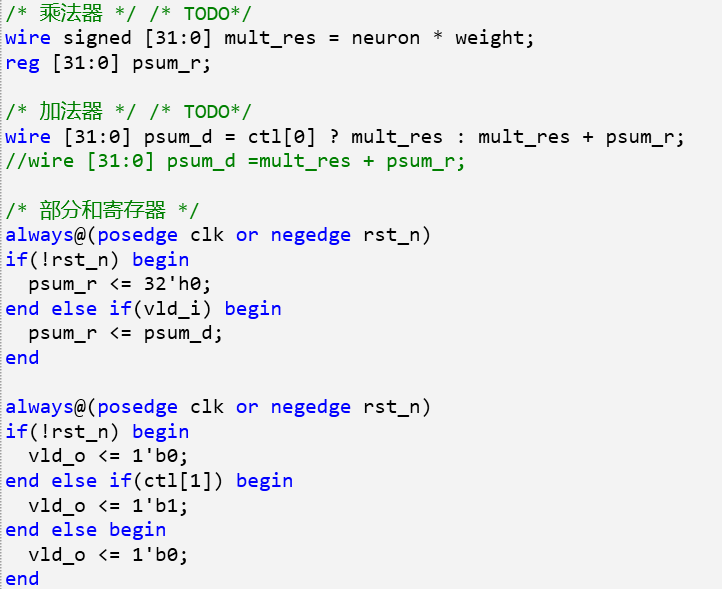
3) 在串行内积运算器基础上，利用 Verilog 语言实现并行内积运算器，加深对深度学习处理器加速卷积计算原理的理解。

4) 在并行内积运算器基础上，利用 Verilog 语言实现矩阵运算子单元，加深对矩阵运算子单元的理解。

# 实验过程

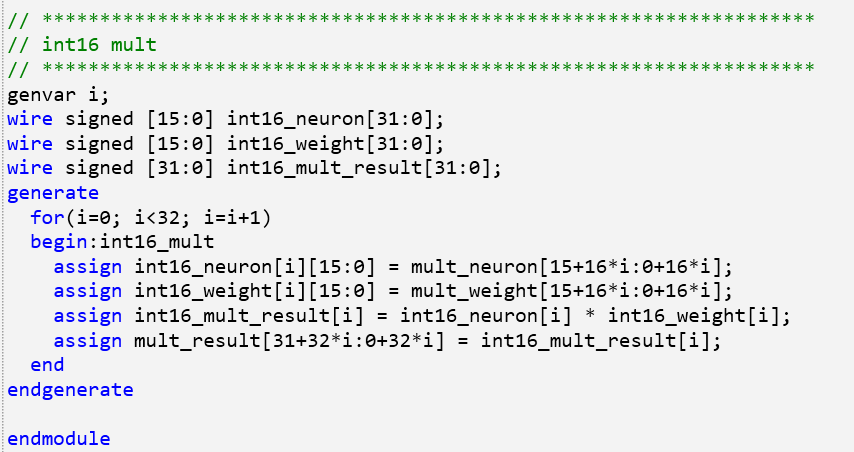
## 串行内积运算器

完成 serial\_pe.v 中乘法器、加法器、部分和寄存器的实现

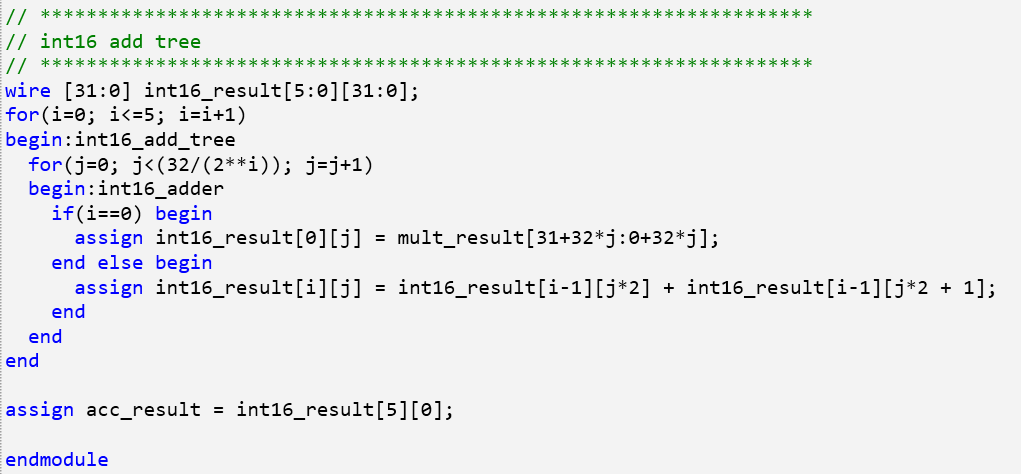


## 并行内积运算器

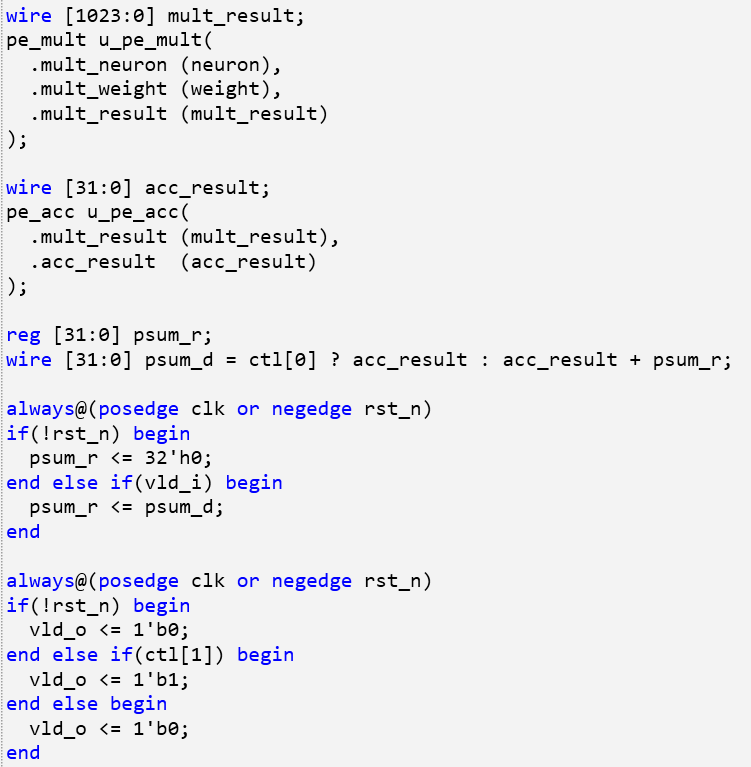
pe\_mult.v 中，用 generate 语句生成32个乘法器。



在 pe\_acc.v 中，用加法树对32个结果累加。

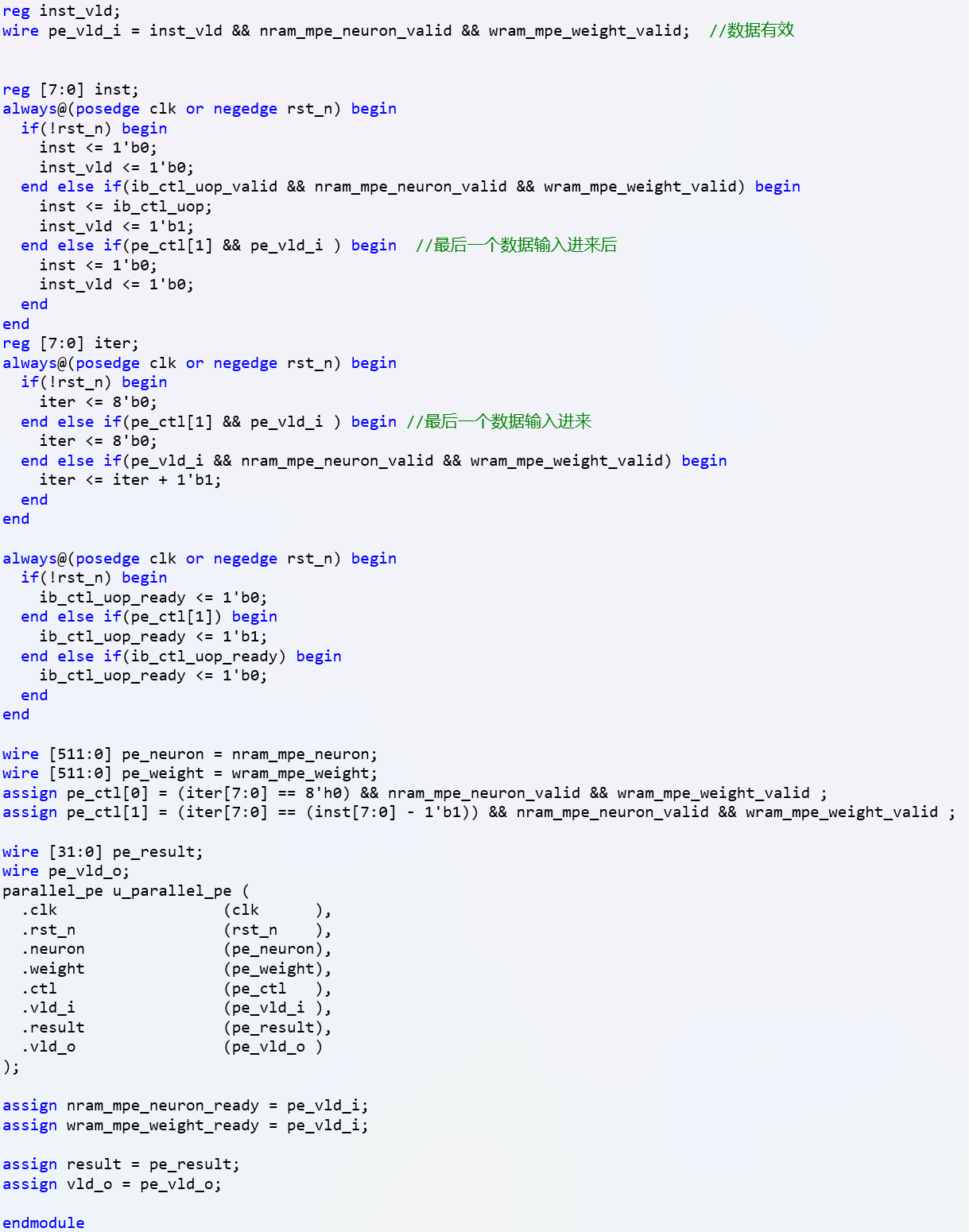


在 parallel\_pe.v 中，将并行乘法器、累加单元整合到顶层。



## 矩阵运算子单元

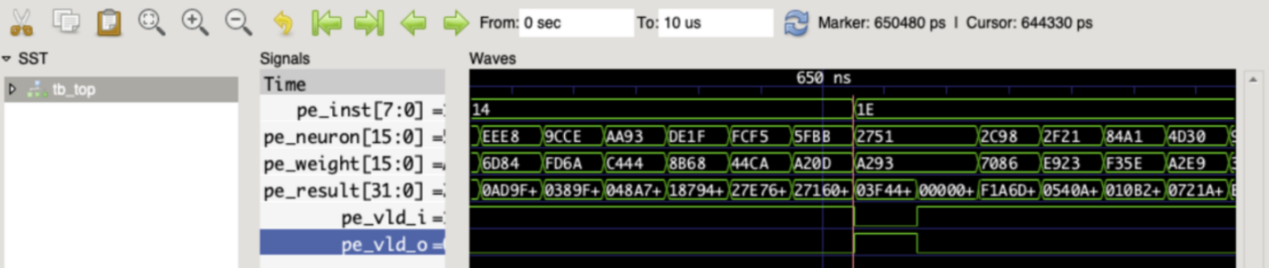
在 matrix\_pe.v 中，添加控制信号的译码、计数器、握手机制。根据输入的 ib\_ctl\_uop 控制信号，生成对应的 pe\_ctl 信号，标志每次内积的起止。连接并行内积器，驱动数据流并正确接收、输出。



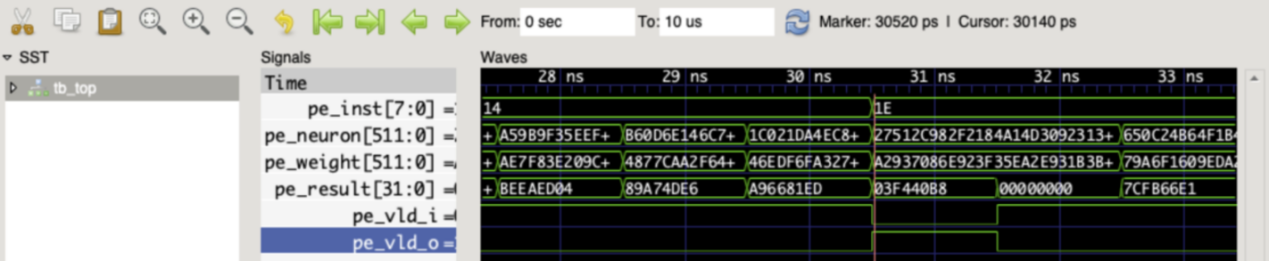
# 实验结果

## 串行内积运算器

使用 build.do 编译源代码和顶层文件，确认无语法错误。使用 sim\_run.do 启动仿真。观测信号波形，确认 result 输出与 result 文件内容一致。



## 并行内积运算器



## 矩阵运算子单元

