

数字电路与数字系统实验

EX01:选择器

191220029 傅小龙

周一 5-6 节班

1830970417@qq.com

2020 年 9 月 14 日

目录

一、实验内容.....	3
二、实验过程.....	3
2.1 模型概述.....	3
2.2 数字抽象.....	3
2.3 建立模型.....	4
2.4 分析/综合.....	5
2.5 仿真测试.....	5
2.6 分配引脚.....	6
2.7 全编译.....	7
三、实验总结.....	7

一、实验内容

1. 实验要求

用 case 语句实现一个 2 位 4 选 1 的选择器。选择器有 5 个 2 位输入端，分别为 X_0, X_1, X_2, X_3 和 Y ，输出端为 F ； X_0, X_1, X_2, X_3 是四个 2 位的输入变量。输出 F 端受控制端 Y 的控制，选其中的一个 X 输出，当 $Y = 00$ 时，输出端输出 X_0 ，即 $F = X_0$ ；当 $Y = 01$ 时，输出端输出 X_1 ，即 $F = X_1$...以此类推。

选择开发板上的 SW_0 和 SW_1 作为控制端 Y ， SW_2 — SW_9 作为四个两位数据输入端 $X_0 - X_3$ ，将两位的输出端 F 接到发光二极管 LED_0 和 LED_1 上显示输出，完成设计，对自己的设计进行功能仿真，并下载到开发板上验证电路性能。

2. 实验工具

软件环境：

设计、编译、仿真：Quartus Prime Version 17.1.0 Build 590 10/25/2017 SJ Lite Edition
DE10_Standard_SystemBuilder

硬件环境：DE-10 Standard 开发平台

FPGA 芯片：Cyclone V 5CSXFC6D6F31C6

二、实验过程

1. 模型概述

用 Verilog HDL 实现一个 2 位 4 选 1 的选择器。选择器将根据控制端输入的 2 位信号选择 4 组输入信号中的一组输出至输出端。

2. 数字抽象

I)输入：

数据输入 $X[7:0]$ ： $X_0 \sim X_3$ ，每个输入为 2 位

控制端（输入） $Y[1:0]$ ：2 位输入，选择对应的数据输入 X_i 输出

II)输出：

输出端 $F[1:0]$ ：两位输出，为 $X_0 \sim X_3$ 中的某一个输入。

下表\图给出了以上输入输出信号在 DE10 平台对应的信号：

	信号名称	DE2-70 平台信号
输入	$[7:0]X$	$SW[9:2]$
	$[1:0]Y$	$SW[1:0]$
输出	$[1:0]F$	LED_0

表 2-1:输入输出信号与 DE10 平台信号对应关系

3. 建立模型

下表给出了实验中要设计的 2 位 4 选 1 选择器的输出与控制信号 Y 的关系：

输入信号[7:0]X	控制信号[1:0]Y	输出[1:0]F
X[7:0]	00	X0(X[1:0])
X[7:0]	01	X1(X[3:2])
X[7:0]	10	X2(X[5:4])
X[7:0]	11	X3(X[7:6])

表 2-2:2 位 4 选 1 的选择器行为表

2 位 4 选 1 选择器的 Verilog HDL 实现如下：

```
module mux24(X, Y, F);  
    input [7:0] X;  
    input [1:0] Y;  
    output reg [1:0] F;  
  
    always @(*)  
        case (Y)  
            0: F=X[1:0];  
            1: F=X[3:2];  
            2: F=X[5:4];  
            3: F=X[7:6];  
            default: F = 2'b00;  
        endcase  
endmodule
```

4. 分析/综合

分析/综合实验成功，如下图所示：

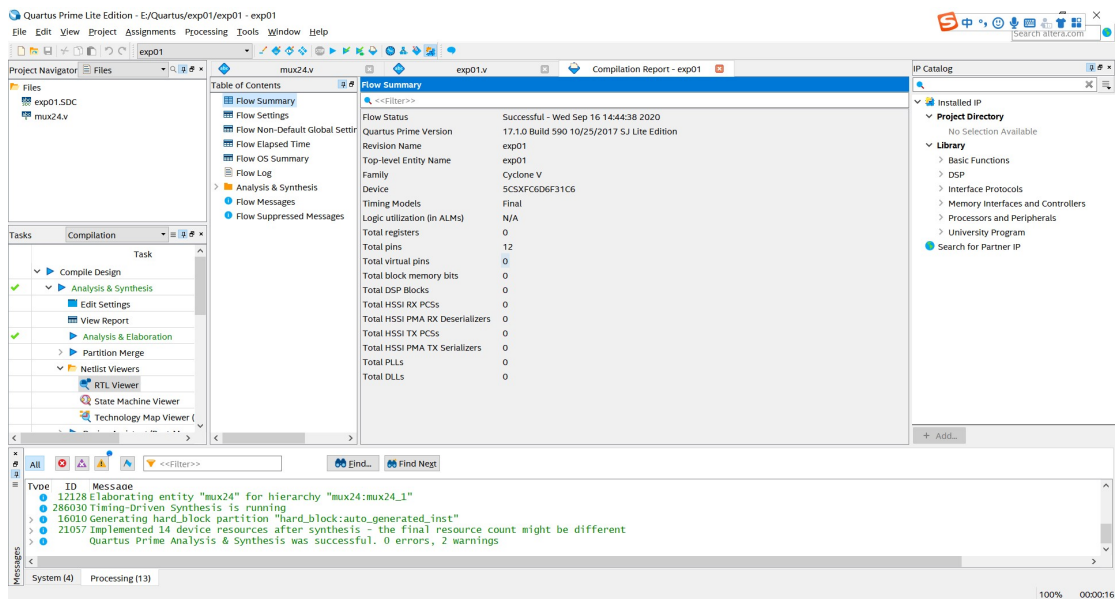


图 2-1：分析/综合成功

分析/综合给出的 RTL 视图

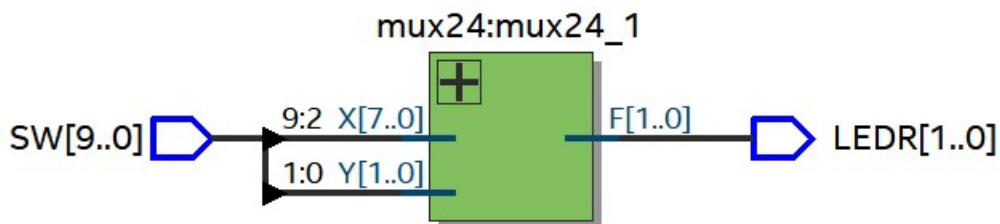


图 2-2:RTL 视图

5. 仿真测试

在 Test Bench Template Writer 提供的仿真文件模板的基础上给出以下测试样例：

输入[9:0]SW	期望输出[1:0]F
10 01 11 00 00	00
10 01 11 00 01	11
10 01 11 00 10	01
10 01 11 00 11	10

表 2-3:仿真测试样例与期望输出

```

// code that executes only once
// insert code here --> begin
//select **
SW=10'b1001110000; #10;
SW=10'b1001110001; #10;
SW=10'b1001110010; #10;
SW=10'b1001110011; #10;
/*

```

图 2-3 仿真样例

通过 ModelSim 得到的仿真波形图与期望输出一致：

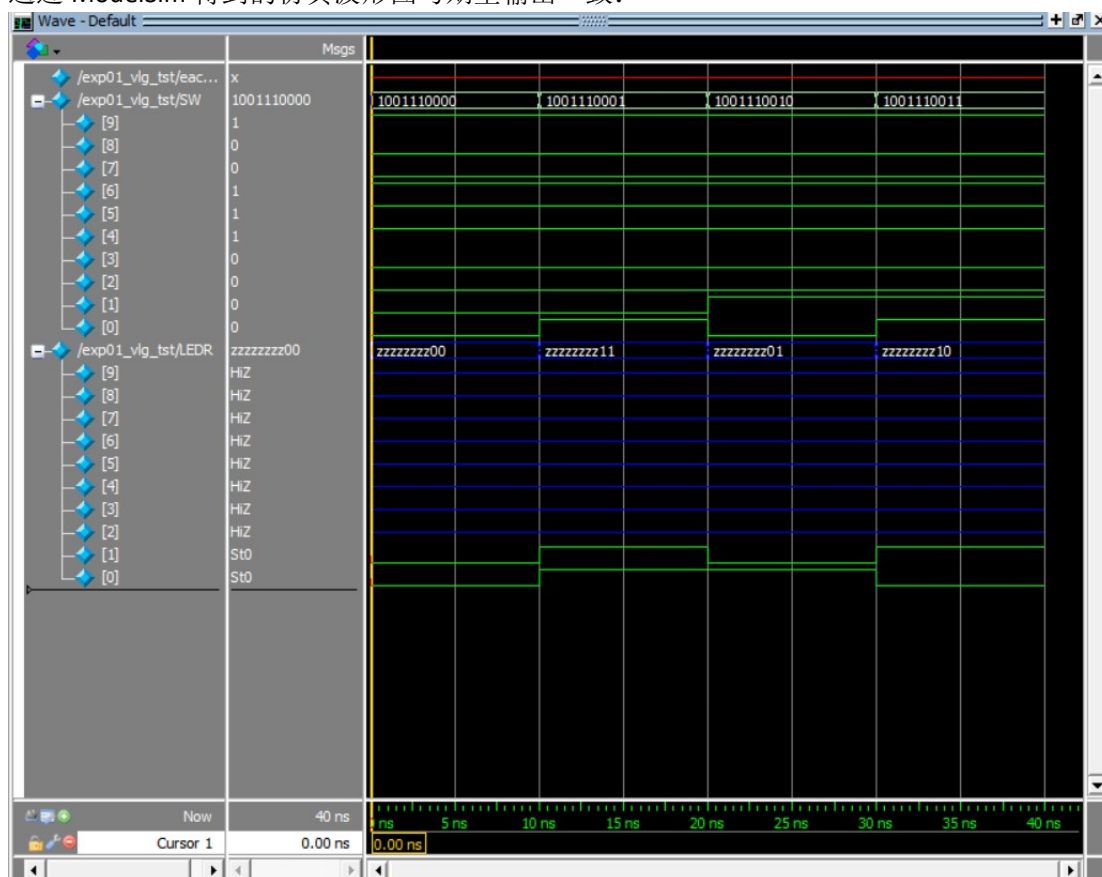
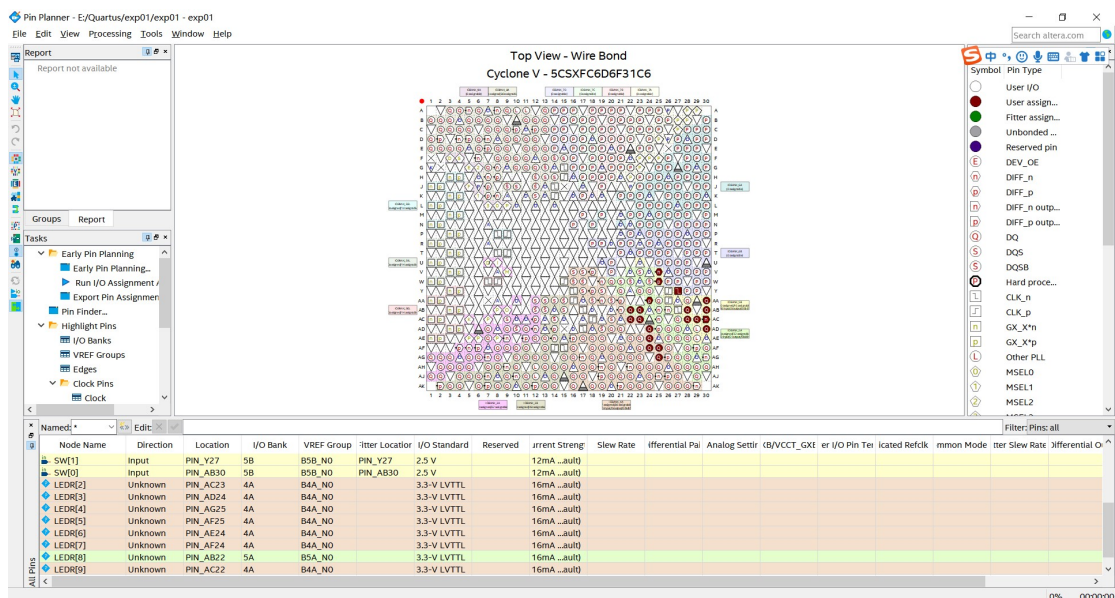


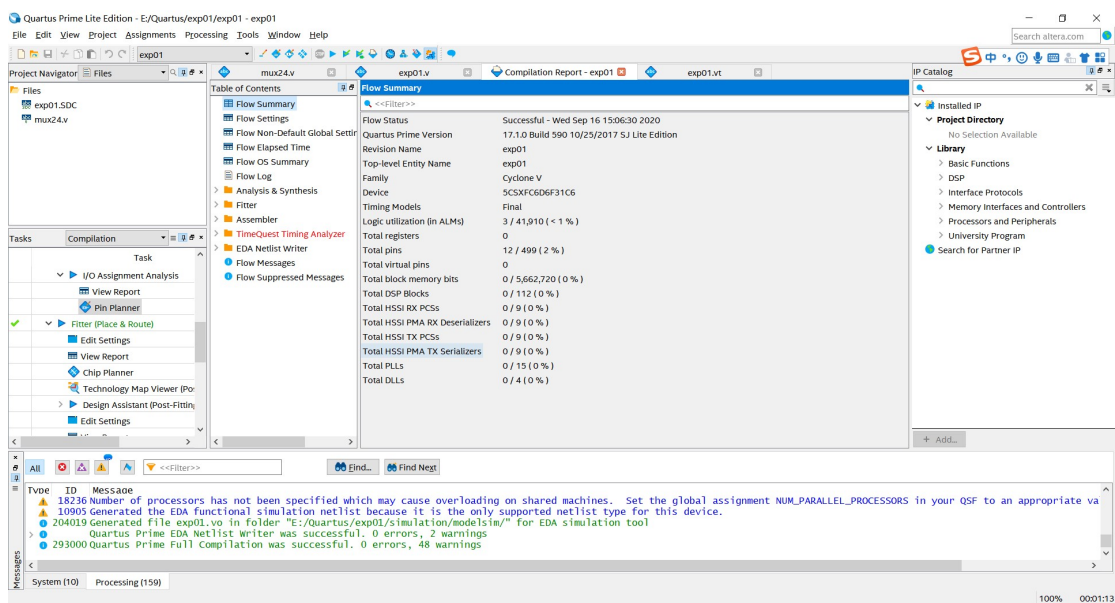
图 2-4 仿真测试波形图

6. 分配引脚

引脚分配由 DE10_Standard_SystemBuilder 生成。



7. 全编译



三、实验总结

本次实验实现了 2 位 4 选 1 的选择器，通过仿真、实操验证了设计正确性。

Verilog HDL 中的 case 语句大大简化了该选择器的实现，相比传统的逻辑表达式更加直观，也更易理解。