# 数字电路与数字系统实验

## EX01:选择器

191220029 傅小龙

周一5-6节班

[1830970417@qq.com](mailto:1830970417@qq.com)

2020年9月14日

# **目录**

1. 实验内容……………………………………………………………………………………3
2. 实验过程……………………………………………………………………………………3

2.1 模型概述………………………………………………………………………………3

2.2 数字抽象………………………………………………………………………………3

2.3 建立模型………………………………………………………………………………4

2.4 分析/综合…………………………………………………………………………… 5

2.5 仿真测试………………………………………………………………………………5

2.6 分配引脚………………………………………………………………………………6

2.7 全编译…………………………………………………………………………………7

三、实验总结……………………………………………………………………………………7

##### 实验内容

#### 实验要求

用case语句实现一个2位4选1的选择器。选择器有5个2位输入端，分别为 X0, X1, X2, X3 和Y，输出端为F；X0, X1, X2, X3 是四个2位的输入变量。输出F端受控制端Y的控制，选其中的一个 X 输出，当 Y = 00 时，输出端输出 X0，即 F = X0；当 Y = 01 时，输出端输出 X1，即 F = X1...以此类推。

选择开发板上的 SW0 和 SW1 作为控制端 Y，SW2—SW9 作为四个两位数据输入端 X0–X3，将两位的输出端 F 接到发光二极管 LEDR0 和 LEDR1 上显示输出，完成设计，对自己的设计进行功能仿真，并下载到开发板上验证电路性能。

#### 实验工具

软件环境：

设计、编译、仿真：Quartus Prime Version 17.1.0 Build 590 10/25/2017 SJ Lite Edition

DE10\_Standard\_SystemBuilder

硬件环境： DE-10 Standard开发平台

FPGA芯片： Cyclone V 5CSXFC6D6F31C6

##### 实验过程

###### 模型概述

用 Verilog HDL 实现一个2位4选1的选择器。选择器将根据控制端输入的2位信号选择4组输入信号中的一组输出至输出端。

###### 数字抽象

I)输入:

数据输入X[7:0]：X0~X3，每个输入为2位

控制端（输入）Y[1:0]：2位输入，选择对应的数据输入Xi输出

II)输出:

输出端F[1:0]：两位输出，为X0~X3中的某一个输入。

下表\图给出了以上输入输出信号在DE10平台对应的信号：

|  |  |  |
| --- | --- | --- |
|  | 信号名称 | DE2-70平台信号 |
| 输入 | [7:0]X | SW[9:2] |
| [1:0]Y | SW[1:0] |
| 输出 | [1:0]F | LEDR |

表 2-1:输入输出信号与DE10平台信号对应关系

###### 建立模型

下表给出了实验中要设计的2位4选1选择器的输出与控制信号Y的关系：

|  |  |  |
| --- | --- | --- |
| 输入信号[7:0]X | 控制信号[1:0]Y | 输出[1:0]F |
| X[7:0] | 00 | X0(X[1:0]) |
| X[7:0] | 01 | X1(X[3:2]) |
| X[7:0] | 10 | X2(X[5:4]) |
| X[7:0] | 11 | X3(X[7:6]) |

表 2-2:2位4选1的选择器行为表

2位4选1选择器的Verilog HDL实现如下：

module mux24(X, Y, F);

input [7:0] X;

input [1:0] Y;

output reg [1:0]F;

always @(\*)

case (Y)

0: F=X[1:0];

1: F=X[3:2];

2: F=X[5:4];

3: F=X[7:6];

default: F = 2'b00;

endcase

endmodule

#### 分析/综合

分析/综合实验成功，如下图所示：

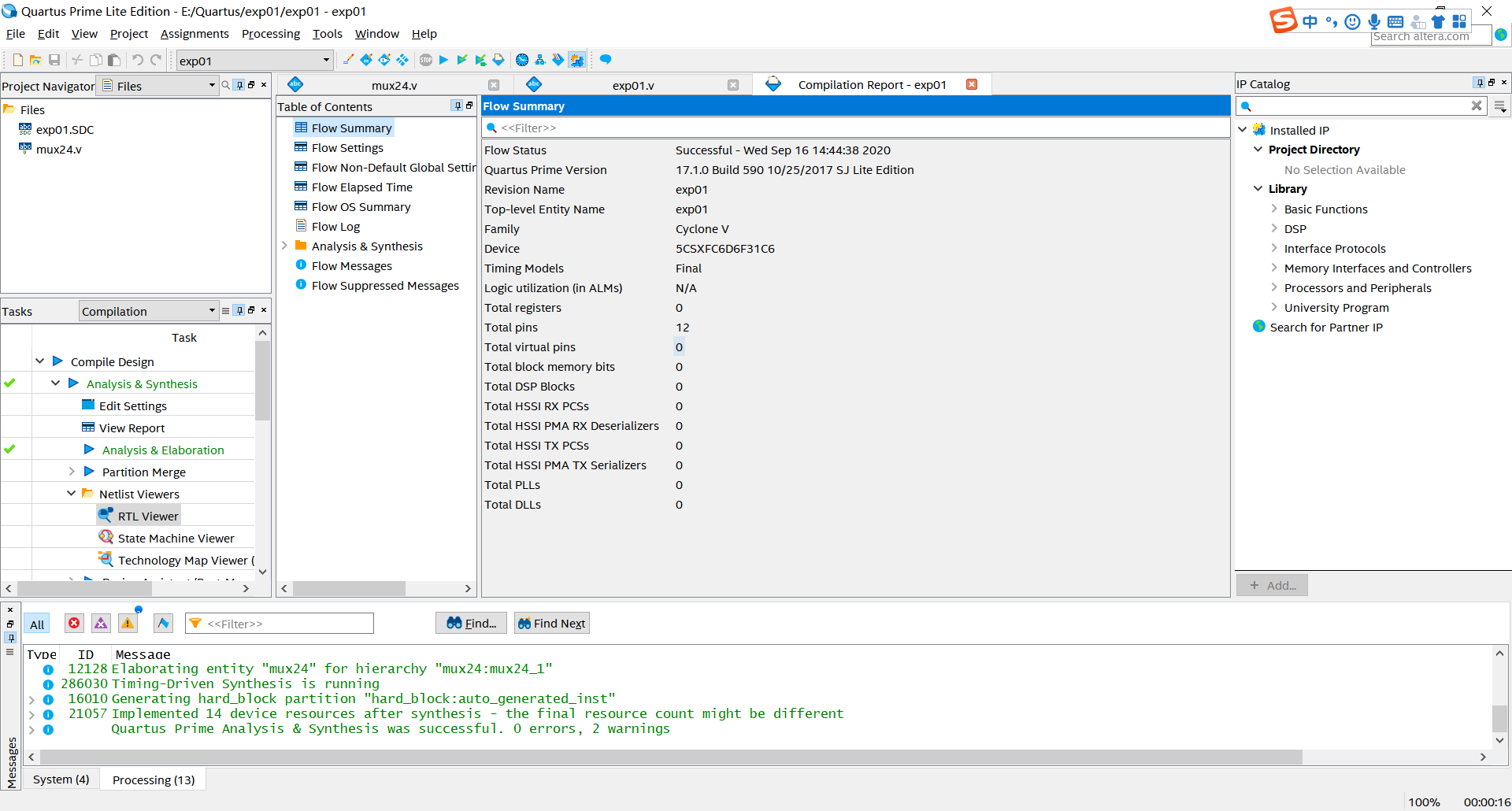


图2-1：分析/综合成功

分析/综合给出的RTL视图

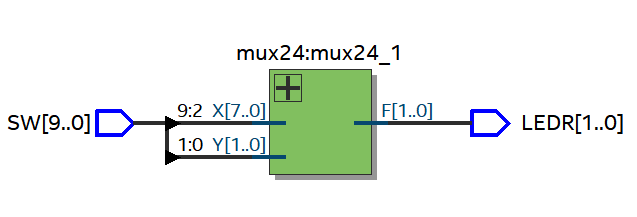


图 2-2:RTL视图

#### 仿真测试

在Test Bench Template Writer提供的仿真文件模板的基础上给出以下测试样例：

|  |  |
| --- | --- |
| 输入[9:0]SW | 期望输出[1:0]F |
| 10 01 11 00 00 | 00 |
| 10 01 11 00 01 | 11 |
| 10 01 11 00 10 | 01 |
| 10 01 11 00 11 | 10 |

表 2-3:仿真测试样例与期望输出

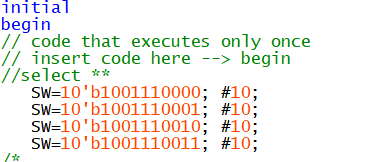


图2-3 仿真样例

通过ModelSim得到的仿真波形图与期望输出一致：

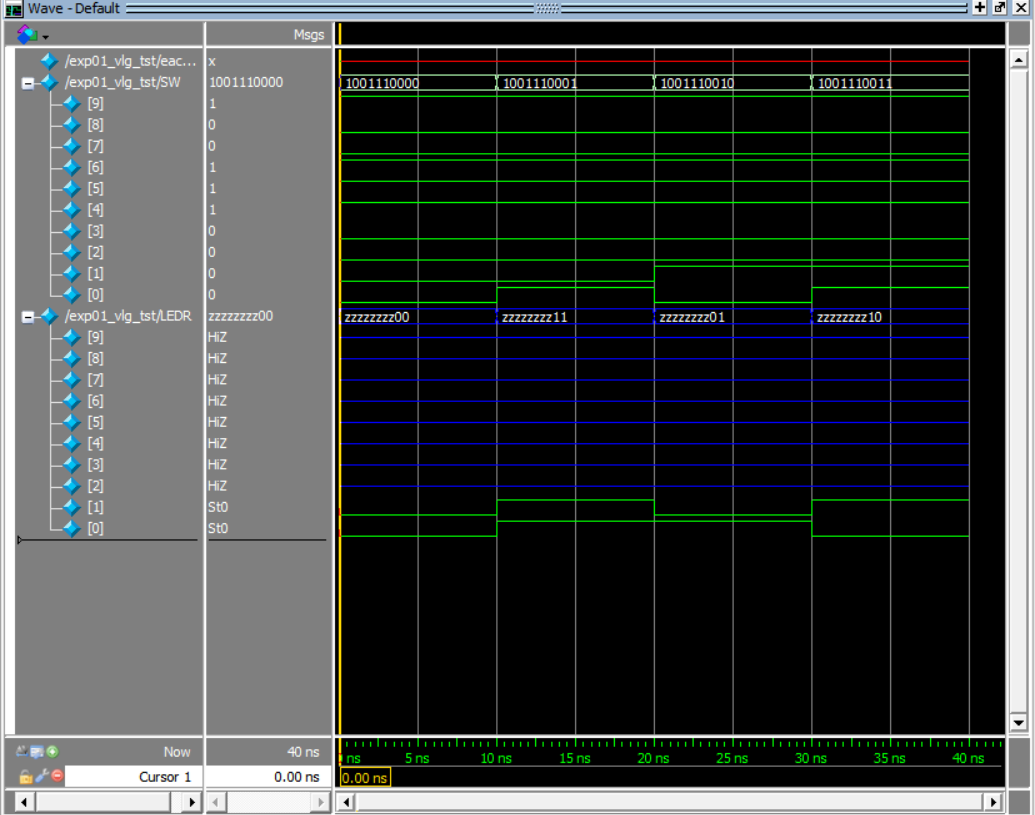


图2-4仿真测试波形图

#### 分配引脚

引脚分配由DE10\_Standard\_SystemBuilder生成。

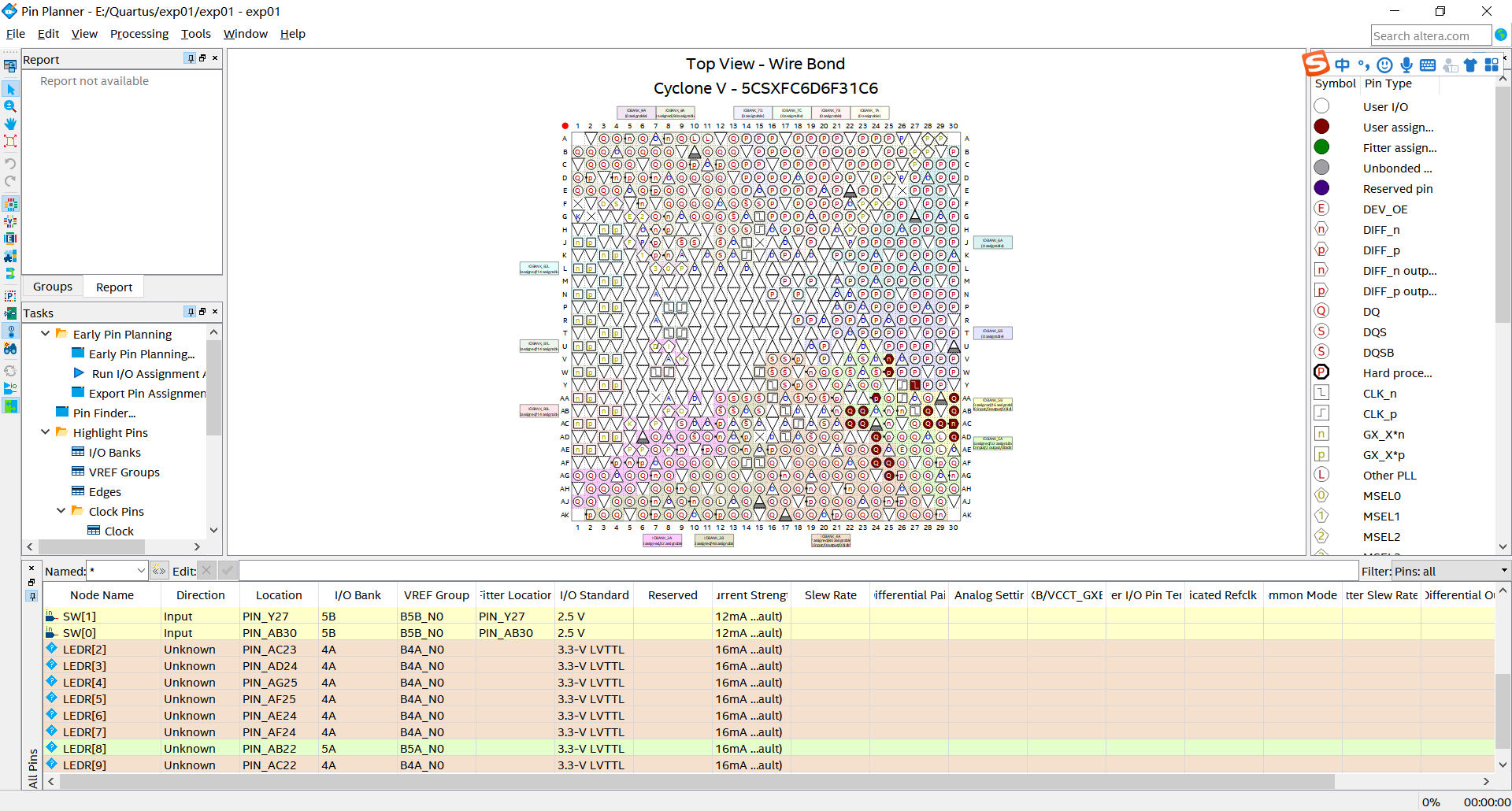


图2-5引脚分配图

#### 全编译

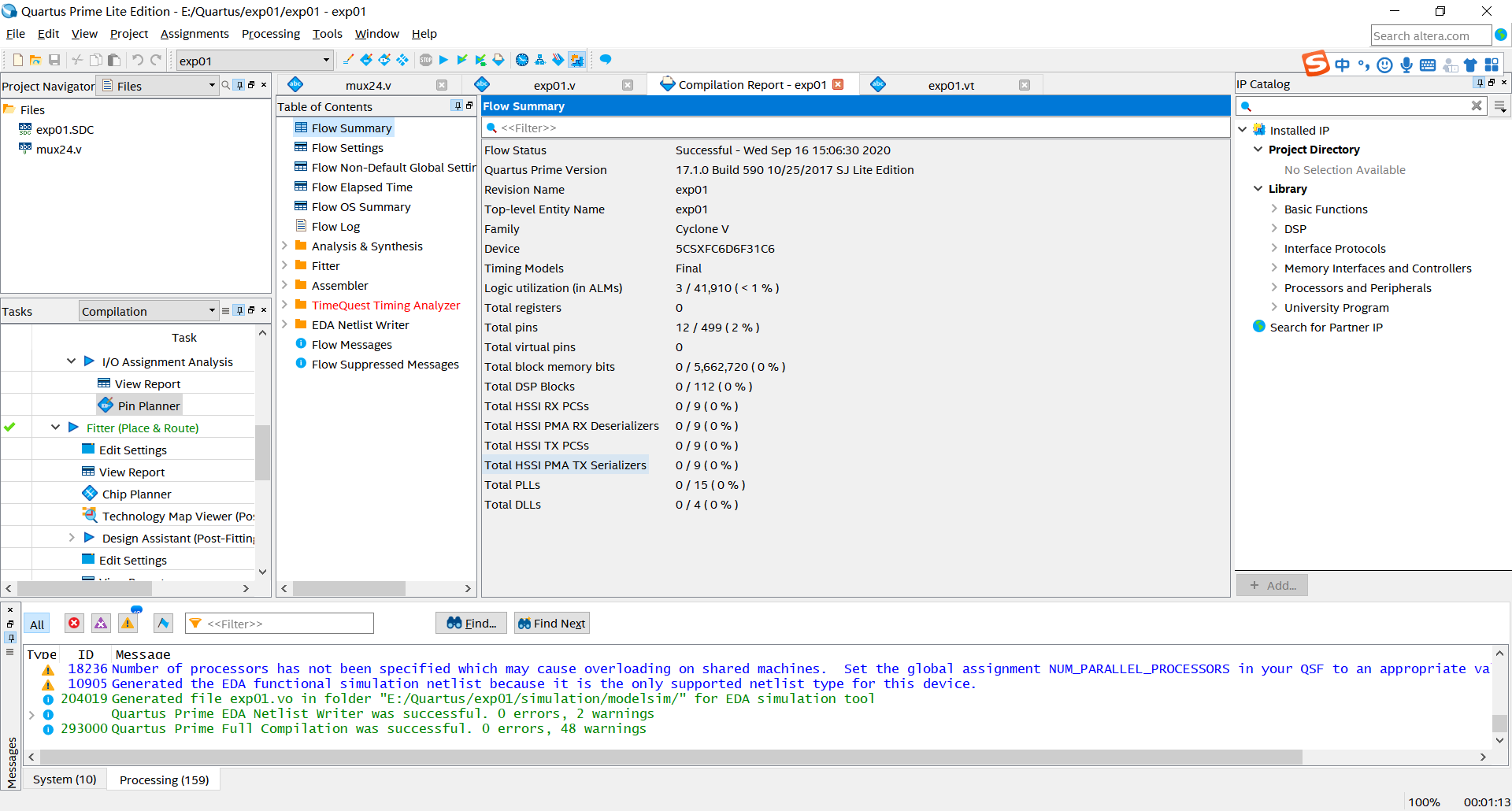


图2-6全编译

##### 实验总结

本次实验实现了2位4选1的选择器，通过仿真、实操验证了设计正确性。

Verilog HDL中的case语句大大简化了该选择器的实现，相比传统的逻辑表达式更加直观，也更易理解。