

数字电路实验

Lecture 1: 实验简介

南京大学 计算机科学与技术系

2020年秋季



目录

① 课程安排

② 实验要求

③ FPGA基础

④ 实验器材介绍



实验课程的重要性

- 人类科学发现的三大支柱：
 - 理论科学、**实验科学**和计算科学作为科学发现三大支柱，正推动着人类文明进步和科技发展。
 - 该说法已被科学文献广泛引用，并在美国得到国会听证、联邦和私人企业报告的认同。
- 人类认识世界和改造世界的三种思维：
 - ① 理论思维：以推理和演绎为特征，以数学学科为代表。
 - ② **实验思维**：以观察和总结自然规律为特征，以物理学科为代表。
 - ③ 计算思维：以设计和构造为特征，以计算机学科为代表。



课程目标

先修课程

- 数字电路与数字系统
- 建议了解《C语言程序设计》基础知识

课程目标

- 理解Verilog HDL的应用
- 掌握数字系统的基本设计和调试流程
- 学习Quartus编译平台的使用
- 了解在DE10 Standard开发板上部署和调试数字设计的方法
- 对于学有余力的同学，“奋战三星期，造台计算机”



课程目标

先修课程

- 数字电路与数字系统
- 建议了解《C语言程序设计》基础知识

课程目标

- 理解Verilog HDL的应用
- 掌握数字系统的基本设计和调试流程
- 学习Quartus编译平台的使用
- 了解在DE10 Standard开发板上部署和调试数字设计的方法
- 对于学有余力的同学，“奋战三星期，造台计算机”



课程内容

- 组合逻辑电路设计
 - 选择器、译码器、编码器、三态缓冲器和简单加减法器等的设计；
- 时序逻辑电路的设计
 - 触发器、寄存器、计数器、存储器和状态机等的设计；
- 简单接口控制器的设计
 - 键盘、VGA和音频接口控制器等的设计。
- 11次基础实验+1次自选大实验



课程安排

上课时间地点

- 周一下午
14:00 - 16:00
- 基础实验楼
乙区125

课程网站

- 课程网站: <http://cslabcms.nju.edu.cn/>
作业提交与PPT下载
- 课程资料及Quartus下载:
<ftp://114.212.82.168>
用户名: dlc 密码: exp2020

评分标准

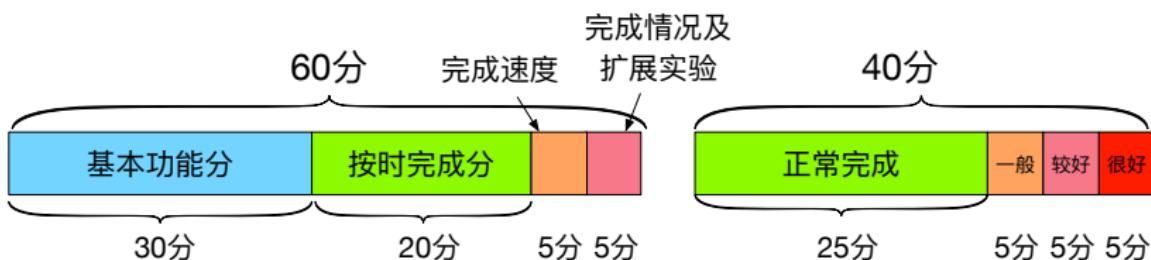
- 单个实验7–8分，大实验20分
- 实验验收情况 (60%) + 实验报告 (40%)
- 总分 = \sum 实验得分



打分标准(试行)

实验验收得分

实验报告得分





实验进度安排建议

实验进度基本安排

| |
|-----------|
| 第一周 讲课发器材 |
| 第二周 基本工程 |
| 第三周 多路选择器 |
| 第四周 编码器 |
| 第五周 加法器 |
| 第六周 触发器 |
| 第七周 计数器 |
| 第八周 移位寄存器 |
| 第九周 存储器 |

简单组合逻辑
可加快

简单时序逻辑
可加快

| |
|-------------|
| 第十周 键盘 |
| 第十一周 键盘（延期） |
| 第十二周 显示器 |
| 第十三周 音频+电子琴 |
| 第十四周 字符显示 |
| 第十五周 综合实验 |
| 第十六周 综合实验 |
| 第十七周 综合实验 |

注意难度增加
请合理安排

难度继续增加

自选综合工程



教师信息

教师

任课教师

毛云龙

Email

maoyl@nju.edu.cn

办公室

仙林计算机科学技术楼 313

办公时间

周五上午 10:00 – 12:00

助教

助教

王珩、李成成、许嘉帆



课程QQ群



数字电路实验202...

群号：982904741

QQ群号
982904741





实验设备

- DE10 Standard 开发平台，每两人一块
签字领取，学期末返还，**注意保管**



- 电脑，可使用自带电脑
 - Windows 7以上操作系统
 - Quartus 17.1 Lite（以上）
 - 下载地址: <ftp://dlc:exp2020@114.212.82.168/home/Quartus>
 - 分流网址: <ftp://anonymous:anonymous@114.212.130.58/>



FTP 资料清单

- **Quartus 目录**
 - Quartus 17.1 安装文件
 - ModelSim 17.1 安装文件
 - Cyclone V 器件支持包
- **DE10-Standard 目录**
 - DE10 开发板附带光盘，含 System builder，开发板手册，参考代码等（重要）
 - DE10 开发板手册
- **Reference 目录**
 - Quartus 软件使用手册
 - Verilog 参考书电子版
 - 实验注意事项
 - 优秀实验报告示例
- **Video 目录**
 - 往年实验演示视频
 - 实验和 Verilog 语言介绍视频



Quartus 17.1安装指导

- ① 从FTP上下载三个安装文件，并放在同一个目录下
- ② 点击主安装文件QuartusLiteSetup-17.1.0.590-windows.exe
- ③ 建议使用缺省路径安装，但是要注意安装路径中**不要有中文字符**，未来建立的工程目录也建议不要带任何中文目录或文件名（包括上级目录名）。
- ④ 在组件中选择安装Quartus, ModelSim和Cyclone V组件，如果没有出现相应组件，建议检查是否下载了所有的安装文件。
- ⑤ 缺省方式安装设备驱动程序。
- ⑥ Quartus 17.1Lite免费版已经可以满足本实验要求，无需激活或者付费



书籍与资料

教材

Digital Design –Principles and Practices
John F. Wakerly

数字设计-原理与实践(第四版)
林生等译 机械工业出版社



参考资料

FPGA数字逻辑设计
蔡晓燕编著
清华大学出版社



Verilog 数字系统设计教程
夏闻宇编著
北京航空航天大学出版社



FPGA数字逻辑设计教程–Verilog
Richard E. Haskell Darrin M. Hanna
郑利浩等译 电子工业出版社





实验要求



- 请一定带着**实验预习报告**（电子版，也是最终实验报告的雏形）进入实验室。预习时要求预先设计好实验代码和电路图，并综合通过。
- 实验讲义使用的开发软件版本是**Quartus 17.1 Lite**，建议安装相应版本的软件。低版本软件不能打开高版本软件下设计的工程。
- 无论使用任何硬件设备，都不要**带电插拔**。
- 使用实验平台时应该用手抓取平台的布线板，尽量不要用手接触平台底部裸露的电路板。
- 如发现代码或报告抄袭，一律零分处理。



实验报告内容

① 实验目的

② 实验原理（知识背景）

以上两部分实验手册上内容相对简单，请大家及时复习理论课相关内容

③ 实验环境/器材等

④ 程序代码或流程图

这里的流程图一般指实验要求设计的电路的原理框图或者代码流程图。主要展示设计思路，**不建议大段粘贴代码**

⑤ 实验步骤/过程

请大家这一部分要适当截图，展示实验中的重要步骤

⑥ 测试方法

你是用什么方法验证你的设计结果是否正确的？如何选择测试信号的？



实验报告内容

⑦ 实验结果

主要指仿真结果（截图）和下载运行结果，大型实验是可用照片或视频记录在实验平台上的运行结果

⑧ 实验中遇到的问题及解决办法

希望解决办法中不要只说“助教帮助解决”，请具体说明问题原因及详细解决办法，要求以后出现类似问题自己要能够解决

⑨ 实验得到的启示

请大家认真思考，不会没有启示，坏的启示不会扣分，只是想引起大家的思考

⑩ 意见和建议

也作为评分的一部分，请多提议

实验报告应包含工程文件及报告电子版，请用压缩软件打包后上传

请为你每一次的实验报告制作一个封面。封面内容包括：

实验名称 姓名 学号 班级 邮箱 实验时间



故障排除方法



- 分析编译器输出，检查是否有错误或警告
- 经常保存代码
- 注意分析仿真输出波形图
- 参考实验常见问题解决方案
- 善用搜索引擎

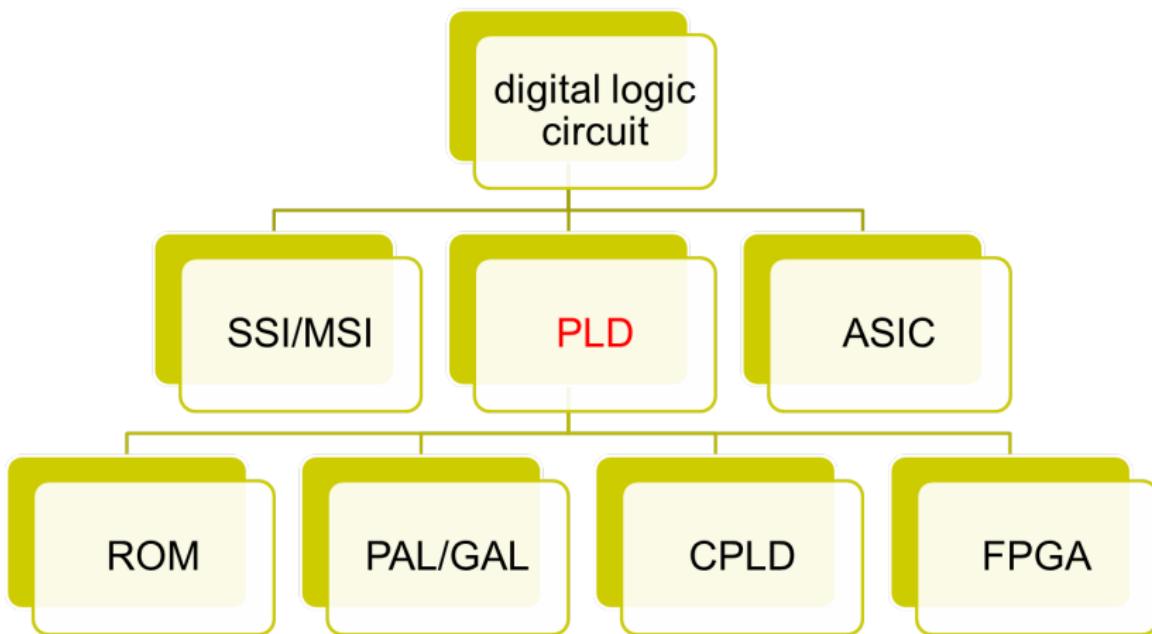


数字电路的类型

- SSI、MSI
 - 通用型，原则上可实现任意复杂的数字系统
- ASIC
 - 全定制或半定制
 - 性能佳，体积和功耗小，量产成本低
 - 专用，NRE费用高，设计周期长
- PLD 可编程逻辑器件(Programmable Logic Device)
 - 批量大，成本低
 - 可编程，容易在线升级
 - 适合样品开发和小批量生产



数字逻辑电路分类



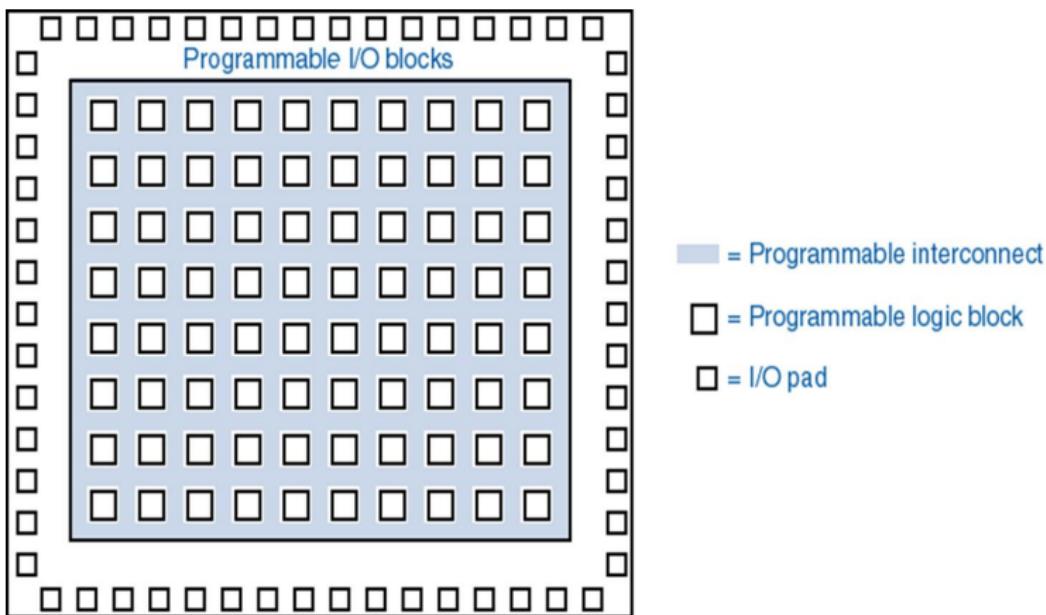


FPGA现场可编程门阵列

- FPGA(Field Programmable Gate Array)
- 与CPLD相比，具有更高的集成度、更强的逻辑功能和更大的灵活性
- FPGA属于阵列型PLD
- 由三个可编程电路块和一个用于存放编程数据的SRAM组成
 - ① 可编程逻辑块 (CLB)
 - ② 输入/输出模块 (IOB)
 - ③ 可编程互连线 (PI)



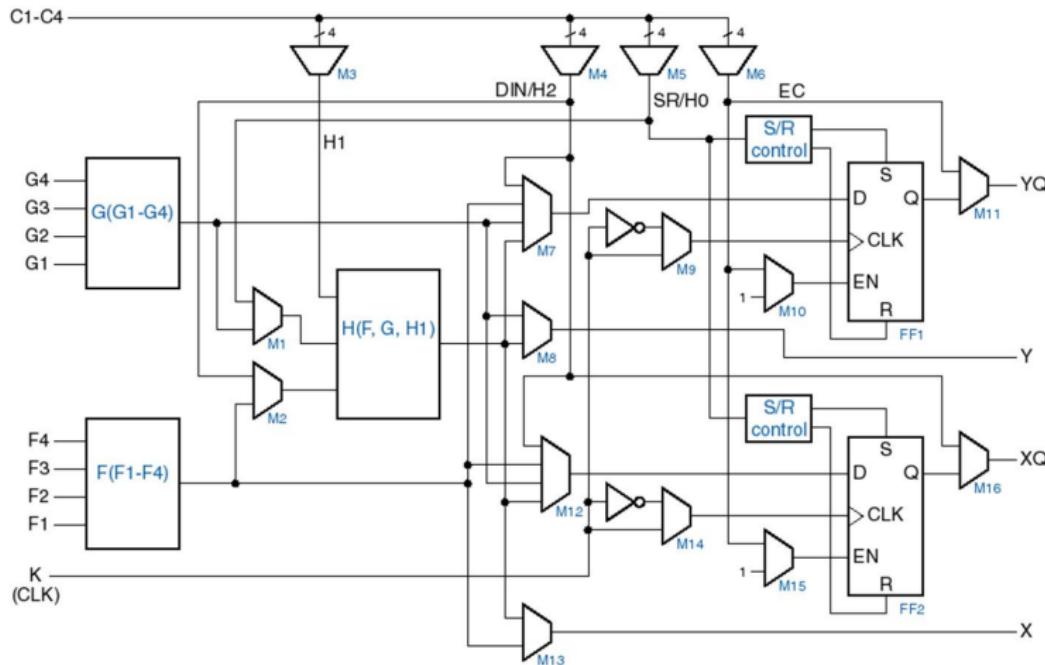
FPGA结构





CLB可配置逻辑块

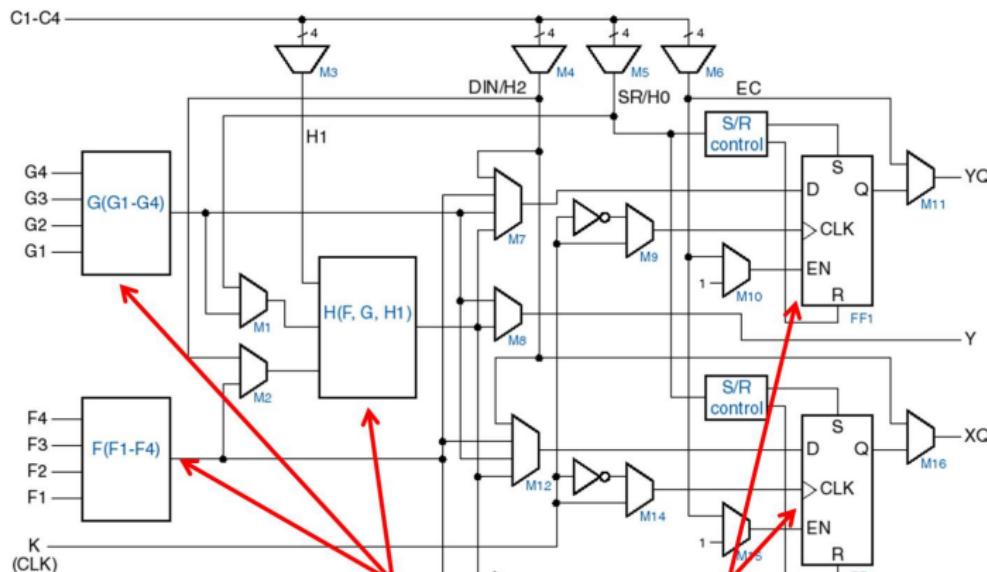
CLB(configurable logic block)是FPGA的主要组成部分，是实现逻辑功能的基本结构单元





CLB可配置逻辑块

CLB(configurable logic block)是FPGA的主要组成部分，是实现逻辑功能的基本结构单元



每个CLB由3个组合逻辑函数发生器、2个触发器和由数据选择器组成的内部控制电路构成。



CLB 逻辑函数发生器(F, G, H)

- 使用RAM存储真值表
 - F, G: 4输入位, 16×1 SRAM
 - H: 3 输入位, 8×1 SRAM
- F, G, 和H函数发生器:
 - 任何两个4变量的函数, 加上3变量函数
 - 任何5变量函数
 - 任何4变量函数, 加上某些6变量函数
 - 某些9变量函数, 包括奇偶校验和4位级联相等校验器

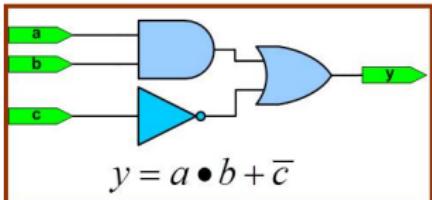


查找表look-up-table LUT



- 一个N输入查找表 (LUT, Look Up Table)可以实现N个输入变量的任何逻辑功能，如 N输入“与”、 N输入“异或”等。
- 输入多于N个的函数、方程必须分开用几个查找表 (LUT) 实现

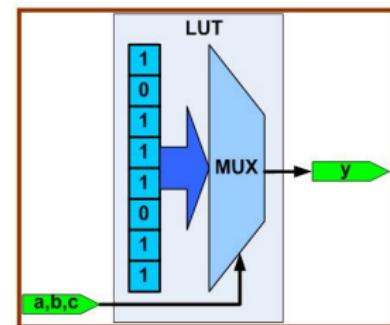
Required Function



Truth Table

| a | b | c | y |
|---|---|---|---|
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

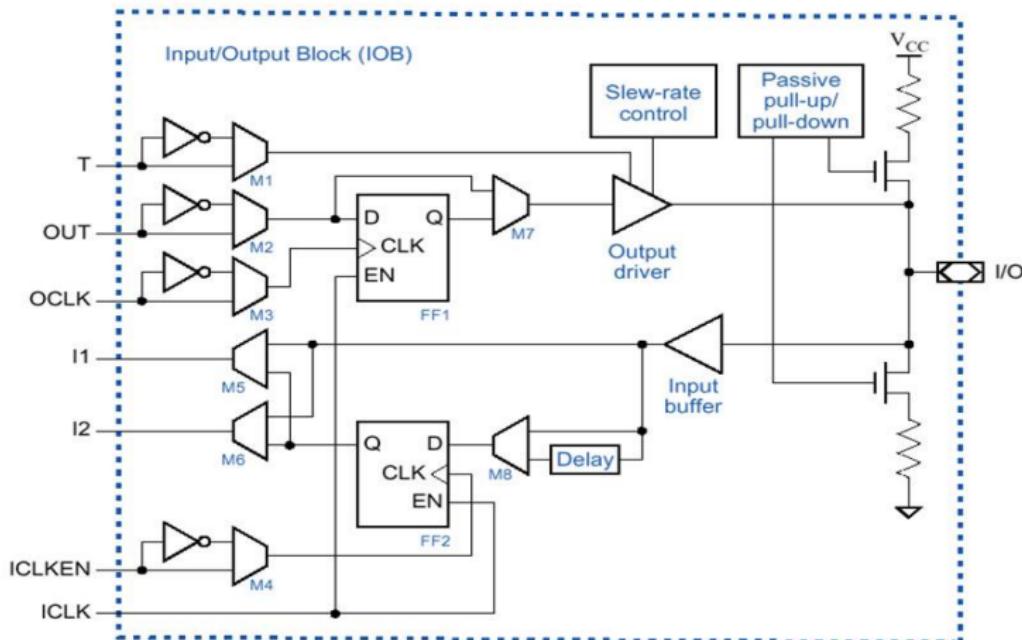
Programmed LUT





I/O Block

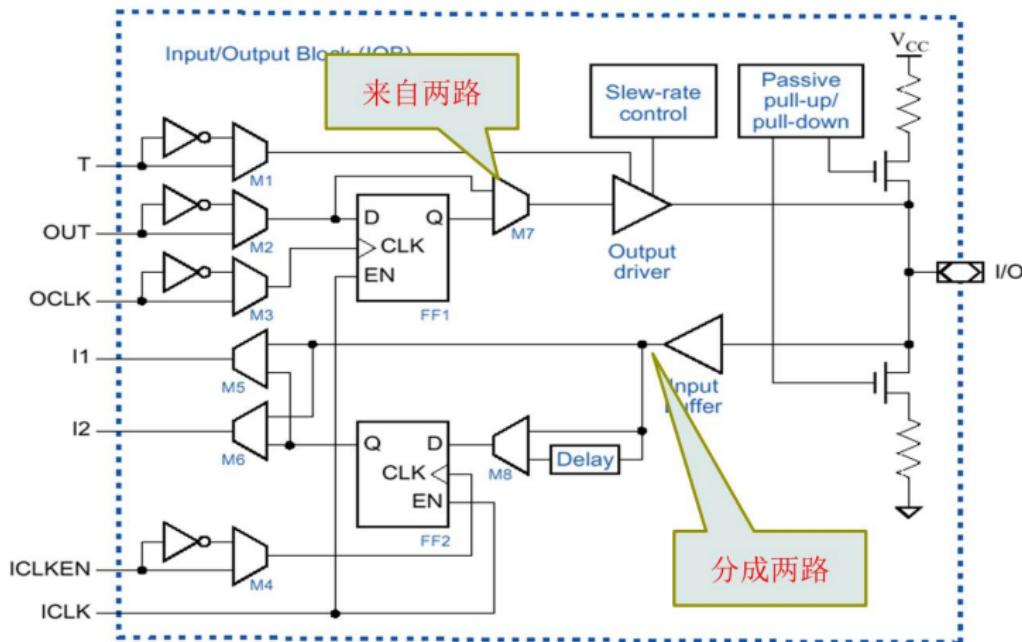
IOB分布于器件的四周，提供器件外部引脚与内部逻辑之间的连接。主要由触发器和缓冲器组成。每个IOB控制一个外部引脚，可将其编程为输入、输出或双向I/O功能，或组合逻辑、寄存器逻辑、三态逻辑等。





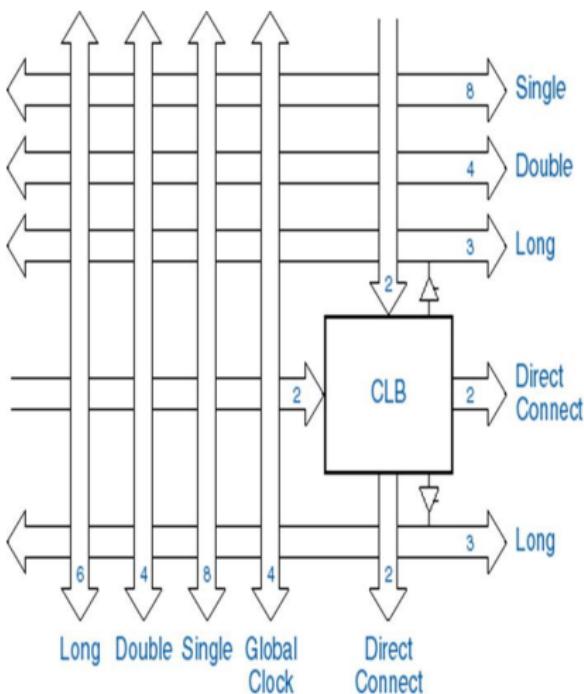
I/O Block

IOB分布于器件的四周，提供器件外部引脚与内部逻辑之间的连接。主要由触发器和缓冲器组成。每个IOB控制一个外部引脚，可将其编程为输入、输出或双向I/O功能，或组合逻辑、寄存器逻辑、三态逻辑等。





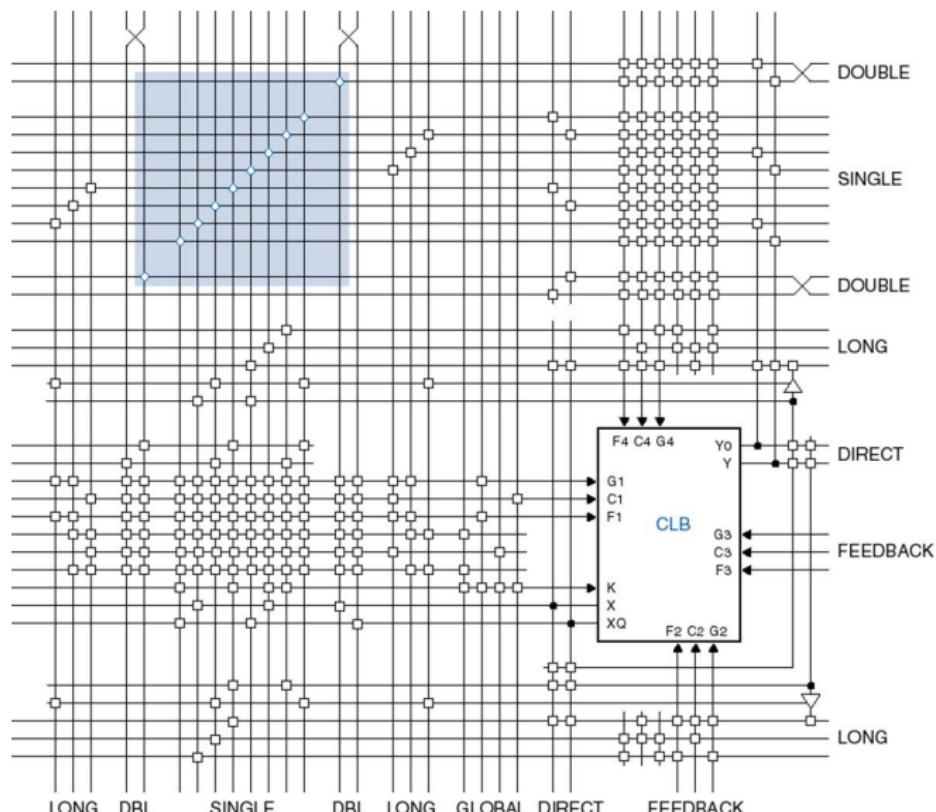
可编程互连



- 遍布器件内部，提供高速可靠的内部连线。它将CLB之间、CLB和IOB之间连接起来，构成复杂的逻辑。
- 主要由纵横分布在CLB阵列之间的金属线网络和位于纵横交叉点上的可编程开关矩阵（PSM, Programmable Switch Matrix）组成。
- FPGA使用分层连线资源结构，提供3种连接结构
 - 单线连接
 - 双线连接
 - 长线连接

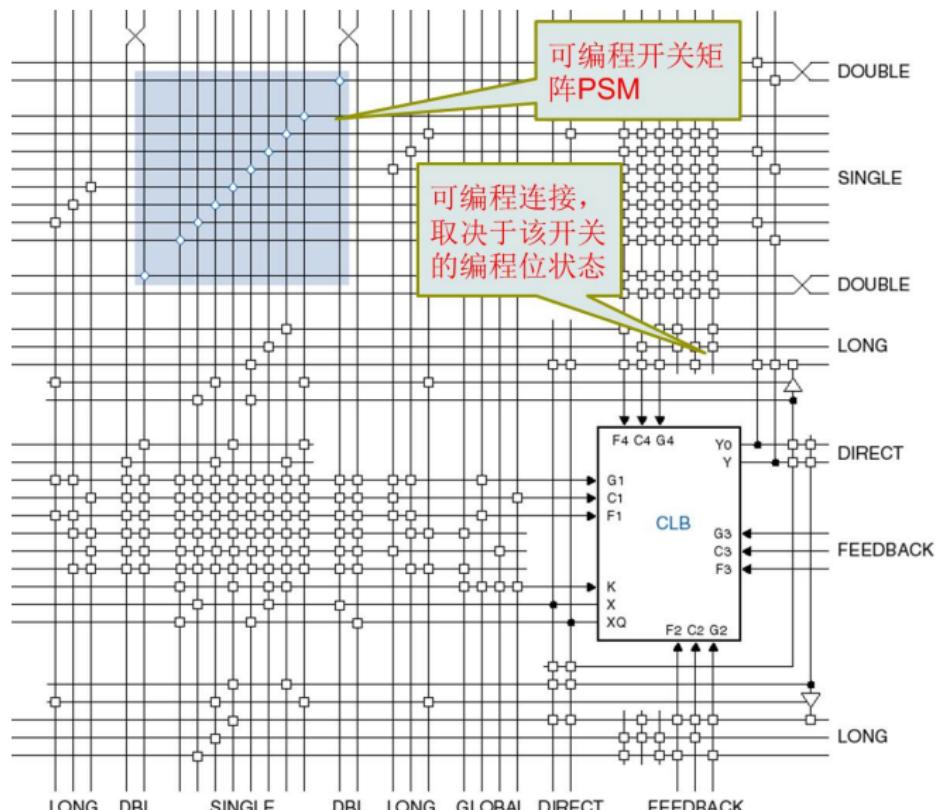


可编程互连





可编程互连





FPGA与CPLD的区别

● 编程技术与数据易失性

- 通常FPGA采用SRAM进行功能配置，可以重复编程，但系统掉电后，SRAM中的数据丢失。因此，需在FPGA外加EPROM，将配置数据写入其中，系统每次上电自动将数据引入SRAM中。
- 而一般CPLD器件采用EEPROM存储技术，可重复编程，且系统掉电后，EEPROM中的数据不会丢失，适于数据的保密。

● 触发器资源

- FPGA器件由于含有丰富的触发器资源，容易实现时序逻辑，若要求实现比较复杂的组合电路则需要几个CLB结合起来实现。
- CPLD的与或阵列结构，使它更适合于实现大规模的组合逻辑功能，而它的触发器资源相对比较少。



FPGA与CPLD的区别

● 芯片利用率

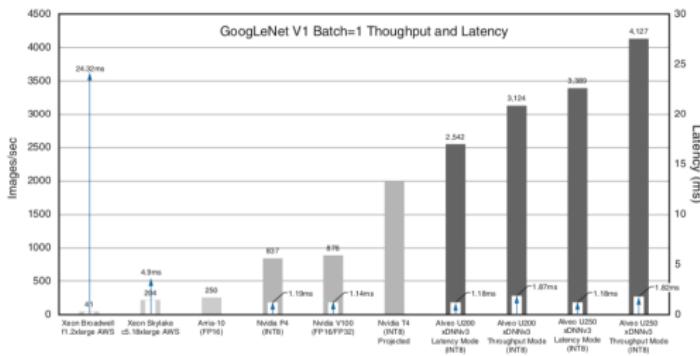
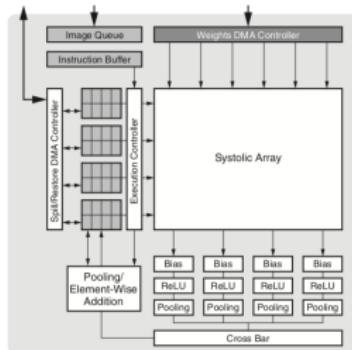
- FPGA多为细粒度结构。FPGA内部有丰富连线资源，CLB分块比较小，芯片利用率比较高。
- CPLD多为粗粒度结构。CPLD宏单元的与或阵列较大，通常不能完全被应用，而且宏单元之间主要通过高速数据通道连接，容量有限，限制了器件的灵活布线，因此**CPLD利用率比FPGA低**。

● 布线结构与延时预测性

- FPGA为非连续式布线。FPGA器件在每次编程时实现的逻辑功能一样，但走的路线不同，因此**延时难以预测**，要求开发软件允许工程师对关键的路线给予限制。
- CPLD为连续式布线。CPLD每次布线路径一样，其连续式互连结构利用具有同样长度的一些金属线实现逻辑单元之间的互连，消除了分段式互连结构在定时上的差异，并且在逻辑单元之间提供快速而且具有**固定延时的通路**。另外，**CPLD的延时比较小**。



FPGA在AI方面的应用



Xilinx xDNN架构



FPGA在通信方面的应用



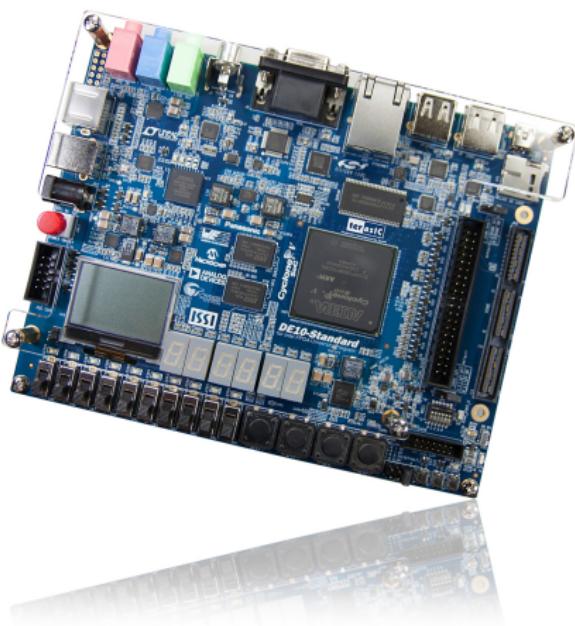
Stanford NetFPGA 10G, 软件定义网络



微软亚洲研究院SORA, 软件定义无线电



DE10 Standard 开发板



FPGA部分：

Intel Cyclone V SE
5CSXFC6D6 F31C6N

- 110K逻辑单元
- 5,761Kbit RAM

HPS部分：

Dual-core ARM Cortex A9

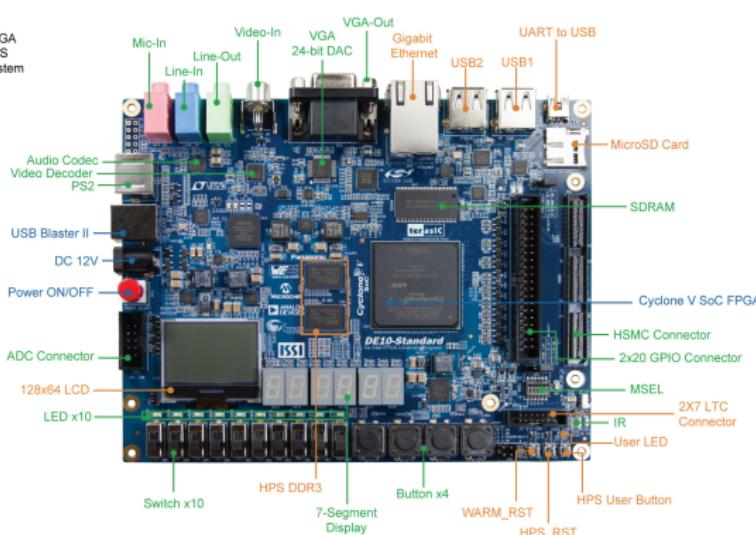
- 925MHz
- 1GB DDR



DE10开发板接口-FPGA



█ FPGA
█ HPS
█ System

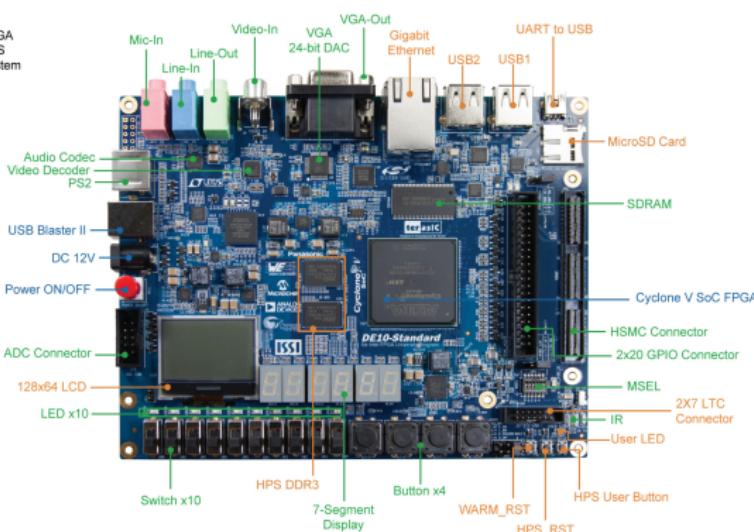


| 编号 | 组件 |
|----|-------------------------------|
| 1 | 64M SDRAM |
| 2 | 按钮 (4个) |
| 3 | 拨动开关 (10个) |
| 4 | 七段数码管 (6个) |
| 5 | 红色LED (10个) |
| 6 | 音 频 (mic-in,line-in,line-out) |
| 7 | 视频输入 |
| 8 | VGA输出 |
| 9 | PS2键盘鼠标接口 |
| 10 | 红外输入输出 |
| 11 | 数模转换 |
| 12 | 扩展口 |



DE10开发板接口-HPS

■ FPGA
■ HPS
■ System



| 编号 | 组件 |
|----|-------------|
| 1 | 以太网口 |
| 2 | USB |
| 3 | MicroSD |
| 4 | 加速度计 |
| 5 | 按钮1个, LED1个 |
| 6 | LCD显示屏 |



DE10开发板接口

