

10. 计算机系统包括软件系统和硬件系统，其中软件又可以分为()

- A. 高级语言程序和低级语言程序
- B. 系统软件和应用软件
- C. 操作系统和应用软件
- D. 系统软件和高级语言程序

13. 计算机系统从上到下的层次化构成为

- A. 机器语言机器--操作系统虚拟机--汇编语言虚拟机--高级语言虚拟机
- B. 高级语言虚拟机--操作系统虚拟机--汇编语言虚拟机--机器语言机器
- C. 高级语言虚拟机--汇编语言虚拟机--机器语言机器--操作系统虚拟机
- D. 高级语言虚拟机--汇编语言虚拟机-- 操作系统虚拟机--机器语言机器

15. 计算机系统各层次之间的关系为

- A. 上下层之间毫无关系
- B. 上层与下层相互依存、不可分割
- C. 下层是实现上层的基础，而上层实现对下层的功能拓展
- D. 上层是实现下层的基础，而下层实现对上层的功能拓展

17. 计算机区别于其他计算工具的最本质的特点是()

- A. 自动连续地执行程序
- B. 运算速度快
- C. 运算精度高
- D. 存储能力强

19. 只有当程序要执行时，它才会去将源程序翻译成机器语言，而且翻译一句执行一句，此程序称为().

- A. 翻译程序
- B. 解释程序
- C. 编译程序
- D. 汇编程序

20. 【2009】 冯·诺依曼计算机中指令和数据均以二进制形式存放在存储器中，CPU 区分它们的依据是()

- A. 指令操作码的译码结果
- B. 指令和数据的寻址方式
- C. 指令周期的不同阶段
- D. 指令和数据所在的存储单元

21. 【2015】 计算机硬件能够直接执行的是().

I. 机器语言程序

II. 汇编语言程序

III. 硬件描述语言程序

A. 仅 I

B. 仅 I、 II

C. 仅 I、 III

D. I、 II 和 III

22. 【2016】 将高级语言源程序转换为机器级目标代码文件的程序是()

- A. 汇编程序
- B. 链接程序
- C. 编译程序
- D. 解释程序

23. 【2019】 下列关于冯·诺依曼计算机基本思想的叙述中，错误的是

- A. 程序的功能都通过中央处理器执行指令实现
- B. 指令和数据都用二进制数表示，形式上无差别
- C. 指令按地址访问，数据都在指令中直接给出
- D. 程序执行前，指令和数据需预先存放在存储器中

3. CPU 的 CPI 与下列哪个因素无关().

- A. 时钟周期
- B. 系统结构
- C. 指令集
- D. 计算机组织

4. 下列关于 CPU 主频、CPI、MIPS、MFLOPS 的说法中，错误的是()

- A. CPU 主频是指 CPU 系统执行指令的频率
- B. CPI 是指执行一条指令所需要的时钟周期数
- C. MIPS 是指每秒执行多少百万条指令
- D. MFLOPS 是指每秒执行多少百万次浮点运算

6. 计算机 A 的时钟频率为 800MHz，某程序在计算机 A 上运行需要 12 秒，在计算机 B 上运行需要 8s，但在计算机 B 上运行该程序所需的时钟周期数为计算机 A 上的 1.5 倍，那么计算机 B 的时钟频率为()

- A. 1.8MHz
- B. 800MHz
- C. 1.2GHz
- D. 1.8GHz

7. 计算机 A 的时钟周期为 2.4ns ，计算机 B 的时钟周期为 4ns 。某个程序在计算机 A 上运行时的 CPI 为 4，在计算机 B 上运行时的 CPI 为 2。则对于该程序来说，计算机 A 和计算机 B 之间的速度关系为()

- A. 计算机 A 比计算机 B 快 1.2 倍
- B. 计算机 B 比计算机 A 快 1.2 倍
- C. 计算机 A 的速度是计算机 B 的 1.2 倍
- D. 计算机 B 的速度是计算机 A 的 1.2 倍

8. 已知一台时钟频率为 4GHz 的计算机的 CPI 为 5，某程序 P 在该计算机上的指令条数为 2×10^9 条。若在该计算机上，程序 P 从开始启动到执行结束所经历的时间是 10s，则运行 P 所用 CPU 时间占整个 CPU 时间的百分比大约是()

- A. 50%
- B. 40%
- C. 25%
- D. 20%

9. 假定编译器对高级语言的某条语句可以编译生成两种不同的指令序列，A、B 和 C 三类指令的 CPI 和两种不同序列中所含的三类指令的条数如下表所示，以下结论中正确的是()

指令类型	CPI	序列一的指令条数	序列二的指令条数
A	1	1	2
B	2	1	1
C	3	4	2

- A. 序列一的指令条数少于序列二的指令条数
- B. 序列一的执行速度比序列二慢
- C. 序列一的总时钟周期数比序列二少
- D. 序列一的 CPI 比序列二的 CPI 小

10. 假定编译器对高级语言的某条语句可以编译生成两种不同的指令序列，A、B 和 C 三类指令的 CPI 和两种不同序列中所含的三类指令的条数如下表所示，两个指令序列都在时钟周期为 2ns 的机器上运行，以下结论中正确的是()

指令类型	CPI	序列一的指令条数	序列二的指令条数
A	1	1	2
B	2	1	1
C	3	4	2

- A. 序列一的 MIPS 数比序列二多 50，序列一的执行速度比序列二快 10ns
- B. 序列一的 MIPS 数比序列二多 50，序列二的执行速度比序列一快 10ns
- C. 序列二的 MIPS 数比序列一多 50，序列一的执行速度比序列二快 10ns
- D. 序列二的 MIPS 数比序列一多 50，序列二的执行速度比序列一快 10ns

11. 假定某程序 P 由一个 2000 条指令构成的循环组成，该循环共执行 10 次，在某系统 S 中执行程序 P 花了 50000 个时钟周期，则系统 S 在执行程序 P 时的 CPI 为()

- A. 0.4
- B. 2.5
- C. 4
- D. 25

12. 假定执行指令 A 需要 20 个时钟周期，该指令在程序中的出现频度为 20%，其他所有指令的平均 CPI 为 5，则 CPU 执行指令 A 所用时间占整个 CPU 时间的百分比是多少？（）。

- A. 20%
- B. 50%
- C. 80%
- D. 25%

14. 计算机的字长是指()

- A. 32 位长的数据
- B. CPU 数据总线的宽度
- C. 计算机内部一次可以处理的二进制数据的位数
- D. CPU 地址总线的宽度

20. 下列选项中，能缩短程序执行时间的措施是().

I. 提高 CPU 时钟频率

II. 优化数据通路结构

III. 对程序进行编译优化

A. 仅 I 和 II

B. 仅 I 和 III

C. 仅 II 和 III

D. I、II 和 III

22. 假定基准程序 A 在某计算机上的运行时间为 100s,，其中 90s 为 CPU 时间，其余为 IO 时间. 若 CPU 速度提高 50%，I/O 速度不变，则运行基准程序 A 所耗费的时间是().

A. 55s

B. 60s

C. 65s

D. 70s

23. 某计算机主频为 1.2GHz，其指令分为 4 类，它们在基准程序中所占比例及 CPI 如下表所示.该机的 MIPS 数是().

指令类型	所占比例	CPI
A	50%	2
B	20%	3
C	10%	4
D	20%	5

- A. 100
- B. 200
- C. 400
- D. 600

24. 程序 P 在机器 M 上的执行时间是 20 秒，编译优化后，P 执行的指令数减少到原来的 70%，而 CPI 增加到原来的 1.2 倍，则 P 在 M 上的执行时间是().

- A. 8.4s
- B. 11.7s
- C. 14s
- D. 16.8s

25. 假定计算机 M1 和 M2 具有相同的指令集体系结构(ISA)，主频分别为 1.5GHz 和 1.2GHz. 在 M1 和 M2 上运行某基准程序 P，若平均 CPI 分别为 2 和 1, 则程序 P 在 M1 和 M2 上运行时间的比值是().

- A. 0.4
- B. 0.625
- C. 1.6
- D. 2.5

26. 下列给出的部件中，其位数(宽度)一定与机器：字长相同的是

I.ALU

II.指令寄存器

III.通用寄存器

IV.浮点寄存器

A. 仅 I、 II

B. 仅 I、 III

C. 仅 II、 III

D. 仅 II、 IV

27. 2017 年公布的全球超级计算机 TOP500 排名中，我国“神威·太湖之光”超级计算机蝉联第一，其浮点运算速度为 93.0146 PFLOPS，说明该计算机每秒钟内完成的浮点操作次数约为()。

- A. 9.3×10^{13} 次
- B. 9.3×10^{15}
- C. 9.3 千万亿次
- D. 9.3 亿亿次

6. 下列有关补码的描述中，正确的是().

I.在计算机中用来表示无符号数 II.零的表示形式唯一
III.符号位和数值位一起参与运算 IV.实现了加减法的统一
V.机器数的大小可以直观反映真值的大小

- A. 仅 I、 III、 V
- B. 仅 I、 II、 III
- C. 仅 II、 III、 IV
- D. 仅 I、 II 和 V

9. 数 X 在计算机中的机器数为 1000 1000，若 $X=-01111000B$ ，则 X 的编码方式为().

- A. 原码
- B. 补码
- C. 反码
- D. 移码

13. 使用十六进制会给数的表示和运算带来方便. 类比十进制加减法, 利用十六进制完成以下算术题.(提示: 加减法规则不变, 只需将基数改成 16 即可)

(1) $503CH + 40H = ()H$

(2) $503CH + 10000111B = ()H$

(3) $503CH - 128 = ()H$

(4) $602DH - 503CH = ()H$

16. 【2018】 冯·诺依曼计算机中的数据采用二进制编码表示，其主要原因是().

I.二进制的运算规则简单

II.制造两个稳态的物理器件较容易

III.便于用逻辑门电路实现算术运算

A. 仅 I、 II

B. 仅 I、 III

C. 仅 II、 III

D. I、 II 和 III

2. 若定点整数有 64 位，含 1 位符号位，补码表示，则所能表示的绝对值最大的负数是().

A. -2^{64}

B. -2^{63}

C. $-(2^{64}-1)$

D. $-(2^{63} - 1)$

4. 假设一个 16 位的寄存器，用于存放补码表示的定点整数，则它能存放的整数范围是().

A. $-65535 \sim +65536$

B. $-65536 \sim +65535$

C. $-32768 \sim +32767$

D. $-32767 \sim +32768$

6. 整数 x 的机器数为 C007H, 下列说法中错误的是().

- A. 逻辑左移一位的机器数为 800EH
- B. 逻辑右移一位的机器数为 6003H
- C. 算术左移一位的机器数为 8003H
- D. 算术右移一位的机器数位 E003H

8. 设机器字长为 8 位， $[x]_{\text{补}}=10101100$ ， $[y]_{\text{补}}=01000110$ ， $[x]_{\text{补}}-[y]_{\text{补}}$ 的运算结果是()。

- A. 10100110
- B. 01000110
- C. 负溢出、出错
- D. 正溢出、出错

9. 两个有符号整数 A、B 用 8 位补码表示. 已知 $A=92$, $B=-51$, 则 $A - B$ 的机器数和溢出标志 OF 分别为().

A. 29H、0

B. 29H、1

C. 8FH、0

D. 8FH、1

10. 某计算机字长为 8 位，带符号整数 A 和 B 用补码表示. 已知 $[A]_{\text{补}} = \text{B4H}$ 、 $[B]_{\text{补}} = \text{2EH}$ ，则 $4A+B/2$ 的机器数为().

- A. E7H
- B. BAH
- C. 7FH
- D. DBH

11. 在某 8 位计算机中，两个带符号整数变量 x 、 y 的机器数分别为 34H、2DH，则 $x-2y$ 的机器数以及溢出标志 OF 分别是()。

- A. 8EH、0
- B. 8EH、1
- C. DAH、0
- D. DAH、1

12. 在某 8 位计算机中，两个带符号整数变量 x 、 y 的机器数分别为 34H、CDH，则 $x/2+2y$ 的机器数以及溢出标志 OF 分别是().

A. B4H、0

B. B4H、1

C. A4H、0

D. A4H、1

13. 在某 8 位计算机中，两个带符号整数变量 r_1 、 r_2 的机器数分别为 F4H、E4H，则下列运算中会发生溢出的是()。

A. $r_1 + r_2$

B. $r_1 - r_2$

C. $r_1 \times r_2$

D. r_1 / r_2

14. 在补码定点加法运算中，若采用一位符号位，则当()时，表示结果溢出.

- A. 符号位产生进位
- B. 符号位进位和最高数位进位异或结果为 0
- C. 符号位为 1
- D. 符号位进位和最高数位进位异或结果为 1

15. 运算器中判断补码加减法运算结果是否溢出时，可采用判断进位的方式，在符号位的进位为 C_0 ，最高数值位进位为 C_1 时，结果溢出的判定方法是()。

- A. C_0 产生进位
- B. C_1 产生进位
- C. C_0C_1 都同时产生进位
- D. C_0C_1 中仅有一个产生进位

18. 一个 8 位的二进制整数由 2 个“0”和 6 个“1”组成，采用补码或者移码表示，则下列说法中正确的是().

- A. 若采用移码表示，偏置值为 127，则此整数最小为-64
- B. 若采用移码表示，偏置值为 128，则此整数最大为 123
- C. 若采用补码表示，则此整数最小为-96
- D. 若采用补码表示，则此整数最大为 252

19. 设 $[X]_{\text{补}} = 1x_1x_2x_3x_4x_5x_6$, x_i 取 0 或 1, 若要 $x > -32$, 应该满足条件().

- A. x_1 为 0, 其他各位任意
- B. x_1 为 1, $x_2x_3x_4x_5x_6$ 中至少有一个为 1
- C. x_1 为 1, 其他各位任意
- D. x_1 为 0, $x_2x_3x_4x_5x_6$ 中至少有一个为 1

23. 【2010】 假定有 4 个整数用 8 位补码分别表示： $r_1 = \text{FEH}$ 、 $r_2 = \text{F2H}$ 、 $r_3 = \text{90H}$ 、 $r_4 = \text{F8H}$ ，若将运算结果存放在一个 8 位寄存器中，则下列运算发生溢出的是（ ）。

A. $r_1 \times r_2$

B. $r_2 \times r_3$

C. $r_1 \times r_4$

D. $r_2 \times r_4$

24. 【2013】 某字长为 8 位的计算机中，已知整型变量 x 、 y 的机器数分别为 $[x]_{\text{补}}=111110100$ ， $[y]_{\text{补}}=10110000$ 。若整型变量 $z=2x+y/2$ ，则 z 的机器数为()。

A. 110000000

B. 00100100

C. 10101010

D. 溢出

25. 【2014】 若 $x=103$ ， $y=-25$ ，则下列表达来用 8 位定点补码运算时，会发生溢出的是().

A. $x+y$

B. $-x+y$

C. $x-y$

D. $-x-y$

26. 【2015】 由 3 个“1”和 5 个“0”组成的 8 位二进制补码，能表示的最小整数是 ().

A. -126

B. -125

C. -32

D. -3

27. 【2018】 假定有符号整数采用补码表示，若 `int` 型变量 `x` 和 `y` 的机器数分别是 `FFFFFFFDH` `100000041H`，则 `x`、`y` 的值及 `x-y` 的机器数分别是().

- A. `x=-65`，`y=41`，`x-y` 的机器数溢出
- B. `x=-33`，`y=65`，`x-y` 的机器数为 `FFFF F9DH`
- C. `x=-33`，`y=65`，`x-y` 的机器数为 `FFFF FF9EH`
- D. `x=-65`，`y=41`，`x-y` 的机器数为 `FFFF FF96H`

28. 【2018】 整数 x 的机器数为 1100，分别对 x 进行逻辑右移 1 位和算术右移 1 位操作，得到的机器数各是()。

- A. 1110 1100、 1110 1100
- B. 0110 1100、 1110 1100
- C. 1110 1100、 0110 1100
- D. 0110 1100、 0110 1100

29. 【2021】 已知带符号整数用补码表示，变量 x ， y ， z 的机器数分别为 FFFDH，FFDFH，7FFCH，下列结论中，正确的是().

- A. 若 x ， y 和 z 为无符号整数，则 $z < x < y$
- B. 若 x ， y 和 z 为无符号整数，则 $x < y < z$
- C. 若 x ， y 和 z 为带符号整数，则 $x < y < z$
- D. 若 x ， y 和 z 为带符号整数，则 $y < x < z$

1. 十进制数-9 用 IEEE754 单精度浮点数表示为().

A. 20000104H

B. 82200001H

C. 90000082H

D. C1100000H

2. 已知 IEEE754 单精度浮点数的十六进制值为 42E48000，则它的十进制为().

A. 114.25

B. 57.125

C. 50.25

D. 28.5625

3. 用 IEE754 格式表示的一个字为 1 01111101 001000000000000000000000，这个字的十进制表示为().

- A. 0.03125
- B. -0.03125
- C. 0.28125
- D. -0.28125

6. 已知 float 型变量采用 IEEE 754 单精度浮点标准表示.若 x 、 y 为 float 类型,且 $x=-126$, $y=15.75$, 则执行赋值语句 $z=x+y$ 时, 在浮点运算部件中进行对阶操作后的结果是().

- A. x 不变, y 为 0 1000 0101, 0.0011 1111 0...0
- B. x 不变, y 为 0 1000 0110, 0.0011 1111 0...0
- C. y 不变, x 为 1 1000 0101, 0.0011 1111 0...0
- D. y 不变, x 为 1 1000 0110, 0.0111 1111 0...0

10. 对于 IEEE754 单精度浮点数加减运算，若运算结果直接取阶大的数，则两操作数的阶码之差大于等于().

- A. 24
- B. 25
- C. 126
- D. 128

11. 十六进制表示的 IEEE754 标准 32 位单精度浮点数的规格化最大负数的机器数为().

A. 80C00000H

B. 80800000H

C. 80000000H

D. 80000001H

13. 在 IEEE754 标准中，非规格化浮点数表示为().

- A. 阶码为 0，尾数为任意非 0 二进制数
- B. 阶码为 255，尾数为全 0
- C. 阶码为 255，尾数为任意非 0 二进制数
- D. 阶码为 0，尾数为全 0

14. 在规格化的浮点数中，将阶码部分的 n 位移码表示改为 n 位补码表示，其他不变，已知原来移码的偏置值为 2^n ，则数的表示范围().

- A. 增大
- B. 减小
- C. 不变
- D. 都不对

15. 某浮点数格式如下：7 位阶码(包含一个符号位)，9 位尾数(包含一个符号位).若阶码用移码表示、尾数用补码表示，则规格化浮点数所能表示数的为范围是().

A. $-2^{63} \sim (1-2^{-8}) \times 2^{63}$

B. $-2^{64} \sim (1-2^{-7}) \times 2^{64}$

C. $-(1-2^{-8}) \times 2^{63} \sim (1-2^{-8}) \times 2^{63}$

D. $-(1-2^{-7}) \times 2^{64} \sim (1-2^{-8}) \times 2^{63}$

16. IEEE754 标准规定的 64 位浮点数格式中，符号位为 1 位，阶码为 11 位，尾数为 52 位，则它所能表示的最小规格化负数为().

A. $-(2+2^{-52}) \times 2^{-1023}$

B. $-(2-2^{-52}) \times 2^{1023}$

C. -1×2^{-1024}

D. $-(1-2^{-52}) \times 2^{2047}$

18. 字长相同但格式不同的两种浮点数，假设前者阶码长，尾数短，后者阶码短、尾数长，其他规定均相同，则它们可以表示的数的范围和精度为().

- A. 两者可表示的数的范围和精度相同
- B. 前者可表示的数的范围大但精度低
- C. 后者可表示的数的范围大且精度高
- D. 前者可表示的数的范围大且精度高

23. 【2009】 浮点数加、减运算过程一般包括对阶、尾数运算、规格化、舍入和判断溢出等步骤.设浮点数的阶码和尾数均采用补码表示,且位数分别为 5 和 7(均含 2 位符号位).若有两个数 $X=2^7 \times 29/32$ 和 $Y=2^5 \times 5/8$, 则用浮点加法计算 $X+Y$ 的最终结果是().

A. 00111 1100010

B. 00111 0100010

C. 01000 0010001

D. 发生溢出

24. 【2011】 float 型数据通常用 IEEE754 单精度格式表示.若编译器将 float 型变量 x 分配在一个 32 位浮点寄存器 FRI 中, 且 $x=-8.25$.则 FRI 的内容是().

A. C104 0000H

B. C242 0000H

C. C184 0000H

D. C1C2 0000H

25. 【2012】 float 类型(即 IEEE754 单精度浮点数格式)能表示的最大正整数是().

A. $2^{126}-2^{104}$

B. $2^{127}-2^{104}$

C. $2^{127}-2^{103}$

D. $2^{128}-2^{104}$

26. 【2013】 某数采用 IEEE 754 单精度浮点数格式表示为 C64000000000000JH, 则该数的值是().

A. -1.5×2^{13}

D. -0.5×2^{12}

B. -1.5×2^{12}

C. -0.5×2^{13}

27. 【2014】 float 型数据常用 IEE 754 单精度浮点格式表示.假设两个 float 型变量 x 和 y 分别存放在 32 位寄存器 f1 和 f2 中,若 $(f1)=CC90\ 0000H$, $(f2)=B0C0\ 0000H$, 则 x 和 y 之间的关系为 ().

- A. $x < y$ 且符号相同
- B. $x < y$ 且符号不同
- C. $x > y$ 且符号相同
- D. $x > y$ 且符号不同

28. 【2015】 下列有关浮点数加减运算的叙述中正确的是().

I.对阶操作不会引起阶码上溢或下溢

II.右规和尾数舍入都可能引起阶码上溢

III.左规时可能引起阶码下溢

IV.尾数溢出时结果不一定溢出

A. 仅 II、 III

B. 仅 I、 II、 IV

C. 仅 I、 III、 IV

D. I、 II、 III、 IV

29. 【2018】 IEEE754 单精度浮点格式表示的数中，最小的规格化正数是().

A. 1.0×2^{-126}

B. 1.0×2^{-127}

C. 1.0×2^{-128}

D. 1.0×2^{-149}

30. 【2020】 已知带符号整数用补码表示，float 型数据用 IEEE754 标准表示，假定变量 x 的类型只可能是 int 或 float，当 x 的机器数为 C800000000H 时， x 的值可能是()。

A. -7×2^{27}

B. -2^{16}

C. 2^{17}

D. 25×2^{27}

31. 【2021】 下列数值中，不能用 IEE 754 浮点格式精确表示乐的是().

- A. 1.2
- B. 1.25
- C. 2.0
- D. 2.5

3. 假定编译器规定 `int` 和 `short` 类型的长度为 32 位和 16 位，执行下列 C 语言语句后，`x` 和 `y` 对应的机器数为()

```
unsigned short x = 32768;  
unsigned int y = x;
```

- A. 8000H, FFFF8000H
- B. 7FFFH, 00007FFFH
- C. 7FFFH, FFFF7FFFH
- D. 8000H, 00008000H

4. 有如下 C 语言程序段：

```
unsigned char x = 254;  
unsigned short usi = x;
```

执行上述程序后，`usi` 的机器数是().

- A. 007EH
- B. 00FEH
- C. FF7EH
- D. FFFFEH

8. 有如下 C 语言程序段：

```
unsigned short x = 0xFFF8001;  
unsigned int  usi = x;
```

执行上述程序后，x 和 usi 的机器数分别是().

- A. 8001H, 00008001H
- B. 8001H, FFFF8001H
- C. FFFFH, 0000FFFFH
- D. FFFFH, FFFFFFFFH

9. C 语言 `int`、`short` 数据类型分别占用 4 字节和 2 字节，其程序在一台 32 位处理机上运行，程序中定义了三个变量 `a`、`b` 和 `y`，其中 `a` 是 `int` 型，`y` 和 `b` 为 `short` 型.当 `a=65537`，`b=-11` 时，执行语句 `y=a+b` 后，`y` 的值为().

A. 65526

B. 31062

C. -10

D. -32756

11. 在 32 位机器上，某 C 语言程序中声明并初始化变量 `s` 的语句为“`unsignedshorts=-5;`“，若编译器将变量 `s` 分配到一个 32 位寄存器 `R` 中，则 `R` 的内容为().

- A. `0x00000005`
- B. `0xFFFF0005`
- C. `0x0000FFFB`
- D. `0xFFFFFFFFB`

12. 一个 C 语言程序在 32 位机上运行，程序中定义了三个变量 `a`、`b`、`c`，其中 `a` 为 `int` 型，`b` 和 `c` 为 `short` 型。当 `a=32785`，`b=17` 时，执行赋值语句 `c=a+b` 后，`c` 的值为()。

A. -32768

B. 0

C. 32767

D. 32768

13. 下列关于 C 语言强制类型转换的说法中，正确的有().

I. 从 `int` 转换成 `float` 时，数据不会溢出，可能会舍入

II. 从 `float` 转换为 `int` 时，数据不会溢出，不会舍入

III. 从 `float` 转换成 `double` 时，数据不会溢出，会舍入

IV. 从 `double` 转换成 `float` 时，数据可能会溢出，不会舍入

A. 仅 I

B. 仅 I、IV

C. 仅 I、III

D. 仅 II、III

14. 在某 C 程序中，先将 `int` 型变量 `i` 初始化为 -1056，然后对 `i` 进行算术右移 8 位操作。程序执行时 `i` 的值被保存在 16 位寄存器中，则移位操作结束后 `R` 中的内容是()。

A. 00FBH

B. FFFBH

C. 1F7CH

D. FF7CH

15. 一个 C 语言程序在 32 位机上运行，程序中定义了三个变量 a、b、c，其中 a 为 short 型，b 为 int 型，c 为 unsigned int 型。当 a=-64，b=32 时，执行赋值语句 c=a+b 后，a、b、c 的机器数分别()。

- A. a=FF40H, b=00000020H, c=0000FFA0H
- B. a=FF40H, b=00000020H, c=FFFFFFA0H
- C. a=FFC0H, b=00000020H, c=0000FFE0H
- D. a=FFC0H, b=00000020H, c=FFFFFFE0H

16. 假定变量 `i`、`f` 和 `d` 的数据类型分别为 `int`、`float`、`double`. 已知 `i=16777217` ($2^{24}+1$), `f=2.34567e4`, `d=3.14e150`, 则下列结果为真的是().

- A. `i==(int)(float)i`
- B. `f==(float)(int)f`
- C. `f==(float)(double)f`
- D. `(d+f)-d==f`

17. 变量 `i`、`f`、`d` 的数据类型分别是 `int`、`float`、`double` 类型.已知 `i=1`、`f=0.8`、`d=0.2`，则结果为“假”的是().

- A. `i==(int)(float)i`
- B. `i==(int)(float)(double)i`
- C. `f==(float)(double)f`
- D. `d==(double)(float)d`

18. 假定变量 `i`、`f` 的数据类型分别是 `int`、`float`. 已知 `i=54321`，`f=5.4321e3`，则在一个 32 位机器中执行下列表达时，结果为“假”的是().

- A. `i==(int)(float)f`
- B. `f==(float)(int)i`
- C. `i==(int)(double)i`
- D. `f==(float)(double)f`

20. 【2009】 一个 C 语言程序在一台 32 位机器上运行.程序中定义了三个变量 x 、 y 、 z ，其中 x 和 z 为 `int` 型， y 为 `short` 型.当 $x=127$ 、 $y=-9$ 时，执行赋值语句 $z=x+y$ 后， x 、 y 之的值分别是().

- A. $x=00000007FH$ ， $y=FFF9H$ ， $z=00000076H$
- B. $x=00000007FH$ ， $y=FFF9H$ ， $z=FFFF0076H$
- C. $x=00000007FH$ ， $y=FFF7H$ ， $z=FFFF0076H$
- D. $x=00000007FH$ ， $y=FFF7H$ ， $z=00000076H$

21. 【2010】 假定变量 `i`、`f` 和 `d` 的数据类型分别为 `int`、`float` 和 `double`(`int` 用补码表示，`float` 和 `double` 分别用 IEEE754 单精度和双精度浮点数格式表示)，已知 `i=785`、`f=1.5678e3`、`d=1.5e100`，若在 32 位机器中执行下列关系表达式，则结果为“真”的是

I. `i=(int)(float)i`

II. `f = (float)(int)f`

III. `f=(float)(double)f`

IV. `f=(d+f)-d`

A. 仅 I 和 II

B. 仅 I 和 III

C. 仅 II 和 III

D. III 和 IV

22. 【2012】 假定编译器规定 `int` 和 `short` 类型长度分别为 32 位和 16 位，执行下列 C 语言语句：

```
unsigned short x = 65530;  
unsigned int y = x;
```

得到 `y` 的机器数为().

- A. 0000 7FFAH
- B. 0000 FFFAH
- C. FFFF 7FFAH
- D. FFFF FFFAH

23. 【2016】 有如下 C 语言程序段：

```
short si = -32767;  
unsigned short usi = si;
```

执行上述两条语句后，usi 的值为()。

- A. -32767
- B. 32767
- C. 32768
- D. 32769

24. 【2019】 考虑以下 C 语言代码，执行程序段后，`si` 的值是().

```
unsigned short usi = 65535;  
short si = usi;
```

- A. -1
- B. -32767
- C. -32768
- D. -65535

1. 运算器由多个部件组成，核心部件是().

- A. 累加寄存器
- B. ALU
- C. 数据总线
- D. Cache

2. 算术逻辑部件 ALU 的核心部件是().

- A. 多路选择器
- B. 加法器
- C. 寄存器
- D. 移位器

3. 数值数据和逻辑数据在形式上没有任何差别，计算机区别数值数据和逻辑数据的主要方法是

- A. 将数值数据和逻辑数据分开存放在不同的寄存器中
- B. 在数据中用专门的标识位指出是数值数据还是逻辑数据
- C. 用不同的指令操作码来区分本指令处理的是哪种数据
- D. 用不同的时间段来区分当时处理的是哪种数据

5. 有关计算机中的数据运算，以下概念正确的是().

I. 定点和浮点运算的结果都可能发生溢出

II. 只有定点运算的结果才可能溢出，浮点运算的结果不可能溢出

III. 在进行补码加法时，只有同号数据的运算才可能出现溢出

IV. 采用双符号位补码的定点加减运算不会发生溢出

V. 在进行补码乘法时，被乘数和乘数的符号均参与运算

VI. 在进行浮点除法运算时，需要判断被除数的尾数是否大于除数的尾数

A. I、III、IV、V

B. I、III、V、VI

C. II、III、IV、V

D. III、IV、V、VI

9. 某 CPU 中，若进位/借位标志位 CF、零标志位 ZF、符号标志位 SF(0 表示正)、溢出标志为 OF，A、B 为无符号整数，则判定 A 小于等于 B 的条件是()。

A. $SF=1$

B. $SF+ZF=1$

C. $CF=1$

D. $CF+ZF=1$

10. 加法器的输入包括两端操作数的输入和低位进位输入 $CCin$. 已知无符号数 $A=74$ 、 $B=21$. 如果在 8 位加法器中计算 $A-B$, 那么加法器的两端输入和低位进位输入分别是().

- A. 01001010、00010101、0
- B. 01001010、00010101、1
- C. 01001010、11101010、1
- D. 01001010、11101011、0

11. 已知有符号数 $A=74$ 、 $B=-21$.如果在 8 位加法器中计十算 $A+B$, 那么加法器的两端输入和低位进位输入分别是().

A. 01001010、00010101、0

B. 01001010、00010101、1

C. 01001010、11101010、1

D. 01001010、11101011、0

12. 已知带符号整数 A、B 用补码表示， $[A]_{\text{补}} = \text{BCH}$ 、 $[B]_{\text{补}} = 71\text{H}$ 如果在 8 位加法器中计算 A-B，那么加法器的低位进位输入 Cin 以及运算后溢出标志 OF、最高位进位 Cout、最高数值位进位分别是()。

- A. 0、0、0、1
- B. 0、1、0、0
- C. 1、0、1、1
- D. 1、1、1、0

13. 已知无符号整数 A、B 的机器数分别是 BCH、71H.如是果在 8 位加法器中计算 $A-B$ ，那么加法器的低位进位输入 C_{in} 以及运算后进/借位标志 CF、最高位进位 C_{out} 分别是().

A. 1、0、1

B. 0、1、1

C. 1、1、1

D. 0、0、0

14. 采用 Booth 一位乘算法实现 $X \cdot Y$ ，则当乘数 Y 的最后两两位为 10 时，算法当前对部分积的操作为()。

- A, 右移 1 位
- B. $+ [X]_{\text{补}}$, 右移 1 位
- C. $+ [-X]_{\text{补}}$, 右移 1 位
- D. $+ [-X]_{\text{补}}$ 、左移 1 位

18. 【2011】装机器有一个标志寄存器，其中有进位/借位标志 CF、零标志 ZF、符号标志 SF 和溢出标志 OF，条件转移指令 bgt(无符号整数比较大小时转移)的转移条件是()。

A. $CF + OF = 1$

B. $\overline{SF} + ZF = 1$

C. $\overline{CF} + \overline{ZF} = 1$

D. $\overline{CF} + \overline{SF} = 1$

19. 【2018】 减法指令“subR1, R2, R3”的功能为“(R1)-(R2)-R3”，该指令执行后将生成进位/借位标志 CF 和溢出标志 OF.若 (R1)=FFFFFFFFFFFFFFFFFFFFFFFFFFFFFFFFOH，则该减法指令执行后，CF 与 OF 分别为().

- A. CF=0, OF=0
- B. CF=1, OF=0
- C. CF=0, OF=1
- D. CF=1, OF=1

5. 相联存储器是按()进行寻址的存储器.

- A. 地址指定方式
- B. 堆栈指定方式
- C. 内容指定方式和堆栈存储方式相结合
- D. 内容指定方式和地址指定方式相结合

8. 某计算机字长 16 位，它的存储容量是 128KB，若按字编址，那么它的寻址范围是().

- A. 64K
- B. 32K
- C. 64KB
- D. 32KB

1. 对于下列代码，以下哪种改变使其具有更好的局部性().

```
int i, j, k, sum = 0;
for(i = 0; i < N; i++)
    for(j = 0; j < N; j++)
        for(k = 0; k < N; k++)
            sum += a[k][j][i];
```

- A. 将第 2 行与第 3 行互换
- B. 将第 2 行与第 4 行互换
- C. 将第 5 行改为: `sum+=a[i][k][j];`
- D. 将第 5 行改为: `sum+=a[j][i][k]`

2. 关于这段代码中体现出的时间局部性和空间局部性.以下说法中正确的是().

```
int get_sum(int arr[N]) {  
    int i;  
    int sum = 0;  
    for(i = 0; i < N; i++)  
        sum += arr[i];  
    return sum;  
}
```

- A. `i` 和 `sum` 仅体现出时间局部性, `arr` 仅体现出空间局部性
- B. 对于变量 `i` 和 `sum` 的访问体现出了较好的空间局部性
- C. 对于变量 `i`、`sum` 的访问体现出了较好的时间局部性, `arr` 的访问体现出了较好的时间和空间局部性
- D. 对于变量 `i`、`sum` 和 `arr` 的访问体现出了较好的空间局部性

3. 以下哪种存储器与 CPU 没有直接数据通路().

- A. 内存
- B. Cache
- C. 硬盘
- D. 寄存器

5. CPU 可直接由地址访问的存储器是().

- A. 虚拟存储器
- B. 磁盘存储器
- C. 磁带存储器
- D. 主存储器

7. 【2017】 某 C 语言程序段如下，下列关于数组 a 的访问，局部性的描述中，正确的是().

```
for (i = 0; i <= 9; i++) {  
    temp = 1;  
    for( j = 0; j <= i; j++)  
        temp *= a[j];  
    sum += temp;  
}
```

- A. 时间局部性和空间局部性皆有
- B. 无时间局部性，有空间局部性
- C. 有时间局部性，无空间局部性
- D. 时间局部性和空间局部性皆无

2. 某 $1024\text{K} \times 32$ 位的存储器由若干片 $128\text{K} \times 16$ 位的 SRAM 芯片构成，每次读写 4 字节数据。若存储器按字节编址，则该存储器的地址线 and 数据线分别有()条。

A. 20, 8

B. 22, 8

C. 20, 32

D. 22, 32

3. 关于 SRAM 和 DRAM 的特点，以下选项不正确的是().

I.SRAM 不需要刷新，而 DRAM 需要刷新，因此 DRAM 的功耗更高

II.DRAM 比 SRAM 集成度更高，因此读写速度也更快

III.SRAM 是易失性存储器，而 DRAM 是非易失性存储器

IV.Cache 由 SRAM 构成，主存由 DRAM 构成

A. II III 和 IV

B. I、III 和 IV

C. I、II 和 III

D. I、II、III 和 IV

4. DRAM 具有破坏性读出的特性，需要定时刷新，因此被看作为动态随机存储器.以下选项中不正确的的是().

- A. 刷新是以行为单位的
- B. 刷新是为了给 DRAM 存储单元中的存储电容重新充电
- C. 刷新是通过对存储单元进行“读但不输出数据”，即“假读”的操作来实现的
- D. DRAM 内部设有专门的刷新电路，不会影响到 CPU 的正常访存

5. 对于某存储芯片，假定动态刷新闻隔为 2ms ，读写周期和刷新周期均为 $0.2\mu\text{s}$ ，该芯片中包含 128 行，每个刷新周期可以完成 1 行存储单元的刷新，如果该芯片采用异步刷新方式工作，那么其读写周期和刷新周期可以安排为 ().

- A. 3999 次读写周期后，安排一次刷新操作
- B. 2000 次读写周期后，安排一次刷新操作
- C. 128 次读写周期后，安排一次刷新操作
- D. 64 次读写周期后，安排一次刷新操作

6. 关于 RAM 和 ROM 芯片，以下选项不正确的是().

- A. ROM 和 RAM 都采用随机访问方式进行读写
- B. RAM 是可读可写存储器，ROM 是只读存储器
- C. 系统的主存由 RAM 和 ROM 组成
- D. 系统的主存都用 DRAM 芯片实现

10. 下列关于存储器的叙述正确的是

I.动态存储器是利用电容电荷来存储信息的，需要周期性逐个刷新每一个存储单元

II.FLASH 具有不易失特性，所以它是 ROM 且无法更新存储单元

III.DRAM 是动态存储器，采用随机存取方式，存取地址需分两次送入

A. I

B. I、 II

C. II、 III

D. III

11. SRAM 芯片的引脚类型有电源线、接地端、地址线、数据线、片选线和读写控制线.求除去电源和接地端外,一个容量为 $16K \times 8$ 位的 SRAM 芯片的引脚数量最少为()条.

- A. 22
- B. 23
- C. 24
- D. 25

12. 存储容量为 $16K \times 4$ 位的 DRAM 芯片，其地址引脚和数据引脚数各是

- A. 7, 1
- B. 7, 4
- C. 14, 1
- D. 14, 4

14. 【2010】 下列有关 RAM 和 ROM 的叙述中，正确的是().

I.RAM 是易失性存储器，ROM 是非易失性存储器

II.RAM 和 ROM 都采用随机存取方式进行信息访问

III.RAM 和 ROM 都可用作 Cache

IV.RAM 和 ROM 都需要进行刷新

A. 仅 I 和 II

B. 仅 II 和 III

C. 仅 I、II 和 IV

D. 仅 II、III 和 IV

15. 【2011】 下列各类存储器中，不采用随机存取方式的是().

- A. EPROM
- B. CD-ROM
- C. DRAM
- D. SRAM

16. 【2012】 下列关于闪存(FlashMemory)的叙述中, 错误的是().

- A. 信息可读可写, 并且读、写速度一样快
- B. 存储元由 MOS 管组成, 是一种半导体存储器
- C. 掉电后信息不丢失, 是一种非易失性存储器
- D. 采用随机访问方式, 可替代计算机外部存储器

17. 【2014】 某容量为 256MB 的存储器由若干 $4\text{M} \times 8$ 位的 DRAM 芯片构成，该 DRAM 芯片的地址引脚和数据引脚总数是().

- A. 19
- B. 22
- C. 30
- D. 36

18. 【2015】 下列存储器中，在工作期间需要周期性刷新的是().

- A. SRAM
- B. SDRAM
- C. ROM
- D. FLASH

19. 【2018】 假定 DRAM 芯片中存储阵列的行数为 r 、列差数为 c ，对于一个 $2K \times 1$ 位的 DRAM 芯片， 为保证其地址引脚数最少，并尽量减少刷新开销，则 r 、 c 的取值分别是().

A. 2048、 1

B. 64、 32

C. 32、 64

D. 1、 2048

1. 某计算机的主存容量大小为 128KB.

(1)若按字节编址，则 MAR 和 MDR 的位数分别是().

(2)若按字编址，1 字=2 字节，则 MAR 和 MDR 的位数分别是().

A. 17, 8, 16, 16

B. 16, 16, 16, 16

C. 16, 8, 17, 8

D. 17, 16, 16, 8

2. 已知计算机主存由 RAM 和 ROM 共同构成，两者统一编与上.某计算机的物理地址为 20 位，按字节编址，ROM 区的地址为 00000H~0BFFFFH，其余空间均使用 8Kx8 位的 RAM 芯片填充，则需要()个这样的 RAM 芯片.

- A. 61
- B. 62
- C. 122
- D. 123

3. 假设某 CPU 上的地址引脚数为 24，数据引脚数为 332.若用 $256\text{K} \times 16$ 位的 RAM 芯片组成该机的主存储器，则最多需要()片这样的存储芯片.

- A. 64
- B. 128
- C. 256
- D. 512

4. 若内存地址 A000H~B7FFH 的区间用 6 块 RAM 构成，已知存储字长为 16 位且按字编址，则可以使用的 RAM 芯片规格为()。

- A. 512x32 位
- B. 2048x16 位
- C. 2048x8 位
- D. 512x16 位

5. 假设某 $32\text{K} \times 32$ 位的存储器由若干 $4\text{K} \times 8$ 位的芯片组成，以地址总线的高位作为片选，则加在各存储芯片上的片选线是().

A. $A_{14} \sim A_0$

B. $A_{11} \sim A_0$

C. $A_{14} \sim A_{12}$

D. $A_{14} \sim A_{11}$

6. 假设一个 $64\text{K} \times 8$ 位的存储器，由若干个 $8\text{K} \times 8$ 位的存储芯片组成.则地址 BA3DH 所在芯片的最小地址为().

A. A000H

B. B000H

C. 0000H

D. 000DH

7. 当片选信号为 110 的时候，存储器内的一个 8Kx8 位的存储芯片被选定，则该芯片在存储器中的首末地址为().

A. D000H, DFFFH

B. 0000H, 1FFFH

C. C000H, DFFFH

D. 0000H, FFFFH

8. 某容量为 128KB 的存储器由若干 8Kx8 位的芯片抗展而成，若其存储字长为 16 位且内存按字编址，则地址 BC2FH 所在芯片的首地址为().

A. 8000H

B. B000H

C. A000H

D. F000H

9. 一个容量为 128KB 的 SRAM 芯片按字长 32 位编址，其地址范围可从 0000H 到().

A. 3FFFH

B. 7FFFH

7FFFFH

D. 3FFFFH

13. 某低位交叉存储器有 4 个模块，存储周期为 200ns，存储字长为 16 位，按字编址，其每个体的容量是 64Kx16 位。若总线传输周期为 50ns，该存储器读取的平均速度为()。

- A. $2 \times 10^8 \text{bit/s}$
- B. $3.2 \times 10^8 \text{bit/s}$
- C. $2 \times 10^7 \text{bit/s}$
- D. $3.2 \times 10^7 \text{bit/s}$

14. 一个八体低位交叉存储器，每个存储体的容量为 $256\text{M} \times 64$ 个立，若每个体的存储周期为 80ns ，那么该存储器能提供的最大带宽是()。

A. 426.67MB/S

B. 800MB/S

C. 213.33MB/S

D. 400MB/S

15. 采用四体并行低住交叉存能器.没毒个体的存储客量为 $32\text{K} \times 16$ 位，存取周期为 400ms ，在下述说法中()是正确的.

- A. 在 $0.1\mu\text{s}$ 内，存储器可向 CPU 提供 64 位二进制信息
- B. 在 $0.1\mu\text{s}$ 内，每个体可向 CPU 提供 16 位二进制信息
- C. 在 $0.4\mu\text{s}$ 内，存储器可向 CPU 提供 64 位二进制信息
- D. 在 $0.4\mu\text{s}$ 内，每个体可向 CPU 提供 32 位二进制信息

22. 【2009】 某计算机主存容量为 64KB，其中 ROM 区为 4KIB，其余为 RAM 区，按字节编址.现要用 $2K \times 8$ 位的 ROM 芯片和 $4K \times 4$ 位的 RAM 芯片来设计该存储器，则需要上述规格的 ROM 芯片数和 RAM 芯片数分别是().

A. 1, 15

B. 2, 15

C. 1, 30

D. 2, 30

23. 【2010】 假定用若干 $2K \times 4$ 位的芯片组成一个 $8K \times 8$ 位的存储器，则地址 $0B1FH$ 所在芯片的最小地址是().

A. $0000H$

B. $0600H$

C. $0700H$

D. $0800H$

24. 【2011】 某计算机存储器按字节编址，主存地址空间大小为 64MB，现用 $4\text{M} \times 8$ 位的 RAM 芯片组成 32MB 的主存储器，则存储器地址寄存器 MAR 的位数至少是().

- A. 22 位
- B. 23 位
- C. 25 位
- D. 26 位

25. 【2015】 某计算机使用 4 体交叉编址存储器，假定存储器总线上出现的主存地址(十进制)序列为 8005，8006，8007，8008，8001，8002，8003，8004，8000，可能发生访存冲突的地址对是()。

A. 8004 和 8008

B. 8002 和 8007

C. 8001 和 8008

D. 8000 和 8004

26. 【2016】某存储器容量为 64KB，按字节编址，地址从 4000H~5FFFH 为 ROM 区，其余为 RAM 区。若采用 $8K \times 4$ 位的 SRAM 芯片进行设计，则需要该芯片的数量是()。

- A. 7
- B. 8
- C. 14
- D. 16

27. 【2017】 某计算机主存按字节编址，由 4 个 $64\text{M}\times 8$ 位的 DRAM 芯片采用交叉编址方式构成，并与宽度为 32 位的存储器总线相连，主存每次最多读写 32 位数据。若 double 型变量 x 的主存地址为 804 001AH，则读取 x 需要的存储周期是()。

- A. 1
- B. 2
- C. 3
- D. 4

28. 【2021】 某计算机的存储器总线中有 24 位地址线和 32 位数据线，按字编址，字长为 32 位.如果 00 0000H~3F FFFFH 为 RAM 区，那么需要 512Kx8 位的 RAM 芯片数为().

- A. 8
- B. 16
- C. 32
- D. 64

3. 已知硬盘的传输速率为 10MB/s ，磁盘转速为 9600RPM ，磁盘控制器延时 1.5ms ，平均寻道时间为 10.5ms ，则该硬盘写 2KB 数据的时间为()。

A. 13.825ms

B. 15.125ms

C. 15.325ms

D. 18.45ms

4. 假设装磁盘具有 16 个盘片和 8192 个柱面，每磁道有 512 个扇区，每个扇区有 512 字节，则该磁盘的总容量为().

A. 32MB

B. 32GB

C. 16MB

D. 16GB

5. 假设某磁盘的每磁道有 512 个扇区，每个扇区有 512 字节.已知该磁盘转速为 9600RPM，则其最大数据传输率为().

A. 2400MB/s

B. 9600KB/s

C. 40MB/s

D. 256KB/s

7. 假定某一磁盘的转速为 6000RPM(转/分), 平均寻道时间为 5ms, 平均数据传输率为 4MB/s, 不考虑排队时间.那么读一个 512B 扇区的平均时间大约为().

A. 5.125ms

B. 10.125ms

C. 15.125ms

D. 20.125ms

9. 下面关于 RAID(Redundant Array of Inexpensive Disks)的说法中错误的是().

- A. RAID0 没有容错能力，但其提高了磁盘的访问速度
- B. RAID1 实现了磁盘镜像，磁盘的利用率降低了一半
- C. RAID3 采用字节级别的奇偶校验实现容错，奇偶校验位交叉分布在阵列中的各个磁盘中
- D. RAID5 采用块级别的奇偶校验实现容错，奇偶校验位交叉分布在阵列中的各个磁盘中

15. 【2013】 某磁盘的转速为 10000 转/分，平均寻道时间是 6ms，磁盘传输速率是 20MB/s，磁盘控制器延迟为 0.2ms，读取一个 4KB 的扇区所需的平均时间约为为().

- A. 9ms
- B. 9.4ms
- C. 12ms
- D. 12.4ms

16. 【2013】 下列选项中，用于提高 RAID 可靠性的措施有().

I.磁盘镜像 II.条带化 III.奇偶校验 IV.增加 Cache 机制

A. 仅 I、 II

B. 仅 I、 III

C. 仅 I、 II、 IV

D. 仅 II、 III、 IV

17. 【2015】若磁盘转速为 7200 转/分，平均寻道时间为 8ms 每个磁道包含 1000 个扇区，则访问一个扇区的平均存取时间大约是().

- A. 8.1ms
- B. 12.2ms
- C. 16.3ms
- D. 20.5ms

18. 【2019】 下列关于磁盘存储器的叙述中，错误的是().

- A. 磁盘的格式化容量比非格式化容量小
- B. 扇区中包含数据、地址和校验等信息
- C. 磁盘存储器的最小读写单位为一个字节
- D. 磁盘存储器由磁盘控制器、磁盘驱动器和盘片组成

1. 下列对 Cache 的表述中，通常是正确的是().

I.指令 Cache 往比数据 Cache 具备更强的空间局部性

II.由于空间局部性，增加 Cache 块大小通常会导致更高的命中率

III.写回 Cache 的写操作少于写直达 Cache

A. III

B. I、 II

C. II、 III

D. I、 II 和 III

2. 下面关于计算机 Cache 的论述中，正确的是().

- A. Cache 位于主辅存之间，缓存辅存数据
- B. Cache 替换时的单位为字节
- C. 无论何时，Cache 中的信息一定与主存中的信息一致
- D. Cache 的命中率必须很高，一般要达到 90% 以上

4. 设 CPU 发送指令和数据地址到存储器需 1 个时钟周期，存储器收到 CPU 信息到传出数据需 7 个时钟周期，总线上每传送 1 次数据需 1 个时钟周期.若 Cache 块大小为 32B，存取宽度和总线宽度都为 4B，则读一次 Cache 块至少要()个时钟周期.

A. 40

B. 64

C. 72

D. 160

5. Cache 采用全相联映射方式，共 16 行，能存放 8MB 的数据，主存容量为 128MB. Cache 的读写时间为 5ns，主存读写时间为 100ns，平均访问时间为 6ns，则 Cache 的命中率为().

- A. 99%
- B. 98%
- C. 97%
- D. 96%

6. 在 CPU 执行一段程序的过程中，共访存 1000 次，其中 Cache 命中 950 次. 设 Cache 存取周期为 10ns，主存存取周期为 120ns，则 Cache-主存系统的效率是 ().

- A. 62%
- B. 62.5%
- C. 90%
- D. 90.5%

7. 假设 Cache 的读写速度是主存的 10 倍，命中率为 90%，则何使用 Cache 能使存储器的读写速度提高()倍.

- A. 9
- B. 10
- C. 1.19
- D. 5

8. Cache 的存储时间是 50ns，主存的存储时间是 800ns，若平均访问时间不超过 70ns，则 Cache 的命中率至少为()。

- A. 99%
- B. 97.5%
- C. 95.5%
- D. 90%

10. 台计算机有两级 Cache，在访问中依次通过两级 Cache，某程序存在执行过程中访存 1000 次，其中访问第 1 级 Cache 时有 40 次不命中，接着再通过第 2 级 Cache，仍然有 10 次不命中，则总命中率是()。

- A. 99%
- B. 90%
- C. 96%
- D. 75%

11. 某计算机主存地址 32 位，按字节编址，采用二级 Cache，L1 为数据 Cache，L2 为指令 Cache 主存块大小 64B，Cache 与主存为直接映射方式，采用写回法和随机替换策略，每个 Cache 都有 64 行，两个 Cache 大小与映射方式均相同. 此二级 Cache 的容量至少有().

- A. 8512B
- B. 8544B
- C. 8512bit
- D. 8544bit

12. 某计算机主存地址 32 位，按字节编址，Cache 与主存为全相联 B 块射方式.主存块大小为 4B，采用写回法(Write Back)和随机替换策略，则能存放 64KB 数据的 Cache 的总容量至少有()位.

- A. 512K
- B. 1024K
- C. 2048K
- D. 64K

13. Cache 采用 8 路组相联映射方式，共有 64 块。若主存有 16K 块，按字节编址，主存块大小为 256B，则 Cache 标记的位数为()。

- A. 7
- B. 8
- C. 10
- D. 11

15. 若主存按字节编址，主存块大小为 32B，Cache 共有 64 行，主存和 Cache 间采用直接映射方式，编号都从 0 开始.则主存第 2123 号单元(十进制)对应的 Cache 行号是().

- A. 0
- B. 1
- C. 2
- D. 3

16. 某计算机 Cache 容量为 1KB，采用 4 路组相联映射方式，主存容量为 1MB，每个主存块大小为 32 字节，按字节编址。若 CPU 访问主存地址 819A7H 单元且 Cache 命中，则该单元位于 Cache 组号是()。

- A. 2
- B. 5
- C. 10
- D. 13

18. 一个八路组相联 Cache 共有 64 块，主存共有 8192 块，每块 64 个字节，那么主存地址的标记 x 、组号 y 和块内地址 z 分别是()。

A. $x=4$, $y=3$, $z=6$

B. $x=1$, $y=6$, $z=6$

C. $x=10$, $y=3$, $z=6$

D. $x=7$, $y=6$, $z=6$

19. 命中率高且电路实现简单的 Cache 与内存映射方式的是().

- A. 全相联映射
- B. 直接映射
- C. 组相联映射
- D. 哈希映射

20. 保持 Cache 块大小和数量不变的前提下，将 Cache 相联度提高一倍，可能会发生的是().

I.减少 Cache 访问时间

II.增加 Cache 块偏移量需要的位数

III.减少索引需要的位数

A. I

B. III

C. I、 II

D. II、 III

22. 假设有一个块数为 4 的 Cache，采取全相联映射.起初 Cache 中内容为空，接下来 CPU 连续访问了以下主存块(均为十进制)：1，2，3，4，5，4，2，3，5，1.当 Cache 采取 LRU 替换策略时，命中率为().

- A. 20%
- B. 30%
- C. 40%
- D. 50%

23. 在不同情况下，需要采用适合的 Cache 写策略.(1)主要运行访问密集型应用，其中包含写操作.(2)安全性要求很高，不允许有任何数据不一致的情况发生.这两种情况中，更适合的写策略分别是().

- A. 写回法，全写法
- B. 全写法，写回法
- C. 写回法，写回法
- D. 全写法，全写法

24. 关于 Cache 的全写法(写直达法)和写回法这两种写策略，以下说法正确的是

I.采用写回法时，只有在第一次写入 Cache 时需要写入主存

II.采用全写法时，写命中时则同时写 Cache 和辅存

III.采用写回法时，每块 Cache 都需要多加一位辅助位

A. 仅 I、 III

B. 仅 II

C. 仅 III

D. I、 II 和 III

25. 写直达法可以有效地保持主存和 Cache 一致性，但是写操作将花费大量的时间，这个问题的种解决方法是().

- A. 采用写回机制
- B. 采用写缓冲
- C. 采用 victim Cache
- D. 采用组相联映射

32. 【2009】 某计算机的 Cache 共有 16 块，采用 2 路组相联映射方式(即每组 2 块).每个主存块大小为 32B，按字节编址.主存 129 号单元所在主存块应装入到的 Cache 组号是().

A. 0

B. 1

C. 4

D. 6

33. 【2009】 假设某计算机的存储系统由 Cache 和主存组成，某程序执行过程中访存 1000 次，其中访问 Cache 缺失(未命中)50 次，则 Cache 的命中率是().

- A. 5%
- B. 9.5%
- C. 50%
- D. 95%

34. 【2012】 假设某计算机按字编址，Cache 有 4 个行，Cache 和主存之间交换的块大小为 1 个字。若 Cache 的内容初始为空，采用 2 路组相联映射方式和 LRU 替换策略。访问的主存地址依次为 0，4，8，2，0，6，8，6，4，8 时，命中 Cache 的次数是 C)。

- A. 1
- B. 2
- C. 3
- D. 4

35. 【2014】 采用指令 Cache 与数据 Cache 分离的主要目的是().

- A. 降低 Cache 的缺失损失
- B. 提高 Cache 的命中率
- C. 降低 CPU 平均访存时间
- D. 减少指令流水线资源冲突

36. 【2015】 假定主存地址为 32 位，按字节编址，主存和 Cache 之间采用直接映射方式，主存块大小为 4 个字，每字 32 位，采用回写(Write Back)方式，则分能存放 4K 字数据的 Cache 的总容量的位数至少是().

- A. 146K
- B. 147K
- C. 148K
- D. 158K

37. 【2016】 有如下 C 语言程序段，若数组 `a` 及变量 `k` 均为 `int` 型，`int` 型数据占 4B，数据 Cache 采用直接映射方式、数据区大小为 1KB、块大小为 16B，该程序段执行前 Cache 为空，则该程序段执行过程中访问数组 `a` 的 Cache 缺失率约为()。

```
for (k = 0; k < 1000; k++)  
    a[k] = a[k] + 32;
```

A. 1.25%

B. 2.5%

C. 12.5%

D. 25%

38. 【2021】若计算机主存地址为 32 位，按字节编址，Cache 数据区大小为 32KB，主存块大小为 32B，采用直接映射方式和回写(Write Back)策略，则 Cache 行的位数至少是()。

- A. 275
- B. 274
- C. 258
- D. 257

2. 下述有关 Cache 与虚拟存储器的说法中错误有().

I.一次访存时，页表不命中，则 Cache 一定也不命中

II.Cache 不命中的损失要大于页表不命中的损失

III.Cache 和 TLB 缺失后的处理都是由硬件完成

IV.虚拟存储器的容量可以大于主存和辅存的容量之和

A. I 和 IV

B. III 和 IV

C. II 和 IV

D. I、II 和 IV

3. 下列说法中，错误的是().

I. 虚拟存储器的容量不能超过虚拟地址的表示范围

II. 虚拟存储器加快了计算机的访存速度

III. 缺页处理发生在存储器的主存与辅存层次之间

IV. 虚拟地址的长度一般小于物理地址的长度

A. 仅 II

B. I 和 II

C. III 和 IV

D. II 和 IV

6. 某页式虚拟存储系统的虚拟地址为 32 位，按字节编址，一页的大小为 4KB，每个页表项为 64 位，则该页表的总容量为()。

- A. 4KB
- B. 8KB
- C. 4MB
- D. 8MB

7. 以下是有关 TLB 的叙述，其中错误的是().

- A. TLB 由 SRAM 构成
- B. TLB 存放的是当前进程的常用页表项
- C. TLB 命中时，Cache 也一定命中
- D. TLB 称为快表，页表称为慢表

8. 下列关于 Cache 与 TLB 的描述中，说法正确的是().

- A. TLB 存放的是主存信息的副本
- B. Cache 存放的是页表内容的副本
- C. 一次访存过程中，访问 Cache 的时间早于访问 TIB 的时间
- D. TLB 和 Cache 都加快了访存速度

10. 在主存地址空间大小为 16MB 的计算机中，虚拟地址空间大小为 256MB，采用页式存储管理，按字节编址。若页面大小为 64KB，TLB 采用全相联映射，其内容如下所示。则虚拟地址 0BACC63H 的页框号是()。

有效位	标记	页框号	...
0	25FH	20H	...
1	CADH	5FH	...
1	243H	06H	...
0	0BAH	1AH	...

- A. 1AH
- B. 06H
- C. TLB 缺失
- D. 缺页

11. 假定页表有一个控制位 C ，用来表示对应页面是否可在 Cache 缓存。 $C=1$ 表示可在 Cache 缓存， $C=0$ 表示不可在 Cache 缓存。以下关于虚实地址转换时对 C 进行相关处理的描述，其中错误的是()。

- A. 若装入位为 0，则无需考虑 C 的取值如何
- B. 若修改位为 1，则不管 C 原来的值如何都将其清 0
- C. 若 $C=0$ ，则根据转换后的地址直接访问主存而不访问 Cache
- D. 若 $C=1$ ，则根据转换后的地址先到 Cache 中进行访问

12. TLB, Page, Cache 这三项的缺失(Miss)、命中(Hit)组合中可以存在的为().

- A. TLB 命中, Page 缺失, Cache 缺失
- B. TLB 命中, Page 命中, Cache 缺失
- C. TLB 命中, Page 缺失, Cache 命中
- D. TLB 缺失, Page 缺失, Cache 命中

13. 以下虚拟存储器中，以页为单位与主存交换信息的是().

I. 页式虚拟存储器

II. 段式虚拟存储器

III. 段页式虚拟存储器

A. 仅 I

B. 仅 III

C. 仅 I, III

D. I, II, III

18. 【2010】 下列命中组合情况中，一次访存过程中不可能发生的是().

- A. TLB 未命中，Cache 未命中，Page 未命中
- B. TLB 未命中，Cache 命中，Page 命中
- C. TLB 命中，Cache 未命中，Page 命中
- D. TLB 命中，Cache 命中，Page 未命中

19. 【2013】某计算机主存地址空间大小为 256MB，按字节编址.虚拟地址空间大小为 4GB，采用页式存储管理，页面大小为 4KB，TLB(快表)采用全相联映射，有 4 个页表项，内容如下表所示.则对虚拟地址 03FFF180H 进行虚实地址变换的结果是).

有效位	标记	页框号	...
0	FF180H	0002H	...
1	3FFF1H	0035H	...
0	02FF3H	0351H	...
1	03FFFH	0153H	...

A. 015 3180H

B. 003 5180H

C. TLB 缺失

D. 缺页

20. 【2015】 假定编译器将语句“ $x=x+3$ ；”转换为指令“add xaddr, 3”，其中，xaddr 是 x 对应的存储单元地址.若执行该指令的计算机采用页式虚拟存储管理方式，并配有相应的 TLB，且 Cache 使用直写(Write Through)方式，则完成该指令功能需要访问主存的次数至少是().

A. 0

B. 1

C. 2

D. 3

21. 【2019】 下列关于缺页处理的叙述中，错误的是().

- A. 缺页是在地址转换时 CPU 检测到的一种异常
- B. 缺页处理由操作系统提供的缺页处理程序来完成
- C. 缺页处理程序根据页故障地址从外存读入所缺失的页
- D. 缺页处理完成后回到发生缺页的指令的下一条指令执行

22. 【2020】 下列关于 TLB 和 Cache 的叙述中，错误的是().

- A. 命中率都与程序局部性有关
- B. 缺失后都需要去访问主存
- C. 缺失处理都可以由硬件实现
- D. 都由 DRAM 存储器组成

2. 下列三种类型的指令(R 表示寄存器, S 表示主存), 执行速度最快的是().

- A. RR 型
- B. RS 型
- C. SS 型
- D. 不确定

3. 下列关于指令字长、机器字长和存储字长的说法正确的是美().

I.机器字长一定和指令字长相等

II.机器字长一定和存储字长相等

III.指令字长和机器字长没有必然的联系

IV.指令字长反映了计算机的运算精度，即字长起长，寻址范围越大，精度越高

A. I、 III

B. III

C. III、 IV

D. 没有正确选项

4. 程序控制类指令的功能是().

- A. 进行主存和 CPU 之间的数据传送
- B. 进行 CPU 和设备之间的数据传送
- C. 改变程序执行的顺序
- D. 使 PC 自动+1

6. 一个计算机系统采用 32 位单字长指令，地址码为 12 位，如果定义了 249 条二地址指令，那么一地址指令最多有()条.

A. 16K

B. 32K

C. 28K

D. 24K

10. 指令操作码采用变长编码，两地址指令有 12 条，使用频度 80%；一地址指令有 10 条，使用频度 20%，则一地址指令的操作码最短应为()位.

A. 3

B. 4

C. 5

D. 6

11. 指令的长度为 16 位，每个地址码 5 位，现采用操作码扩展技术，若二地址指令为 60 条、零地址指令为 256 条，则一地址最多有().

- A. 120 条
- B. 128 条
- C. 64 条
- D. 512 条

12. 设某机器的指令字长为 16 位，每个地址码段长为 4 位，用广展操作码方法设计指令格式.若该指令系统中已定义了 12 条三地址指令，62 条二地址指令，30 条一地址指令，则该指令系统最多可以有()条零地址指令.

- A. 2
- B. 16
- C. 32
- D. 64

1. 假设某计算机采用小端方式存储，按字节编址.某数组起始地址为 1500H，有 10 个 int 类型元素(大小为 4 字节)，则数组第 9 个元素的最高有效字节(MSE3)所在的地址应为

- A. 1520H
- B. 1523H
- C. 1524H
- D. 1527H

2. 设机器数字长 16 位，C 语言程序段如下，其中 CPU 为大端方式，则执行完程序片段后 **m** 的高位字节内容为

```
int n = 0xA1B6;  
unsigned int m n;  
m = m>>1;
```

- A. 50H
- B. A1H
- C. B6H
- D. DBH

3. 假设计算机采用大端方式存储，按字节编址，若一维数组 `a` 有 100 个元素，其类型为 `double`，存放在地址 `0C00 1000H` 开始的连续区域中，则最后一个元素组元素 `LSB`(最低有效字节)所在的地址为

- A. `0C00 1792H`
- B. `0C00 1799H`
- C. `0C00 1318H`
- D. `0C00 131FH`

4. 【2018】 假设某 32 位计算机按字节编址，采用小端(Little Endian)方式.若语句“`inti=0;`”对应指令的机器代码为“C7 45 FC 00 00 00 00”，则语句“`int i = -64;`”对应指令的机器代码是

A. C7 45 FC C0 FF FF FF

B. C7 45 FC 0C FF FF FF

C. C7 45 FC FF FF FF C0

D. C7 45 FC FF FF FF 0C

5. 【2020】在按字节编址，采用小端方式的 32 位计算机中，按安边界对齐方式为以下 C 语言结构型变量 a 分配存储空间，若 a 的首地址为 2020 FE00H，a 的成员变量 x2 的机器数为 1234 0000H，则其中 34H 所在的存储单元的地址是

```
struct record{  
    short xi;  
    int x2;  
} a;
```

- A. 2020 FE03H
- B. 2020 FE04H
- C. 2020 FE05H
- D. 2020 FE06H

2. 如果指令中地址码所给出的是操作数的有效地址，则该指令使用的寻址方式是()

- A. 直接寻址
- B. 立即寻址
- C. 寄存器寻址
- D. 间接寻址

3. 固定指令字长的情况下，在数据寻址的各种方式中，获取取操作数最快的方式

- A. 直接寻址
- B. 立即寻址
- C. 寄存器寻址
- D. 间接寻址

4. 如果一次间接寻址的范围是 2^{24} ，多次间接寻址需要额外借助不存储字的最高位作为标志位判断寻址是否结束，那么三次间接寻址的寻址范围是()

A. 2^{24}

B. 2^{25}

C. 2^{23}

D. 2^{22}

6. 假设某机器有 7 个通用寄存器，某指令的一个操作数采用)用基址寻址的寻址方式，采用通用寄存器作为基址寄存器，指令中的寄存器的编号为 002H，寄存器 002H 中的值为 2022H，地址 2022H 中的内容为 B111H，指令中给出的形式地址为 2023H，地址 2023H 中的内容是 2048H，那么该操作数的有效地址为()

A. D159H

B. 2025H

C. 4045H

D. D134H

7. 假设某指令的一个操作数采用变址寻址的寻址方式，变址寄存器中的值为 1000H，地址 1000H 中的内容为 0002H，指令中给出的形式地址为 2022H，地址 2022H 中的内容是 2048H，那么该操作数的有效地址为()。

- A. 2050H
- B. 3022H
- C. 3048H
- D. 204AH

8. 设某主机主存地址与存储单元之间对应关系如下：现某指令的操作数寻址方式采用相对寻址，其形式地址部分的内容 $A=1000H$ ，寄存器(PC)= $2000H$ ，该指令执行时读取的操作数是()

地址	存储内容
1000H	4000H
2000H	5000H
3000H	6000H
4000H	7000H

- A. 1000H
- B. 2000H
- C. 3000H
- D. 6000H

9. 某指令系统，指令字长为两个字节，某转移指令采用相对寻址的寻址方式，其中第一个字节为操作码，第二个字节为偏移量(补码表示)，每当 CPU 从存储器取出一个字节时，会完成 $(PC)+1 \rightarrow PC$ 的操作.若当前指令地址为 2000H，要求转移到 2023H 和若当前指令地址为 2023H，要求转移到 2010H，则该转指令的第二个字节的内容分别为()

- A. 23H F1H
- B. 21H F3H
- C. 23H F3H
- D. 21H F1H

11. 某指令使用堆栈寻址的方式，设 A 是累加器、 SP 为堆栈指示器， M_{40} 为 SP 指示的栈顶单元如果入栈的操作是 $(SP)+1 \rightarrow SP$ ， $(A) \rightarrow M_{sp}$ ，那么出栈的动作应为()

- A. $(SP)+1 \rightarrow SP$ ， $(M_{sp}) \rightarrow A$
- B. $(M_{sp}) \rightarrow A$ ， $(SP)+1 \rightarrow SP$
- C. $(SP)-1 \rightarrow SP$ ， $(M_{sp}) \rightarrow A$
- D. $(M_{sp}) \rightarrow A$ ， $(SP)-1 \rightarrow SP$

12. 设相对寻址的转移指令为 32 位，前两个字节为操作码，第三、四个字节为相对偏移量(补码形式表示).每当 CPU 从存储器取出一个字节时，会完成 $(PC)+1 \rightarrow PC$ 的操作.若 PC 的当前值为 2024H，指令执行后 PC 转移到 2000H，则转移指令的第三、四字节的机器代码是()

- A. 2000H
- B. 2024H
- C. 0024H
- D. FFD8H

13. 设变址寄存器为 IX ，形式地址为 A ，某计算机具有先变址再间址一次的寻址方式，则这种寻址方式的有效地址 EA 的计算式为()

A. $EA = (IX) + A$

B. $EA = (IX) + (A)$

C. $EA = ((IX) + A)$

D. $EA = ((IX) + (A))$

14. 设相对寻址的转移指令占用 2 个字节，前 4 位是操作码为，后 12 位是相对位移量(补码表示)， 则该转移指令可转移的地址范围是().

A. 4095

B. 4096

C. 63

D. 64

15. 寄存器 R1、R2 均为 16 位，指令 MOV R1, [R2]的功能是把内存数据传送至 R1 寄存器，寻址方式为寄存器间接寻址.R2 的值为 1234H，1234H 处内存单元存放数据 56H(按字节编址)，内存 1235H 的单元存放数据 78H，数据存储采用小端方式.执行指令后 R1 值为().

A. 5678H

B. 7856H

C. 8765H

D. 6587H

16. 某计算机指令为 16 位，由低到高 0 到 7 位是位移量 D，8 到 9 位为寻址特征位 X，10 到 15 位为操作码。当 X=00 时直接寻址；当 X=01 时使用 X1 进行变址寻址；当 X=10 时使用 X2 进行变址寻址；当 X=11 时使用 PC 相对寻址。设 (PC)=1234H，(X1)=0005H，(X2)=1188H，则指令 2222H 的有效地址是()。

- A. 1256H
- B. 0027H
- C. 2222H
- D. 11AAH

17. 假设相对寻址的转移指令占两个字节，第一个字节是操作码，第二个字节是相对偏移量(补码)表示).每当 CPU 从存储器取出一个字节 PC 自动加一.若当前 PC 值为 1234H，1234H 处指令为 JMP*5(*为相对寻址特征)，则执行完这条指令后 PC 的值为()

A. 1236H

B. 1239H

C. 1235H

D. 1237H

26. 【2009】 某机器字长为 16 位，主存按字节编址，转移指令采用相对寻址，由两个字节组成，第一个字节为操作码字段，第二个字节为相对偏移量字段。假定取指令时，每取一个字节 PC 自动加 1。若某转移指令所在的主存地址为 2000H，相对偏移量字段的内容为 06H，则该转移指令成功转移后的目标地址是()。

- A. 2006H
- B. 2007H
- C. 2008H
- D. 2009H

27. 【2011】 偏移寻址通过将某个寄存器内容与一个形式地地址相加而生成有效地址.下列寻址方式中,不属于偏移寻址的是().

- A. 间接寻址
- B. 基址寻址
- C. 相对寻址
- D. 变址寻址

28. 【2013】 假设变址寄存器 R 的内容为 1000H，指令中的形式地址为 2000H；地址 1000H 中的内容为 2000H，地址 2000H 中的内容为 3000H，地址 3000H 中的内容为 4000H，则变址寻址方式下访问到的操作数是()

A. 1000H

B. 2000H

C. 3000H

D. 4000H

29. 【2014】某计算机有 16 个通用寄存器，采用 32 位定长指令字，操作码字段(含寻址方式位)为

8 位，Store 指令的源操作数和目的操作数分别采用寄存器直接寻址和基址寻址方式。若基址寄存器可使用任一通用寄存器，偏移量用补码表示，则 Store 指令中偏移量的取值范围是()。

A. $-32768 \sim +32767$

B. $-32767 \sim +32768$

C. $-65536 \sim +65535$

D. $-65535 \sim +65536$

30. 【2016】 某指令格式如下所示.其中 M 为寻址方式, I 为变址寄存器编号, D 为形式地址.若采用先变址后间址的寻址方式, 则操作数的有效地址是().



- A. $I+D$
- B. $(I)+D$
- C. $((I)+D)$
- D. $((I))+D$

31. 【2017】 下列寻址方式中，最适合按下标顺序访问一维数组且元素的是()

- A. 相对寻址
- B. 寄存器寻址
- C. 直接寻址
- D. 变址寻址

32. 【2018】按字节编址的计算机中，某 `double` 型数组 `A` 的首地址为 `2000H`，使用变址寻址和循环结构访问数组 `A`，保存数组下标的变址寄存器初值为 `0`，每次循环取一个数组元素，其偏移地址为变址值乘以 `sizeof(double)`，取完后变址寄存器内容自动加 `1`。若某次循环所取元素的地址为 `2100H`，则进入该次循环时变址寄存器的内容是()。

- A. 25
- B. 32
- C. 64
- D. 100

33. 【2019】某计算机采用大端方式，按字节编址.某指令中操作数的机器数为 1234FF00H，该操作数采用基址寻址方式，形式地址(用补码表示)为 FF12H，基址寄存器内容为 F0000000H，则该操作数的 LSB(最低有效字节)所在的地址是().

- A. F000 FF12H
- B. F000 FF15H
- C. EFFF FF12H
- D. EFFF FF15H

34. 【2020】 计算机采用 16 位定长指令字格式，操作码位数和寻址方式位数固定，指令系统有 48 条指令，支持直接、间接、立即、相对 4 种寻址方式.单地址指令中，直接寻址方式的可寻址范围是().

- A. 0~255
- B. 0~1023
- C. -128~127
- D. -512~511

1. 下列对 RISC 描述正确的有().

A. I、 II

B. III

C. III、 V

D. 没有正确选项

3. 下列属于 RISC 的特征的是()

I.采用指令流水线 II.控制器采用微程序设计

IV.只有 LOAD/STORE 指令访问存储器 III.指令长度固定

V.难以用优化编译技术生成高效的目标代码

A. I、III、IV

B. II、III、IV

C. I、II、III

D. III IV、V

4. 影响程序性能的因素包括算法、编程语言、编译程序以及指令集架构，以及关于它们之间关系正确的描述是().

- A. 算法决定源程序指令数量，但不影响程序 CPI 值
- B. 不同指令集架构会影响到指令数量和 CPI 的值
- C. 不同编译器生成的指令数量不相同，但是 CPI 值相同
- D. 不同的编程语言不影响编译器生成指令的数量，但会改变程序 CPI 值

5. 【2009】 下列关于 RISC 的叙述中，错误的是()

- A. RISC 普遍采用微程序控制器
- B. RISC 大多数指令在一个时钟周期内完成
- C. RISC 的内部通用寄存器数量相对 CISC 多
- D. RISC 的指令数、寻址方式和指令格式种类相对 CISC 少

2. 假定编译器对 C 源程序中的变量和 MIPS 中等存器进行了以下对应：变量 f、g、h、i、j 分别对应寄存器 \$50、\$S1、\$S2、\$S3、\$S4，一条 C 语言赋值语句编高译后生成如下代码序列.这条 C 语言赋值语句是().

```
and $t0,  $S1,  $S2
```

```
Sub $t1,  $S3,  $S4
```

```
Sub $S0,  $t1,  $t0
```

A. $f = (i-j)-(g\&h)$

B. $f = (i-j)$

C. $f = (i-j)-(g+h)$

D. $f = (g+h)-(i-j)$

3. 某小端(Little Endian)模式处理器的减法指令“sub ax, imm”自的功能为 $(ax) - imm \rightarrow ax$, imm 表示立即数, 该指令对应的十六进制机器码为 2DXXXX(从左到右以字节为单位由低地址到高地址), 其中 XXXX 对应 imm 的机器码, 如果 $imm = -3$, $(ax) = 7$, 则该指令对应的机器码和执行后 OF 标志位的值分别为().

- A. 2DFFFD、0
- B. 2DFFFD、1
- C. 2DFDFF、0
- D. 2DFDFF、1

5. 子程序调用指令完整的功能是()

- A. 改变堆栈指针 SP 的值
- B. 改变程序计数器 PC 的值
- C. 改变程序计数器 PC 的值和堆栈指针 SP 的值
- D. 改变地址寄存器的值

1. 在 CPU 中，以下部件，不属于控制器的是().

- A. 时序电路
- B. 存储器数据寄存器
- C. 程序状态字寄存器
- D. 程序计数器

2. 在 CPU 中, (可用于传送和暂存用户数据, 为 ALU 执行算术逻辑运算提供工作区.

- A. 程序计数器
- B. 累加寄存器
- C. 程序状态字寄存器
- D. 地址寄存器

3. CPU 内部，多个部件如果要共享 1 条总线，则每个器件与总线之间需要设置 1 个常用的器件，CPU 控制该器件的状态，实现某个部件与总线的连接或断开。该常用的器件是()。

- A. 触发器
- B. 多路选择器
- C. 三态门
- D. 分线器

6. 在某计算机系统中，已知 A 为累加器， SP 为堆栈指示器， M_{sp} 为 SP 指示的找顶单元，如果进栈操作的顺序是 $(A) \rightarrow M_{sp}$ ， $(SP)+1 \rightarrow SP$ ，那么出栈操作的顺序应为

- A. $(M^{sp}) \rightarrow A$ ， $(SP)-1 \rightarrow SP$
- B. $(M^{sp}) \rightarrow A$ ， $(SP)+1 \rightarrow SP$
- C. $(SP)-1 \rightarrow SP$ ， $(M^{sp}) \rightarrow A$
- D. $(SP)+1 \rightarrow SP$ ， $(M^{sp}) \rightarrow A$

7. 已知某计算机为定点整数计算机，其中央处理器的通用寄存器为 16 位，若 $(R0)=FFF9H$ ，则有如下结论()。

- A. 中央处理机的位数为 16 位；寄存器 R0 的真值为 65529
- B. 中央处理机的位数为 16 位；寄存器 R0 的真值无法确定
- C. 中央处理机的位数为 16 位；寄存器 R0 的真值为-7
- D. 中央处理机的位数无法确定；寄存器 R0 的真值为-7

10. 程序计数器 PC 的位数决定了(

- A. 机器字长
- B. 可寻址的最大内存空间
- C. 指令字长
- D. 数据总线的宽度

12. 【2010】 下列寄存器中，汇编语言程序员可见的是().

- A. 存储器地址寄存器(MAR)
- B. 程序计数器(PC)
- C. 存储器数据寄存器(MDR)
- D. 指令寄存器(IR)

13. 【2016】 某计算机主存空间为 4GB，字长为 32 位，按字节编址，采用 32 位定长指令字格式.若指令按字边界对齐存放，则程序计数器(PC)和指令寄存器(IR)的位数至少分别是().

- A. 30、30
- B. 30、32
- C. 32 30
- D. 32、32

14. 【2019】 下列有关处理器时钟脉冲信号的叙述中，错误的是().

- A. 时钟脉冲信号由机器脉冲源发出的脉冲信号经整形和分频后形成
- B. 时钟脉冲信号的宽度称为时钟周期，时钟周期的倒数为机器主频
- C. 时钟周期以相邻状态单元间组合逻辑电路的最大延迟为基准确定
- D. 处理器总是在每来一个时钟脉冲信号时就开始执行一条新的指令

15. 【2021】 下列寄存器中，汇编语言程序员可见的是().

I.指令寄存器 II.微指令寄存器 III.基址寄存器 IV.标志/状态寄存器

A. 仅 I、 II

B. 仅 I、 IV

C. 仅 II、 IV

D. 仅 III、 IV

2. 若某条指令的处理时间分为取指令周期、执行周期和中断周期.获取该条指令需要 $3\mu\text{s}$ ，执行该指令需要 $7\mu\text{s}$ ，在该指令结束时，CPU 处于开中断状态、且中断源的中断请求信号已到达，若关中断、保存断点、中断服务程序入口地址送 PC 共需 $3\mu\text{s}$ ，中断服务程序的执行时间为 $100\mu\text{s}$.则该指令的处理时间是()

A. $7\mu\text{s}$

B. $10\mu\text{s}$

D. $113\mu\text{s}$

C. $13\mu\text{s}$

3. 某 CPU 指令系统共有 5 条不同指令，执行的步骤数目分别是 4、10、6、7、8。取指令需要 3 个步骤，每一个步骤需要消耗一个时钟周期。现在使所有打指令的处理时间相等，则指令处理周期是()个 CPU 时钟周期。

- A. 7
- B. 10
- C. 11
- D. 13

4. 下列关于机器字长、存储字长和指令字长的说法中，正确的是().

I. 为了方便硬件设计，指令字长通常是机器字长的整数倍

II. 为了方便硬件设计，指令字长通常等于存储字长

III. 若指令字长与机器字长相等，则取指周期等于机器周期

IV. 若指令字长与存储字长相等，则取指周期等于机器周期

A. 只有 I

B. 只有 IV

C. I、III

D. II、IV

8. 在冯·诺依曼计算机中，CPU 区分从存储器中取出的是指令还是数据的方法是().

- A. 指令和数据所在的存储单元地址不同
- B. 访问指令和访问数据所处的指令执行阶段不同
- C. 访问指令和访问数据的寻址方式不同
- D. 指令和数据表示方式不同

9. 数值数据和逻辑数据在形式上没有任何差别，计算机区别数值数据和逻辑数据的主要方法是

- A. 将数值数据和逻辑数据分开存放在不同的寄存器中
- B. 在数据中用专门的标识位指出是数值数据还是逻辑数据
- C. 用不同的指令操作码来区分本指令处理的是哪种数据
- D. 用不同的时间段来区分当时处理的是哪种数据

10. 下列有关 CPU 时钟信号的叙述中，正确的是()

- A. 计算机系统中所有时钟的时钟周期都是一样的
- B. 时钟周期总是等于最复杂的指令所需要的执行时间
- C. 处理器总是每来一个时钟信号就开始执行一条新的指令
- D. 每个时钟周期称为一个节拍，机器的主频就是时钟周期的倒数

13. 【2011】 假定不采用 Cache 和指令预取技术，且机器处于“开中断”状态，则在下列有关指令执行的叙述中，错误的是().

- A. 每个指令周期中 CPU 都至少访问内存一次
- B. 每个指令周期一定大于或等于一个 CPU 时钟周期
- C. 空操作指令的指令周期中任何寄存器的内容都不会被改变
- D. 当前程序在每条指令执行结束时都可能被外部中断打断

14. 【2019】 某指令功能为 $R[r2] \leftarrow R[r1] + M[R[r0]]$ ，其两个源操作数分别采用寄存器、寄存器间接寻址方式.对于下列给定部件，该指令在取数及执行过程中需要用到的是().

I.通用寄存器组(GPRs) II.算术逻辑单元(ALU) III.存储器(Memory) IV.指令译码器(ID)

- A. 仅 I、 II
- B. 仅 I、 II、 III
- C. 仅 II、 III、 IV
- D. 仅 I、 III、 IV

1. 在程序执行过程中, ()控制计算机的运行总是处于取指令、分析指令和执行指令的循环之中.

- A. 控制器
- B. CPU
- C. 指令存储器
- D, 指令译码器

2. CPU 的读/写控制信号的作用包括().

I.决定数据总线上的数据流方向

II.控制存储器操作(读/写)的类型

III.控制流入、流出存储器信息的方向

A. I、 II

B. II、 III

C. I、 III

D. I、 II、 III

4. 某机器的指令集中包含 R-R 型运算指令、分支指令 Branch、无条件跳转指令 Jump、取数指令 Load 和存数指令 Store.若使用单周期数据通路实现此指令系统，且各主要功能部件的操作时间分别为：指令存储器和数据存储器都是 4ns ；ALU 和加法器都是 1ns ；通用寄存器组的读和写都是 2ns .若忽略多路选择器、控制单元、程序计数器、符号扩展单元和传输线路等延迟，则该计算机时钟周期至少为().

- A. 7ns
- B. 9ns
- C. 11ns
- D. 13ns

5. CPU 内部线路通常采用总线连接方式.总线上, 信号流动的原则是().

I.每个时刻只有 1 个器件发出信息

II.每个时刻有 1 个或多个器件发出信息

III.每个时刻只有 1 个器件接收信息

IV.每个时刻有 1 个或多个器件接收信息

A. I、 III

B. I、 IV

C. II、 III

D. II、 IV

12. 【2010】 下列选项中，能缩短程序执行时间的措施是().

I.提高 CPU 时钟频率

II.优化数据通路结构

III.对程序进行编译优化

A. 仅 I 和 II

B. 仅 I 和 III

C. 仅 II 和 III

D. I、 II 和 III

13. 【2016】 单周期处理器中所有指令的指令周期为一个时钟周期.下列关于单周期处理器的叙述中, 错误的是().

- A. 可以采用单总线结构数据通路
- B. 处理器时钟频率较低
- C. 在指令执行过程中控制信号不变
- D. 每条指令的 CPI 为 1

14. 【2021】 下列关于数据通路的叙述中，错误的是().

- A. 数据通路包含 ALU 等组合逻辑(操作)元件
- B. 数据通路包含寄存器等时序逻辑(状态)元件
- C. 数据通路不包含用于异常事件检测及响应的电路
- D. 数据通路中的数据流动路径由控制信号进行控制

1. 在微程序控制方式中，由()形成微程序的入口地址.

- A. 机器指令的地址码
- B. 机器指令的操作码
- C. 微指令的微地址
- D. 微指令的操作码

2. 下列关于微指令的说法中，错误的是().

I. 字段直接编码方式可以用较少的二进制位数表示较多的微指令操作命令. 如果有两组互斥的微命令，每组微命令的个数分别为 4 和 9，则分别只需要 2 位和 4 位即可表示

II. 直接编码方式不用进行译码操作，微命令字段中的每一位都代表一个微命令

III. 垂直型微指令用较长的微程序结构换取较短的微指令结构，所以在执行效率和灵活性两方面都高于水平型微指令

IV. 在字段间接编码方式中，某个字段的译码输出需要依靠另外某个字段的输

A. 只有 II

B. I、II

C. I、III

D. II、III、IV

8. 从总体上看，微程序控制器的速度相比组合逻辑电路要慢，主要原因在于（）。

- A. 增加了从指令寄存器读取微指令的时间
- B. 增加了从控制存储器读取微指令的时间
- C. 增加了从磁盘存储器读取微指令的时间
- D. 增加了从主存储器读取微指令的时间

9. 某计算机采用微程序控制器.微指令中的操作控制字段采用字段直接编码方式, 共有 34 个微命令, 构成 5 个互斥段, 分别包含 8、3、12、5 和 6 个微令, 则微指令的操作控制字段至少有().

- A. 5 位
- B. 6 位
- C. 16 位
- D. 15 位

10. 在微程序控制器设计中，微指令采用单地址格式，控制存储器；为 $16K \times 4\text{bit}$ ，那么微程序计数器 μPC 应设计为()位.

D. 32

A. 14

B. 16

C. 24

11. 水平型微指令的特点是(

- A. 采用微程序
- B. 控制信号直接控制
- C. 采用微操作码
- D. 多层次表示

12. 垂直型微指令的特点是().

- A. 微指令格式垂直表示
- B. 控制信号经过编码
- C. 采用微操作码
- D. 多层次表示

16. 【2009】 相对于微程序控制器，硬布线控制器的特点是().

- A. 指令执行速度慢，指令功能的修改和扩展容易
- B. 指令执行速度慢，指令功能的修改和扩展难
- C. 指令执行速度快，指令功能的修改和扩展容易
- D. 指令执行速度快，指令功能的修改和扩展难

17. 【2012】 某计算机的控制器采用微程序控制方式，微指令中的操作控制字段采用字段直接编码法，共有 33 个微命令，构成 5 个互斥类，分别包含 7、3、12、5 和 6 个微命令，则操作控制字段至少有

- A. 5 位
- B. 6 位
- C. 15 位
- D. 33 位

18. 【2014】 某计算机采用微程序控制器，共有 32 条指令，公共的取指令微程序包含 2 条微指令，各指令对应的微程序平均由 4 条微指令组成，采用断定法(下地址字段法)确定下条微指令地址，则微指令中下址字段的位数至少是()。

A. 5

B. 6

8

D. 9

19. 【2017】 下列关于主存储器(MM)和控制存储器(CS)的叙述中，错误的是(

- A. MM 在 CPU 外，CS 在 CPU 内
- B. MM 按地址访问，CS 按内存访问
- C. MM 存储指令和数据，CS 存储微指令
- D. MM 用 RAM 和 ROM 实现，CS 用 ROM 实现

2. 下列关于中断的说法中，正确的是().

I.中断标志触发器用来指示 CPU 进入中断周期

II.允许中断触发器用来开放/关闭中断系统

III.响应中断的条件是中断源有请求或者中断允许触发器置“1”时

IV.响应中断的时机是每条指令执行周期的结束时刻

A. I、 II、 III

B. I、 II、 IV

C. II、 IV

D. I、 II、 IV

3. 单级中断系统中，CPU 一旦响应中断，应立即执行下面的()动作，以避免在中断响应的过程中响应其他中断源造成的干扰.

- A. 关中断
- B. 清除中断请求标志
- C. 禁止 DMA
- D. 清除该中断源的中断屏蔽位

4. 在单级中断系统中，CPU 一旦响应中断，则立即把()标志置 1，以防本次中断服务结束前同级的其他中断源产生另一次中断进行干扰.

- A. 中断允许
- B. 中断请求
- C. 中断屏蔽
- D. 中断保护

6. CPU 响应中断的时间是().

- A. 取址周期结束
- B. 中断源提出请求
- C. 执行周期结束
- D. 存储周期结束

8. 时钟中断事件属于().

- A. 自愿性中断事件
- B. 程序性中断事件
- C. I/O 中断事件
- D. 外部中断事件

10. 由程序中执行了中断指令引起的中断，也称为().

- A. 内部异常中断
- B. 外部中断
- C. I/O 中断
- D. 软中断

11. 缺页中断就是访问的页面不在主存而需要操作系统通过 I/O 将其调入主存引起的中断.这种中断属于().

- A. 内部异常中断
- B. 外部中断
- C. 用户请求得到中断
- D. 软中断

13. 有关中断的论述不正确的是().

- A. CPU 及 I/O 设备可实现并行工作，但设备之间不可并行工作
- B. 可以实现多道程序、分时操作、实时操作等
- C. 对高速外设(如磁盘)采用中断可能引起数据丢失
- D. 计算机的中断源可来自主机，也可以来自外设

15. 【2009】 下列选项中，能引起外部中断的事件是().

- A. 键盘输入
- B. 除数为 0
- C. 浮点运算下溢
- D. 访存缺页

16. 【2010】 单级中断系统中，中断服务程序内的执行顺序是().

- A. $I \rightarrow V \rightarrow VI \rightarrow II \rightarrow VII$
- B. $III \rightarrow I \rightarrow V \rightarrow VII$
- C. $II \rightarrow IV \rightarrow V \rightarrow VI \rightarrow VII$
- D. $IV \rightarrow I \rightarrow V \rightarrow VI \rightarrow VII$

17. 【2012】 响应外部中断的过程中，中断隐指令完成的操作作，除保护断点外，还包括().

I.关中断 II.保存通用寄存器的内容
III.形成中断服务程序入口地址并送 PC

- A. 仅 I、 II
- B. 仅 I、 III
- C. 仅 II、 III
- D. I、 II、 III

18. 【2012】 中断处理和子程序调用都需要压栈以保护现场，中断处处理一定会保存而子程序调用不需要保存其内容的是().

- A. 程序计数器
- B. 程序状态字寄存器
- C. 通用数据寄存器
- D. 通用地址寄存器

19. 【2015】 内部异常(内中断)可分为故障(fault)、陷阱(trap)和终止(abort)三类. 下列有关内部异常的叙述中, 错误的是(

- A. 内部异常的产生与当前执行指令相关
- B. 内部异常的检测由 CPU 内部逻辑实现
- C. 内部异常的响应发生在指令执行过程中
- D. 内部异常处理后返回到发生异常的指令继续执行

20. 【2015】 处理外部中断时，应该由操作系统保存的是(

- A. 程序计数器(PC)的内容
- B. 通用寄存器的内容
- C. 快表(TLB)中的内容
- D. Cache 中的内容

21. 【2015】 假定下列指令已装入指令寄存器，则执行时不可能导致 CPU 从用户态变为内核态(系统态)的是().

- A. DIV R0, R1; $(R0)/(R1)$ R0
- B. INT n; 产生软中断
- C. NOT R0; 寄存器 R0 的内容取非
- D. MOV R0, addr; 把地址 addr 处的内存数据放入寄存器 R0 中

22. 【2020】 下列关于“自陷”(Trap, 也称陷阱)的叙述中, 错误的是().

- A. 自陷是通过陷阱指令预先设定的一类外部中断事件
- B. 自陷可用于实现程序调试时的断点设置和单步跟踪
- C. 自陷发生后 CPU 将转去执行操作系统内核相应程序
- D. 自陷处理完成后返回到陷阱指令的下一条指令执行

23. 【2020】 下列事件中，属于外部中断事件的是()

I.访存时缺页

II.定时器到时

III.网络数据包到达

A. 仅 I、 II

B. 仅 I、 III

C. 仅 II、 III

D. I、 II 和 III

24. 【2020】 外部中断包括不可屏蔽中断(NMI) 和可屏蔽中断，下列关于外部中断的叙述中，错误的是().

- A. CPU 处于关中断状态时，也能响应 NMI 请求
- B. 一旦可屏蔽中断请求信号有效，CPU 将立即响应
- C. 不可屏蔽中断的优先级比可屏蔽中断的优先级高
- D. 可通过中断屏蔽字改变可屏蔽中断的处理优先级

1. 下列关于结构冒险的论述中，正确的有()

I.结构冒险指的是有多条指令要同时使用同一个资源

II.避免结构冒险的基本做法是使每个指令在相同流水段中使用相同的部件

III.设置重复的功能部件可以避免结构冒险

IV.指令 Cache 和数据 Cache 互相分离可以避免两条指令同时分别访问数据和指令的冒险

A. I、 II、 III

B. I、 II、 IV

C. II、 IV

D. I、 III、 IV

2. 下列关于分支预测的论述中，正确的是

- I. 分支预测技术可用于处理控制冒险和数据冒险
- II. 使用静态预测技术时，每次的预测结果是一样的
- III. 动态预测技术通常比静态预测技术的预测成功率高
- IV. 若预测错误，已被错误地放入流水线执行的指令必须被舍弃

A. I、II、III

B. I、II、IV

C. II、IV

D. I、III、IV

3. 以下是一段 MIPS 指令序列，若使用“取指、译码/取数文、执行、访存、写回”的 5 段流水线方式，且使用“转发”技术.为了使这段程序不发生数据冒险，需在第 3 条指令前加入()条空操作(nop)指令.

```
addi $t0, $zero, 10    # R[$t0] ← 10
lw    $t1, 4($a0)       # R[$t1] ← M[R[$a0]+4]
add   $t2, $t0, $t1     # R[$t2] ← R[$t0]+R[$t1]
```

- A. 0
- B. 1
- C. 2
- D. 3

4. 通过编译程序将多条能够并行操作的指令组合成一条指令，这种技术称做（）。

- A. 超标量技术
- B. 超流水线技术
- C. 超长指令字技术
- D. 超字长技术

7. 把指令设计为多级流水线的目的，不包括下列选项().

- A. 提高时钟频率
- B. 解决数据冲突
- C. 提高指令执行的并行性
- D. 实现指令部件的复用

8. 五级流水线 CPU 正在执行某条指令的第二级流水阶段时，外部设备产生了一个 DMA 请求，则 CPU 对该 DMA 请求响应的时机是()。

- A. 立即响应
- B. 在该指令的第二流水阶段执行完毕后响应
- C. 在该指令的第三流水阶段执行完毕后响应
- D. 在该指令执行结束后响应

9. 在一个具有四级流水线的浮点加法器中，假设四个阶段的时间分别是 $T_1=60\text{ns}$ 、 $T_2=50\text{ns}$ 、 $T_3=90\text{ns}$ 、 $T_4=80\text{ns}$ ，则加法器流水线的时钟周期至少为 X ；如果采用同同样的逻辑电路，但不是流水线方式，则浮点加法所需的时间为 Y 。那么 X 和 Y 是()。

A. $X=70\text{ns}$ ， $Y=280\text{ns}$

B. $X=50\text{ns}$ ， $Y=90\text{ns}$

C. $X=90\text{ns}$ ， $Y=280\text{ns}$

D. $X=50\text{ns}$ ， $Y=280\text{ns}$

10. 某计算机中，各种指令的 CPI 平均为 8，CPU 采用 5 级流水方式执行指令，流水线每拍为 2 个时钟周期.执行程序 A 时，共执行了 2000 条指令，此时流水线的加速比约为().

- A. 4.0
- B. 5.0
- C. 8.0
- D. 10.0

12. 假设指令流经某五级流水线的五个功能段的时间一次是 80ns , 80ns , 80ns , 70ns 和 50ns , 那么流水线的时钟周期至少是().

A. 90ns

B. 80ns

C. 70ns

D. 50ns

14. 结构冒险、数据冒险和控制冒险通常会引起流水线阻塞.分支预测、指令调度、延迟槽、增加功能单元(比如加法器、ALU)等在处理器流水线层和编译层实现的技术均用于减少或者消除这些冒险引起的阻塞.在这些技术中,能同时减少或者消除结构冒险和数据冒险的技术是().

- A. 分支预测
- B. 指令调度
- C. 延迟槽
- D. 增加功能单元(比如加法器、ALU)

15. 考虑一个基本的五级流水线(IF, ID, EX, MEM, WB)其中(IF, ID, EX, MEM, WB)分别表示从内存取指令、指令译码、指令执行、访问内存和将结果写回到寄存器.假定上述每步所需的时间如下表所示: 表中的时间包括执行操作的时间以及将各个步骤间产生的中间结果存储到寄存器中的时间.假设不存在冒险或是阻塞需要()ps(时间单位)执行一条指令.

IF	ID	EX	MEM	WB
305ps	275ps	280ps	305ps	250ps

- A. 305
- B. 1525
- C. 1415
- D. 250

16. 某计算机的指令流水线由五级流水线组成，一段 10 条汇编指令的程序，在五级流水线上能完全流水执行，该程序需要消耗的的时钟周期数是().

- A. 10
- B. 14
- C. 15
- D. 50

17. 在流水线处理器中，增加流水段数带来的影响是().

I.减少时钟周期 II.降低 CPI III.减少程序包含的指令数

- A. I
- B. III
- C. I 和 II
- D. II 和 III

18. CPU 片上 Cache 分别采用独立的指令 Cache 和数据 Cache 的目的是().

- A. 增加 Cache 的容量
- B. 区分指令和数据
- C. 缓解流水线中的数据冒险冲突(数据相关冲突)
- D. 缓解流水线中的结构冒险冲突(资源相关冲突)

26. 【2009】 某计算机的指令流水线由四个功能段组成，指令流经各功能段的时间(忽略各功能段之间的缓存时间)分别为 90ns、80ns、70ns、和 60ns，见创该计算机的 CPU 时钟周期是().

A. 90ns

B. 80ns

C. 70ns

D. 60ns

27. 【2010】 下列选项中，不会引起指令流水线阻塞的是().

- A. 数据旁路(转发)
- B. 数据相关
- C. 条件转移
- D. 资源冲突

28. 【2011】 下列给出的指令系统特点中，有利于实现指令流水线的是().

I.指令格式规整且长度一致

II.指令和数据按边界对齐存放

III.只有 Load/Store 指令才能对操作数进行存储访问

A. 仅 I、 II

B. 仅 II、 III

C. 仅 I、 III

D. I、 II、 III

29. 【2013】 某 CPU 主频为 1.03GHz，采用 4 级指令流水线，每个流水段的执行需要 1 个时钟周期。

假定 CPU 执行了 100 条指令，在其执行过程中，没有发生任何流水线阻塞，此时流水线的吞吐率为()。

A. 0.25×10^9 条指令/秒

B. 0.97×10^9 条指令/秒

C. 1.0×10^9 条指令/秒

D. 1.03×10^9 条指令/秒

30. 【2016】 在无转发机制的五段基本流水线(取指、译码/读寄存器、运算、访存、写回寄存器)中, 下列指令序列存在数据冒险的指令对是().

```
I1:  add R1, R2, R3    ; (R2)+(R3)→R1  
I2:  add R5, R2, R4    ; (R2)+(R4)→R5  
I3:  add R4, R5, R3    ; (R5)+(R3)→R4  
I4:  add R5, R2, R6    ; (R2)+(R6)→R5
```

- A. I1 和 I2
- B. I2 和 I3
- C. I2 和 I4
- D. I3 和 I4

31. 【2017】 下列关于超标量流水线特性的叙述中，正确的；是().

I.能缩短流水线功能段的处理时间

II.能在一个时钟周期内同时发射多条指令

III.能结合动态调度技术提高指令执行并行性

A. 仅 II

B. 仅 I、 III

C. 仅 II、 III

D. I、 II 和 III

32. 【2017】 下列关于指令流水线数据通路的叙述中，错误的为是().

- A. 包含生成控制信号的控制部件
- B. 包含算术逻辑运算部件(ALU)
- C. 包含通用寄存器组和取指部件
- D. 由组合逻辑电路和时序逻辑电路组合而成

33. 【2018】若某计算机最复杂指令的执行需要完成 5 个子功能，分别由功能部件 A~E 实现，各功能部件所需时间分别为 80ps、50ps、50ps、70ps 和 50ps，采用流水丝战方式执行指令，流水段寄存器延时为 20ps，则 CPU 时钟周期至少为().

- A. 60ps
- B. 70ps
- C. 80ps
- D. 100ps

34. 【2019】在采用“取指、译码/取数、执行、访存、写回”5段流水线处理器中，执行如下指令序列，其中 s0、s1、s2、s3 和 t2 表示寄存器编号.下列指令对中，不存在数据冒险的是().

```
I1: add s2, s1, s0 // R[s2] ← R[s1] + R[s0]
I2: load s3, 0(t2) // R[s3] ← M[R[t2] + 0]
I3: add s2, s2, s3 // R[s2] ← R[s2] + R[s3]
I4: store s2, 0(t2) // M[R[t2] + 0] ← R[s2]
```

- A. I1 和 I2
- B. I2 和 I3
- C. I2 和 I4
- D. I3 和 I4

35. 【2020】 下列给出的处理器类型中，理想情况下，CFI 为 1 的是

I.单周期 CPU

II.多周期 CPU

III.基本流水线 CPU

IV.超标量流水线 CPU

A. 仅 I、 II

B. 仅 I、 III

C. 仅 II、 IV

D. 仅 III、 IV

1. 从体系结构角度来看，阵列处理机属于()计算机.

- A. SISD
- B. SIMD
- C. MIMD
- D. MISD

2. 以下机器中，不属于 SIMD 机器的是().

- A. 并行处理机
- B. 阵列处理机
- C. 向量处理机
- D. 标量流水线处理机

4. 在多核处理器中，计算内核相同且地位对等的称为()多核：计算内核不同且地位不对等的称为()多核.

- A. 异构，同构
- B. 同构，异构
- C. 异构，异构
- D. 同构，同构

6. 下面关于对称多处理器(SMP)的说法中错误的是().

- A. 对称多处理器(SMP)在一个计算机上汇集了一组处理器，各处理器之间共享内存子系统以及总线结构
- B. 在对称多处理器(SMP)中系统将任务队列均匀地分发给多个处理器
- C. 将两个及以上的 CPU 整在对称多处理器(SMP)中，处理器之间不能相互通信合在一起的处理器称为多核处理器
- D. 在对称多处理器 (SMP)中，处理器路数一般为偶数个，比如 2 路，4 路，6 路，8 路

7. 冯·诺依曼计算机是()体系结构.

- A. SISD
- B. SIMD
- C. MISD
- D. MIMD

2. 在计算机中使用总线固然有优点，但也存在缺点，包括().

- A. 不能同时传送数据信息和控制信息
- B. 不能同时传送地址信息和数据信息
- C. 不能同时传送地址信息和控制信息
- D. 不能同时在总线中传送两种信息源的信息

6. 下列信号中，可以在系统总线中的控制总线上传输的有().

I. 存储器和 I/O 设备的地址信息

II. 存储器和 I/O 设备的时序信号、控制信号

III. 存储器和 I/O 设备响应信号

IV. 存储器中存放的数据

A. I、IV

B. II、III

C. II、III、IV

D. I、II、III

8. 总线中，有些信息是单向传输的，有些信息是双向传输的为，下列说法中，正确的是().

- A. 数据信息是单向传输的，由内存或者外设传送至 CPU
- B. 地址信息是单向传输的，由 CPU 发送至内存或者外设
- C. 控制信息是双向传输的，由 CPU 发送至内存或者外设，也可反向
- D. 状态信息是双向传输的，由 CPU 发送至内存或者外设，也可反向

9. 下列关于总线的叙述中，正确的有().

- I.CPU 通过指令的不同周期来识别总线传输过来的信息是地无址还是数据
- II.间接寻址第一次访存得到的数据经过系统总线的数据总线专送到 CPU
- III.在单总线结构中，访问 I/O 设备可以不使用 I/O 指令
- IV.在异步总线中，传送操作由设备控制器控制器控制

- A. I、 III
- B. I、 IV
- C. II、 III
- D. I、 II、 III

10. 以下属于单总线特点的是().

- A. 可以减少 CPU 和各部件的连线，易于增删设备
- B. 传送速度快，大多数计算机都采用这种连接方式
- C. 可以匹配访存速度不一的设备，使得计算机系统利用率更高
- D. 是从多总线优化发展而来的

13. 已知某支持突发(猝发)传输模式的同步总线的时钟频率为 200MHz ，宽度为 32 位，地址和数据线复用，每个时钟周期传输一个地址或数据，如果一次“存储器读”总线事务传输用的时间为 25ns ，则本次传输的有效数据位数是()。

- A. 32 位
- B. 128 位
- C. 160 位
- D. 256 位

14. 某总线在一个总线周期中并行传送 8 字节的数据，总线时钟频率是 66MHz，每个总线周期等于一个总线时钟周期，则总线的带宽为()。

A. 528MB/s

B. 132MB/s

C. 264MB/s

D. 66MB/s

15. 某总线共有 64 根数据和地址复用的信号线，总线时钟频率为 33MHz 若总线上每个时钟周期传送一次数据，则该总线的带宽是().

A. 2112MB/s

B. 264MB/s

C. 528MB/s

D. 1056MB/s

16. 总线复用方式可以().

- A. 更快地传递信息和数据
- B. 同时传送多种信息，如同时传送地址和数据
- C. 减少总线中信号线的数量
- D. 增加总线的功能和可靠性

17. 假设总线共有 4 根信号线，其中数据总线位数是 16 位，地址总线位数是 8 位，控制总线位数是 20 位，总线的工作频率为 100MHz，那么总线宽度和最大传输速率为()。

- A. 8bit, 200MB/s
- B. 16bit, 250MB/s
- C. 16bit, 200MB/s
- D. 20bit, 250MB/s

18. 某计算机的总线时钟周期为 40ns ，系统总线能并行传输 4 字节数据，每个总线周期占用 4 个时钟周期，则总线带宽是()。

- A. 100Mbps
- B. 200Mbps
- C. 400Mbps
- D. 800Mbps

19. 影响总线带宽的因素有很多，其中不包括().

I.总线宽度 II.总线频率 III.存储字长 IV.数据传输方式 V.数据字长

- A. 仅 III
- B. III、 V
- C. III、 IV
- D. III、 V

29. 某存储器总线使用同步通信方式，处理器时钟频率为 100MHz，每个总线事务以突发(猝发)方式传输 16 个字(每字 2B)，用来支持块长为 16 个字的 Cache 行读/写.对于读操作，需要花费 1 个时钟周期接收地址、3 个时钟周期等待存储器准备数据、16 个时钟周期用于传输 16 个字.若全部访问都是读操作，那么此存储器的数据传输速率为().

- A. 160Mb/s
- B. 200Mb/s
- C. 800Mb/s
- D. 1280Mb/s

32. 【2010】 下列选项中的英文缩写均为总线标准的是().

- A. PCI、CRT、USB、EISA
- B. ISA、CPI、VESA、EISA
- C. ISA、SCSI、RAM、MIPS
- D. ISA、EISA、PCI、PCI-Express

33. 【2011】 在系统总线的数据线上，不可能传输的是().

- A. 指令
- B. 操作数
- C. 握手(应答)信号
- D. 中断类型号

34. 【2012】某同步总线的时钟频率为 100MHz，宽度为 32 位，地址/数据线复用，每传输一个地址或数据占用一个时钟周期。若该总线支持突发(猝发)传输方式，则一次“主存写”总线事务传输 128 位数据所需要的时间至少是()。

A. 20ns

B. 40ns

C. 50ns

D. 80ns

35. 【2012】 下列关于 USB 总线特性的描述中，错误的是().

- A. 可实现外设的即插即用和热拔插
- B. 可通过级联方式连接多台外设
- C. 是一种通信总线，连接不同外设
- D. 同时可传输 2 位数据，数据传输率高

36. 【2012】 下列选项中，在 I/O 总线的数据线上传输的信息包括().

I.I/O 接口中的命令字 II.I/O 接口中的状态字 III.中断类型号

- A. 仅 I、 II
- B. 仅 I、 III
- C. 仅 II、 III
- D. I、 II、 III

37. 【2013】 下列选项中用于设备和设备控制器(I/O 接口)之间互连的接口标准是美().

- A. PCI
- B. USB
- C. AGP
- D. PCI-Express

38. 【2014】 某同步总线采用数据线和地址线复用方式，其中地址/数据线有 32 根，总线时钟频率为 66MHz，每个时钟周期传送两次数据(上升沿和下降沿各传送一次数据)，该总线的最大数据传输率(总线带宽)是()。

- A. 132MB/s
- B. 264MB/s
- C. 528MB/s
- D. 1056MB/s

39. 【2014】一次总线事务中，主设备只需给出一个首地址，从人设备就能从首地址开始的若干连续单元读出或写入多个数据.这种总线事务方式称为().

- A. 并行传输
- B. 串行传输
- C. 突发传输
- D. 同步传输

40. 【2015】 下列有关总线定时的叙述中，错误的是().

- A. 异步通信方式中，全互锁协议的速度最慢
- B. 异步通信方式中，非互锁协议的可靠性最差
- C. 同步通信方式中，同步时钟信号可由各设备提供
- D. 半同步通信方式中，握手信号的采样由同步时钟控制

41. 【2016】 下列关于总线设计的叙述中，错误的是().

- A. 并行总线传输比串行总线传输速度快
- B. 采用信号线复用技术可减少信号线数量
- C. 采用突发传输方式可提高总线数据传输率
- D. 采用分离事务通信方式可提高总线利用率

42. 【2017】 下列关于多总线结构的叙述中，错误的是().

- A. 靠近 CPU 的总线速度较快
- B. 总线之间须通过桥接器相连
- C. PCI-Expressx16 采用并行传输方式
- D. 总线之间可以是并行或串行连接

43. 【2018】 下列选项中，可提高同步总线数据传输率的是().

I.增加总线宽度 II.提高总线工作频率 III.支持突发传输 IV.采用地址/数据线复用

- A. 仅 I、 II
- B. 仅 I、 II、 III
- C. 仅 III、 IV
- D. I、 II、 III 和 IV

44. 【2019】 假定一台计算机采用 3 通道存储器总线，配套的内存条型号为 DDR3-1333，即内存条所接插的存储器总线的工作频率为 1333MHz、总线宽度为 64 位，则存储器总线的总带宽大约是()。

- A. 10.66GB/s
- B. 32GB/s
- C. 64 GB/s
- D. 96GB/s

45. 【2020】 QPI 总线是一种点对点全双工同步串行总线，总线上的设备可同时接收和发送信息，每个方向可同时传输 20 位信息(16 位数据+4 位校验位)，每个 QPI 数据包有 80 位信息，分 2 个时钟周期传送，每个时钟周期传递 2 次，因此 QPI 总线带宽为：每秒传送次数 $\times 2B \times 2$.若 QPI 时钟频率为 2.4GHz，则总线带宽为().

- A. 4.8GB/s
- B. 9.6GB/s
- C. 19.2GB/s
- D. 38.4GB/s

46. 【2021】 下列关于总线的叙述中，错误的是().

- A. 总线是在两个或多个部件之间进行数据交换的传输介质
- B. 同步总线由时钟信号定时，时钟频率不一定等于工作频率
- C. 异步总线由握手信号定时，一次握手过程完成一位数据交换
- D. 突发(Burst)传送总线事务可以在总线上连续传送多个数据

1. 【2010】 假定一台计算机的显示存储器用 DRAM 芯片实现，若要求显示分辨率为 1600×1200 ，颜色深度为 24 位，帧频为 85Hz，显存总带宽的 50% 用来刷新屏幕，则需要的显存总带宽至少约为().

A. 245Mbps

B. 979Mbps

C. 1958Mbps

D. 7834Mbps

1. 下列功能中，属于 I/O 接口的功能的是().

I.数据的缓冲

II.数据的压缩与格式转换

III.I/O 过程中状态检测

IV.I/O 操作的定时

V.与主机和设备进行通信

A. I、 II、 IV

B. I、 II、 III、 V

C. I、 III、 V

D. I、 III、 IV、 V

4. 下列属于 I/O 接口中寄存器的有().

I.指令寄存器

II.控制寄存器

III.状态寄存器

IV.地址寄存器

V.数据缓冲寄存器

A.I、 II、 III、 V

B. II、 III、 IV

C. II、 III、 V

D. II、 III、 IV、 V

6. 下列关于统一编址和独立编址的说法中，正确的是().

I.在统一编址的方式下，依靠不同的地址码区分存储单元和 I/O 设备

II.在独立编址的方式下，依靠不同的指令区分存储单元和 I/O 设备

III.在独立编址方式下，I/O 地址是存储地址的一部分

IV.在两种方式下，都可以使用访存指令访问 I/O 设备

A. I、 II

B. II、 III

C. II、 III、 IV

D. I、 II、 III、 IV

8. 【2014】 下列有关 I/O 接口的叙述中，错误的是().

- A. 状态端口和控制端口可以合用同一个寄存器
- B. I/O 接口中 CPU 可访问的寄存器称为 I/O 端口
- C. 采用独立编址方式时，I/O 端口地址和主存地址可能相同
- D. 采用统一编址方式时，CPU 不能用访存指令访问 I/O 端口

9. 【2017】 I/O 指令实现的数据传送通常发生在().

- A. I/O 设备和 I/O 端口之间
- B. 通用寄存器和 I/O 设备之间
- C. I/O 端口和 I/O 端口之间
- D. 通用寄存器和 I/O 端口之间

10. 【2021】 下列选项中，不属于 I/O 接口的是().

- A. 磁盘驱动器
- B. 打印机适配器
- C. 网络控制器
- D. 可编程中断控制器

3. 在某台计算机中，处理器的主频为 100MHz，处理器与硬盘之间通过程序中中断的方式传输数据，每次最多传送 4 字节数据，传输速率为 100KB/s，每次传输需要 100 个 CPU 时钟周期.那么 CPU 处理硬盘 I/O 的时间占整个 CPU 时间的百分比是().

A. 0.5%

B. 2.5%

C. 4%

D. 5%

4. 假设某文本打印页面有 60 行，每行有 40 个字符，一台打印机每 3 秒打印一页，忽略将一个字符写入打印机的输出寄存器中的时间.假设打印一个字符需要 $10\mu\text{s}$ 的中断时间开销，使用程序中断方式运行这台打印机，并使其持续工作，那么 CPU 用于处理 I/O 的时间占 CPU 的百分比为().

- A. 0.8%
- B. 1.25%
- C. 8%
- D. 12.5%

5. 某计算机系统中的 CPU 主频为 100MHz，软盘驱动器使用程序中断方式与主机进行数据 I/O，每次传送 2 字节数据，传输率为 25KB/s，每次传输的所有开销是 100 个 CPU 时钟周期，忽略数据处理时间，则 CPU 用于处理 I/O 的时间占用 CPU 时间的百分比为()

A. 0.625%

B. 1.25%

C. 2.5%

D. 5%

6. 下列选项中，发生中断请求的条件有().

I. 一条指令执行结束

II. 机器内部发生故障

III. 一次 I/O 操作结束

IV. 一次 DMA 操作结束

V. 每个机器周期结束

A. 仅 I、II

B. II、III、IV

C. I、II、III

D. 仅 IV、V

7. 在 I/O 接口中设置中断触发器保存外设提交的中断请求，是因为().

- A. 中断不需要立即处理
- B. 中断设备的处理速度比 CPU 快
- C. CPU 无法对发生的中断请求立即进行处理
- D. 可能有多个个中断同时发生

8. CPU 检查中断请求的时刻为()结束时.

- A. 时钟周期
- B. 节拍周期
- C. CPU 周期
- D. 执行周期

9. 单级中断系统中，CPU 一旦响应中断，应立即执行下面的动作，以避免在中断响应的过程中响应其他中断源造成的干扰().

- A. 关中断
- B. 清除中断请求标志
- C. 禁止 DMA
- D. 清除该中断源的中断屏蔽位

10. 下列关于中断响应的说法中，正确的是

I.中断响应发生在一条指令执行的任何时刻

II.中断响应发生在一条指令结束时

III.中断响应周期内 CPU 需：关中断、保存断点、发送中断响应信号并形成中断向量地址

IV.中断响应周期内 CPU 需：关中断、执行中断服务程序

A. I、III

B. I、IV

C. II、III

D. II、IV

11. 关于程序中断和 DMA 方式的响应时机，下列说法中正确的是().

I.CPU 在中断源提出请求时响应中断

II.CPU 在指令的执行周期结束时响应中断

III.CPU 在当前指令周期结束时响应 DMA 请求

IV.CPU 在当前机器周期结束时响应 DMA 请求

A. I、 III

B. I、 IV

C. II、 III

D. II、 IV

12. 如果同时发生了多个中断，系统会先响应优先级最高的中断请求，但可以使用()调整中断事件的处理优先级.

- A. 多级中断技术
- B. 中断向量表
- C. 中断屏蔽码
- D. 中断处理程序

13. 某设备中断请求的响应和处理时间为 100ns ，每 400ns 发出一次中断请求，中断响应所容许的最长延迟时间为 50ns ，则在设备持续工作过程中 CPU 用于该设备的 I/O 时间占整个 CPU 时间百分比至少是()。

A. 12.5%

B. 25%

C. 37.5%

D. 50%

15. 假定 CPU 与外部设备以中断方式进行 I/O 操作.在 CPU 响应中断时, 该设备发送给 CPU 的中断向量表指针是 0400H, 0400H 单元中存放的值为 2000H, 2000H 单元中存放的值为 3000H, 那么该设备的中断服务程序在主存中的入口地址为().

A. 0400H

B. 2000H

C. 2400H

D. 3000H

21. 下列关于中断和 DMA 的说法中，正确的是().

I.中断服务程序的最后一条指令是中断返回指令

II.在中断响应周期，由关中断指令将中断屏蔽触发器置“0

III.中断发生时，程序计数器内容的保护和更新由硬件自动完成

IV.程序中断和 DMA 方式都是由软件和硬件相结合的 I/O 方式

A. I、 III

B. I、 IV

C. II、 III

D. II、 III、 IV

22. 某计算机有 4 级中断，其响应优先级从高到低分别为 $A > B > C > D$ 。若要将中断处理优先级的顺序修改为 $C > A > D > B$ ，则 A、B、C、D 级的中断屏蔽字分别为()。

- A. 1111、1011、0011、0001
- B. 1101、0100、1111、0101
- C. 1101、1111、0001、1001
- D. 1001、0001、1111、1101

23. 某计算机有 5 级中断 A、B、C、D、E，优先级从高到低分别为 $A > B > C > D > E$ 。现使用中断屏蔽字修改优先级顺序，A 中断的屏蔽字为 11111，B 中断的屏蔽字为 01001，C 中断的屏蔽字为 01111，D 中断的屏蔽字为 01011，E 中断的屏蔽字为 00001，那么现在的优先顺序从高到低为 ()。

A. $A > B > C > D > E$

B. $A > C > D > B > E$

C. $B > C > E > A > D$

D. $E > B > D > C > A$

27. 某 DMA 通道有一个 32bit 的地址寄存器和一个 16bit 的计数寄存器，则单一的 DMA 处理中能传输的数据为()

A. 212B

B. 216B

C. 232B

D. 248B

28. 下列关于 DMA 控制器的叙述，错误的是().

I.主存地址寄存器主要用来存放需要交换数据的主存地址

II.字计数器主要用来存放已传送数据的字数

III.DMA 接口与主存、外设之间均以字节为单位进行传送

IV.设备地址寄存器用来存放 I/O 设备码

A. 仅 I

B. II、III

C. II、IV

D. I、III、IV

30. DMA 访问主存时，让 CPU 处于等待状态，等 DMA 将数据传送结束后，CPU 恢复工作，这种方式属于()。

- A. 停止 CPU 访存
- B. 交替分时访存
- C. 周期挪用
- D. 中断

31. 若 DMA 采用周期窃取方式传送数据，则每传送一个字常禹占用一个()的时间。

- A. 指令周期
- B. 机器周期
- C. 总线周期
- D. 存储周期

32. 目前计算机系统中普遍采用的 DMA 控制器与 CPU 交换总线控制权的方式是().

- A. 周期挪用
- B. 交替访存
- C. 停止 CPU
- D. 扩展时钟周期

33. 假设主存速度不高于 CPU 的访存速度，当 DMA 控制器欲与 CPU 进行总线控制权交换时，采用()方式对 CPU 工作效率影响较小.

- A. 周期挪用
- B. 交替访存
- C. 停止 CPU
- D. 扩展时钟周期

34. 在 DMA 方式中，实现 CPU 和 DMA 接口分时使用主存，下面说法中正确的是().

- A. 在停止 CPU 访问主存的方法中，DMA 在传送数据时独占主存，CPU 放弃总线的控制权
- B. 在周期挪用方法中，I/O 设备一旦有 DMA 请求，就挪用一個存取周期，此时 CPU 处于不工作状态或保持原状态
- C. DMA 与 CPU 交替访存方式，将主存的存取周期分成两个时间片，一片分给 CPU，一片分给 DMA
- D. 以上说法都正确

39. 假设磁盘采用 DMA 方式与主机交换信息，其传输速率为 4MBps，而且 DMA 的预处理需 1000 个时钟周期，DMA 完成传送后处理中断需 500 个时钟周期。如果平均传输的数据长度为 6KB，试问在硬盘工作时，50MHz 的处理器进行 DMA 辅助操作(预处理和后处理)需用的时间比率为()。

- A. 1.5%
- B. 2%
- C. 3.5%
- D. 4%

40. 下列关于程序中断方式和 DMA 方式的表述中，正确的是().

I. 程序中断的优先级比 DMA 的优先级要高

II. 程序中断方式需要保护现场，而 DMA 方式不需要保护现场

III. 程序中断方式需要用到中断，而 DMA 方式不需要用到中断

IV. 两种方式都需要用到中断，但目的不同.

A. I、 III

B. II、 III

C. I、 IV

D. II、 IV

41. 在中断 I/O 方式中，处理器与外设()工作；在 DMA 方式中，数据传送与主程序()工作.

- A. 串行；串行
- B. 串行；并行
- C. 并行；串行
- D. 并行；并行

42. 下列关于程序查询方式、程序中断方式和 DMA 方式的叙述中，正确的是 ().

- A. 程序查询方式中有中断请求，而 DMA 方式不需要中断请求
- B. 程序查询方式和 DMA 方式中都需要中断请求，且二者目的相同
- C. 程序中断方式和 DMA 方式中都需要中断请求，但二者目的不同
- D. DMA 方式要在指令周期结束时才能进行周期窃取

43. 下列关于中断和 DMA 的说法中，正确的是().

I. 执行指令时，每个机器周期结束都要检查一次有无中断请求

II. 由硬件和中断服务程序共同完成程序中中断

III. 中断服务程序的最后一条指令是跳转指令

IV. 一般在一条指令执行结束时检测有无 DMA 请求

A. 仅 II

B. I、II

C. I、III

D. II、IV

57. 【2010】 单级中断系统中，中断服务程序内的执行顺序是().

I.保护现场 II.开中断 III.关中断 IV.保存断点 V.中断事件处理 VI.恢复现场 VII.中断返回

- A. I→V→VI→II-VII
- B. III→I→V→VII
- C. III→IV→V→VI→VII
- D. IV→I-V→VI→VII

58. 【2011】 某计算机有五级中断 $L_4 \sim L_0$ ，中断屏蔽字为 $M_4M_3M_2M_1M_0$ ， $M_i=1(0 \leq i \leq 4)$ 表示对 L_i 级中断进行屏蔽。若中断响应优先级从高到低的顺序是 $L_0 \rightarrow L_1 \rightarrow L_2 \rightarrow L_3 \rightarrow L_4$ ，且要求中断处理优先级从高到低的顺序为 $L_4 \rightarrow L_0 \rightarrow L_2 \rightarrow L_1 \rightarrow L_3$ ，则 L_1 的中断处理程序中设置的中断屏蔽字是()。

A. 11110

B. 01101

C. 00011

D. 01010

59. 【2013】 下列关于中断 I/O 方式和 DMA 方式比较的叙述中, 错误的是().

- A. 中断 I/O 方式请求的是 CPU 处理时间, DMA 方式请求的是总线使用权
- B. 中断响应发生在一条指令执行结束后, DMA 响应发生在一个总线事务完成后,
- C. 中断 I/O 方式下数据传送通过软件完成, DMA 方式下数据传送由硬件完成
- D. 中断 I/O 方式适用于所有外部设备, DMA 方式仅适用于快速外部设备

60. 【2014】若某设备中断请求的响应和处理时间为 100ns ，每 400ns 发出一次中断请求，中断响应所允许的最长延迟时间为 50ns ，则在该设备持续工作过程中，CPU 用于该设备的 I/O 时间占整个 CPU 时间的百分比至少是()。

- A. 12.5%
- B. 25%
- C. 37.5%
- D. 50%

61. 【2015】 在采用中断 I/O 方式控制打印输出的情况下，CPU 和打印控制接口中的 I/O 端口之间交换的信息不可能是().

- A. 打印字符
- B. 主存地址
- C. 设备状态
- D. 控制命令

62. 【2016】异常是指令执行过程中在处理器内部发生的特殊来事件，中断是来自处理器外部的请求事件.下列关于中断或异常情况的叙述中，错误的是().

- A. “访存时缺页“属于中断
- B. “整数除以 0“属于异常
- C. “DMA 传送结束“属于中断
- D. “存储保护错“属于异常

63. 【2017】 下列关于多重中断系统的叙述中，错误的是().

- A. 在一条指令执行结束时响应中断
- B. 中断处理期间 CPU 处于关中断状态
- C. 中断请求的产生与当前指令的执行无关
- D. CPU 通过采样中断请求信号检测中断请求

64. 【2018】 下列关于外部 I/O 中断的叙述中，正确的是().

- A. 中断控制器按所接收中断请求的先后次序进行中断优先级排队
- B. CPU 响应中断时，通过执行中断隐指令完成通用寄存器的保护
- C. CPU 只有在处于中断允许状态时，才能响应外部设备的中断请求
- D. 有中断请求时，CPU 立即暂停当前指令执行，转去执行中断服务程序

65. 【2019】 某设备以中断方式与 CPU 进行数据交换，CPU 主频为 1GHz，设备接口的数据缓冲寄存器为 32 位，设备的数据传输率为 50KB/s。若每次中断开销(包括中断响应和中断处理)为 1000 个时钟周期，则 CPU 用于该设备输入/输出的时间占整个 CPU 时间的百分比最多是()。

A. 1.25%

B. 2.5%

C. 5%

D. 12.5%

66. 【2019】 下列关于 DMA 方式的叙述中，正确的是().

I.DMA 传送前由设备驱动程序设置传送参数

II.数据传送前由 DMA 控制器请求总线使用权

III.数据传送由 DMA 控制器直接控制总线完成

IV.DMA 传送结束后的处理由中断服务程序完成

A. 仅 I、 II

B. 仅 I、 III、 IV

C. 仅 II、 III、 IV

67. 【2020】 外部中断包括不可屏蔽中断(NMI)和可屏蔽中断，下列关于外部中断的叙述中错误的是()

- A. CPU 处于关中断状态时也能响应 NMI 请求
- B. 一旦可屏蔽中断请求信号有效，CPU 将立即响应
- C. 不可屏蔽中断的优先级比可屏蔽中断的优先级高
- D. 可通过中断屏蔽字改变可屏蔽中断的处理优先级

68. 【2020】若设备采用周期挪用 DMA 方式进行输入输出，每次 DMA 传送的数据块大小为 512 字节，相应的 I/O 接口中有一个 32 位数数据缓冲寄存器，对于数据输入过程，下列叙述中错误的是()。

- A. 每准备好 32 位数据，DMA 控制器就发出一次总线请求
- B. 相对于 CPU，DMA 控制器的总线使用权的优先级更高
- C. 在整个数据块的传送过程中，CPU 不可以访问主存储器
- D. 数据块传送结束时，会产生“DMA 传送结束”的中断请求

69. 【2021】 异常事件在当前指令执行过程中进行检测，中断请求则在当前指令执行后进行检测下列事件中，相应处理程序执行后，必须回到当前指令重新执行的是().

- A. 系统调用
- B. 页缺失
- C. DMA 传送结束
- D. 打印机缺纸

70. 【2021】 下列是关于多重中断系统中 CPU 响应中断的叙述，其中错误的是 ().

- A. 仅在用户态(执行用户程序)下，CPU 才能检测和响应中新
- B. CPU 只有在检测到中断请求信号后，才会进入中断响应周期
- C. 进入中断响应周期时，CPU 一定处于中断允许(开中断)状态
- D. 若 CPU 检测到中断请求信号，则一定存在未被屏蔽的中断源请求信号