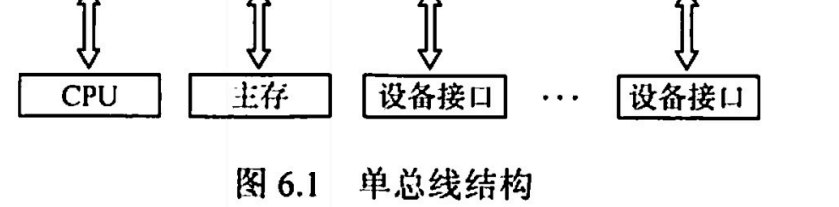
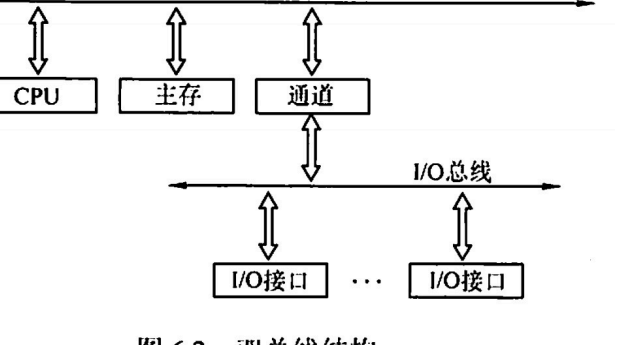
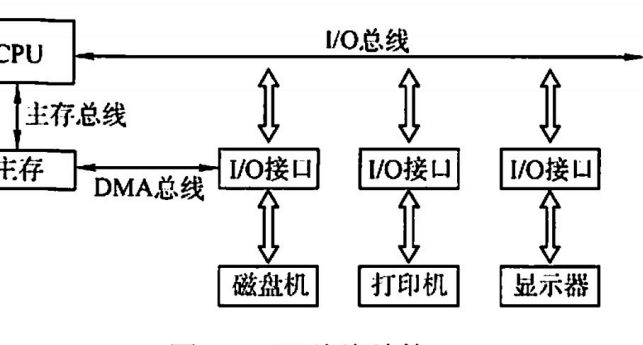


总线概述																					
为什么要设计总线?	I/O设备的种类和数量越来越多，为了解决I/O设备与主机之间连接的灵活性，设计了总线																				
总线的定义	一组能为多个部件分时共享的公共信息 <b>传送路线</b>																				
总线的特点	<b>分时性</b> ：同一时刻只允许有一个部件向总线 <b>发送信息</b> ；同一时刻只能有一个 <b>主设备</b> 控制总线的传输操作 <b>共享性</b> ：总线上可以挂接多个部件																				
总线优缺点	<table><tr><td>优点</td><td>• 便于增减外设 • 减少信息传输线的条数</td></tr><tr><td>缺点</td><td>• 降低了信息传输的并行性和信息的传输速度</td></tr></table>	优点	• 便于增减外设 • 减少信息传输线的条数	缺点	• 降低了信息传输的并行性和信息的传输速度																
优点	• 便于增减外设 • 减少信息传输线的条数																				
缺点	• 降低了信息传输的并行性和信息的传输速度																				
总线设备	按其 <b>对总线有无控制能力</b> 可分为主设备和从设备 <ul style="list-style-type: none"><li>主设备：获得总线控制权的设备</li><li>从设备：被主设备访问的设备，它只能响应从主设备发来的各种总线命令</li></ul>																				
总线特性	<b>机械特性</b> ：尺寸、大小 <b>电气特性</b> ：传输方向和有效电平范围 <b>功能特性</b> ：每根传输线的功能 <b>时间特性</b> ：信号和时序的关系																				
总线的分类	<table><tr><td>按功能划分</td><td><b>片内总线</b><ul style="list-style-type: none"><li>芯片内部的总线</li><li>是CPU芯片内部寄存器与寄存器之间、寄存器与ALU之间的公共连接</li></ul><b>系统总线</b><ul style="list-style-type: none"><li>计算机系统中各功能部件（CPU、主存、I/O接口）之间相互连接的总线</li><li>按系统总线传输内容的不同又可分为3类</li></ul><table><tr><td>数据总线</td><td>• 传输各功能部件之间的数据信息</td></tr><tr><td>地址总线</td><td>• 是<b>双向传输线</b>，其位数与机器字长、存储字长有关。</td></tr><tr><td>控制总线</td><td>• 指出主存和I/O设备接口电路的地址</td></tr><tr><td></td><td>• 是<b>单向传输线</b></td></tr><tr><td></td><td>• 地址总线的位数与主存地址空间的大小有关</td></tr><tr><td></td><td>• 传输控制信息</td></tr><tr><td></td><td>• 包括控制命令和反馈信号</td></tr></table><b>I/O总线</b><ul style="list-style-type: none"><li>主要用于连接中低速的I/O设备</li><li>通过I/O接口与系统总线相连接</li><li>目的是将低速设备和高速总线分离，以提升总线的系统性能</li><li>常见的有<b>USB、PCI总线</b>。</li></ul><b>通信总线</b><ul style="list-style-type: none"><li>是在计算机系统之间或计算机系统或其他系统之间传递信息的总线</li><li>通信总线也称<b>外部总线</b></li></ul></td></tr><tr><td>按时序控制方式分</td><td>同步总线 异步总线</td></tr><tr><td>按数据传输格式分</td><td><b>串行传输</b>：数据的传输在一条线路上位位进行 <b>并行传输</b>：每个数据位有一条单独的传输线，所有的数据位同时进行 <b>总线复用方式</b>：不同信号在同一条信号线上分时传输</td></tr></table>	按功能划分	<b>片内总线</b> <ul style="list-style-type: none"><li>芯片内部的总线</li><li>是CPU芯片内部寄存器与寄存器之间、寄存器与ALU之间的公共连接</li></ul> <b>系统总线</b> <ul style="list-style-type: none"><li>计算机系统中各功能部件（CPU、主存、I/O接口）之间相互连接的总线</li><li>按系统总线传输内容的不同又可分为3类</li></ul> <table><tr><td>数据总线</td><td>• 传输各功能部件之间的数据信息</td></tr><tr><td>地址总线</td><td>• 是<b>双向传输线</b>，其位数与机器字长、存储字长有关。</td></tr><tr><td>控制总线</td><td>• 指出主存和I/O设备接口电路的地址</td></tr><tr><td></td><td>• 是<b>单向传输线</b></td></tr><tr><td></td><td>• 地址总线的位数与主存地址空间的大小有关</td></tr><tr><td></td><td>• 传输控制信息</td></tr><tr><td></td><td>• 包括控制命令和反馈信号</td></tr></table> <b>I/O总线</b> <ul style="list-style-type: none"><li>主要用于连接中低速的I/O设备</li><li>通过I/O接口与系统总线相连接</li><li>目的是将低速设备和高速总线分离，以提升总线的系统性能</li><li>常见的有<b>USB、PCI总线</b>。</li></ul> <b>通信总线</b> <ul style="list-style-type: none"><li>是在计算机系统之间或计算机系统或其他系统之间传递信息的总线</li><li>通信总线也称<b>外部总线</b></li></ul>	数据总线	• 传输各功能部件之间的数据信息	地址总线	• 是 <b>双向传输线</b> ，其位数与机器字长、存储字长有关。	控制总线	• 指出主存和I/O设备接口电路的地址		• 是 <b>单向传输线</b>		• 地址总线的位数与主存地址空间的大小有关		• 传输控制信息		• 包括控制命令和反馈信号	按时序控制方式分	同步总线 异步总线	按数据传输格式分	<b>串行传输</b> ：数据的传输在一条线路上位位进行 <b>并行传输</b> ：每个数据位有一条单独的传输线，所有的数据位同时进行 <b>总线复用方式</b> ：不同信号在同一条信号线上分时传输
按功能划分	<b>片内总线</b> <ul style="list-style-type: none"><li>芯片内部的总线</li><li>是CPU芯片内部寄存器与寄存器之间、寄存器与ALU之间的公共连接</li></ul> <b>系统总线</b> <ul style="list-style-type: none"><li>计算机系统中各功能部件（CPU、主存、I/O接口）之间相互连接的总线</li><li>按系统总线传输内容的不同又可分为3类</li></ul> <table><tr><td>数据总线</td><td>• 传输各功能部件之间的数据信息</td></tr><tr><td>地址总线</td><td>• 是<b>双向传输线</b>，其位数与机器字长、存储字长有关。</td></tr><tr><td>控制总线</td><td>• 指出主存和I/O设备接口电路的地址</td></tr><tr><td></td><td>• 是<b>单向传输线</b></td></tr><tr><td></td><td>• 地址总线的位数与主存地址空间的大小有关</td></tr><tr><td></td><td>• 传输控制信息</td></tr><tr><td></td><td>• 包括控制命令和反馈信号</td></tr></table> <b>I/O总线</b> <ul style="list-style-type: none"><li>主要用于连接中低速的I/O设备</li><li>通过I/O接口与系统总线相连接</li><li>目的是将低速设备和高速总线分离，以提升总线的系统性能</li><li>常见的有<b>USB、PCI总线</b>。</li></ul> <b>通信总线</b> <ul style="list-style-type: none"><li>是在计算机系统之间或计算机系统或其他系统之间传递信息的总线</li><li>通信总线也称<b>外部总线</b></li></ul>	数据总线	• 传输各功能部件之间的数据信息	地址总线	• 是 <b>双向传输线</b> ，其位数与机器字长、存储字长有关。	控制总线	• 指出主存和I/O设备接口电路的地址		• 是 <b>单向传输线</b>		• 地址总线的位数与主存地址空间的大小有关		• 传输控制信息		• 包括控制命令和反馈信号						
数据总线	• 传输各功能部件之间的数据信息																				
地址总线	• 是 <b>双向传输线</b> ，其位数与机器字长、存储字长有关。																				
控制总线	• 指出主存和I/O设备接口电路的地址																				
	• 是 <b>单向传输线</b>																				
	• 地址总线的位数与主存地址空间的大小有关																				
	• 传输控制信息																				
	• 包括控制命令和反馈信号																				
按时序控制方式分	同步总线 异步总线																				
按数据传输格式分	<b>串行传输</b> ：数据的传输在一条线路上位位进行 <b>并行传输</b> ：每个数据位有一条单独的传输线，所有的数据位同时进行 <b>总线复用方式</b> ：不同信号在同一条信号线上分时传输																				

系统总线的结构			
	<b>单总线结构</b>	<b>双总线结构</b>	<b>三总线结构</b>
优点	• 结构简单，成本低 • 易于接入新的设备	• 将 <b>低速I/O设备</b> 从 <b>单总线上分离出来</b> • 实现了 <b>存储器总线</b> 和 <b>I/O总线分离</b>	• 提高了I/O设备的性能 • 使其更快地响应命令 • <b>提高系统吞吐量</b>
缺点	• 带宽低，负载重 • 多个部件只能争用唯一的主线 • 不支持并发传输操作	• 需要增加通道等硬件设备	• 系统工作效率低
组成	系统总线	主存总线+I/O总线	I/O总线+主存总线+DMA总线
结构图			

常见的总线标准（2023删除了该考点！了解USB即可）

- 总线标准是国际上公布的互连各个模块的标准，是把各种不同的模块组成计算机系统时必须遵守的规范
- PCI、EISA、ISA是并行总线
- USB、PCI-Express16是串行总线
- 高速设备采用局部总线连接，可以节省系统的总带宽

ISA	• 工业标准体系结构 • 非局部总线 • 最早出现的微型计算机的系统总线，应用在IBM的AT机上
EISA	• 扩展的ISA
VESA	• 视频电子标准协会
PCI	• 外部设备互连 • 支持即插即用，局部总线
AGP	• 加速图形接口，一种视频接口标准
PCI-E	• 最新的总线接口标准，它将全面取代线性的PCI和AGP
RS-232C	• 由美国电子工业协会推荐的一种串行通信总线 • 适用于串行二进制交换的数据终端设备和数据通信设备之间的标准接口
USB	• <b>通用串行总线</b> • <b>即插即用，热插拔，有很强的连接能力，有很好的可扩展性；高速传输</b>
PCMCIA	• 广泛应用于笔记本电脑的一种接口标准 • 是一个用于扩展功能的小型插槽，即插即用
IDE	• 集成设备电路 • 更准确地称为ATA，硬盘和光盘通过IDE接口与主板连接
SCSI	• 小型计算机系统接口 • 是一种用于计算机和智能设备之间（硬盘、软驱）系统级接口的独立处理器标准
SATA	• 串行高级技术附件 • 是一种基于行业标准的串行硬件驱动器接口

总线的性能标准










总线传输周期	• 指一次总线操作所需的时间，由若干总线时钟周期构成
总线时钟周期	• 即机器的时钟周期
总线工作频率	• 总线上各种操作的频率，为总线周期的倒数 工作频率 = $\frac{1}{总线周期}$
总线时钟频率	• 时钟频率 = $\frac{1}{时钟周期}$
总线宽度（总线位宽）	• 总线上同时能传输的数据位数，通常指数据总线的根数
总线带宽	• 总线的最大数据传输率，即单位时间内总线上最多可传输数据的位数 总线带宽=总线工作频率×（总线位宽/8）【单位为 字节/s】
总线复用	• 一种信号线在不同的时间传输不同的信息 • 因此可以使用较少的线传输更多的信息，从而节约空间和成本
信号线数	• 地址总线、数据总线和控制总线3种总线数的总和称为信号线数 • 其中最重要的是总线宽度、总线工作频率、总线带宽 • 三者关系： <b>总线带宽/传输率=总线宽度×总线工作频率</b>

例题

计算传输数据所要的时间	22 【2012 统考真题】某同步总线的时钟频率为 100MHz，宽度为 32 位，地址/数据线复用，每传输一个地址或数据占用一个时钟周期。若该总线支持 <b>突发(猝发)传输方式</b> ，则一次“写存写”总线事务传输 128 位数据所需要的时间至少是( )。 A.20ns B.40ns C.50ns D.80ns <b>时钟周期 = 时钟频率</b> $\frac{1}{100 \times 10^6} = 1 \times 10^{-8} = 10 \times 10^{-9} = 10ns$ 总线地址化 $\Rightarrow$ 1个时钟周期 = 10ns $\Rightarrow 10ns \times 4 = 40ns$ 传递数据 $\Rightarrow \frac{128位}{32位} \times$ 时钟周期 = 40ns
计算数据传输率/总线带宽	24 【2014 统考真题】某同步总线采用数据线和地址线复用方式，其中地址/数据线有 32 根，总线时钟频率为 66MHz，每时钟周期传输两次数据(上升沿和下降沿各传递一次数据)，该总线的最大数据传输率(总线带宽)是( )。 A.132MB/s B.264MB/s C.528MB/s D.1056MB/s <b>时钟周期 = <math>\frac{1}{66MHz}</math></b> 32位 $\Rightarrow$ 4B数据 数据位频率 = $\frac{总线宽度}{时钟周期} = \frac{4B \times 2}{\frac{1}{66MHz}} = 80 \times 66MHz = 528MB/s$ 32 【2020 统考真题】QPI 总线是一种点对点全同步串行总线，总线上的设备可同时进行接收和发送信息，每个方向可同时传输 20 位信息(16 位数据+4 位校验位)，每个 QPI 数据包有 80 位信息，分 2 个时钟周期传递，每个时钟周期传递 2 次，因此，QPI 总线带宽为每秒传递数据 800B。若 QPI 时钟频率为 2.4GHz，则总线带宽为( )。 A.4.8GB/s B.9.6GB/s C.19.2GB/s D.38.4GB/s <b>总线带宽 = 每秒传递数据 × 2B × 2 <math>\rightarrow</math> 每秒2B信息 所有设备同时传输信息</b> $= 2 \times 2.4G \times 2B \times 2/s$ $= 19.2GB/s$

总线事务和定时

- 总线定时：总线在双方交换数据的过程中需要时间上配合关系的控制。【实质是一种协议或者规则】
- 总线事务：从请求总线到完成总线使用的操作序列。【在一个总线周期中发生的一系列活动】

总线事务	请求阶段	主设备发出总线传输请求并且获得总线控制权															
	仲裁阶段	总线仲裁机构决定将下一个传输周期的总线使用权授予某个申请者															
	寻址阶段	主设备通过总线给出要访问的从设备地址及有关命令，启动从模块															
	传输阶段	主模块和从模块进行数据交换，可单向或双向进行数据传送（一般只能传输一个字长的数据）															
	释放阶段	主模块的有关信息均从系统总线上撤除，让出总线使用权															
		<ul style="list-style-type: none"><li>突发传送方式能够进行连续成组数据的传送</li><li>其寻址阶段发送的是连续数据单元的首地址</li><li>在传输阶段传送多个连续单元的数据</li><li>每个时钟周期可以传送一个字长的信息</li><li>但是不释放总线，直到一组数据全部传送完毕后，再释放总线</li></ul>															
同步定时方式																	
异步定时方式																	
	<table><tr><th>同步定时方式</th><th>异步定时方式</th></tr><tr><td>定义</td><td><ul style="list-style-type: none"><li>系统采用一个统一的时钟信号来协调发送和接收双方的传送定时关系</li><li>没有统一的时钟</li><li>没有固定的时间间隔</li><li>完全依靠传送双方相互制约的“握手”信号来实现定时控制</li></ul></td></tr><tr><td>优点</td><td><ul style="list-style-type: none"><li>传送速度快，具有较高的传输速率</li><li>总线控制逻辑简单</li><li>总线周期长度可变</li><li>能保证将两个工作速度相差很大的部件或设备之间可靠地进行信息交换</li><li>自动适应时间的配合</li></ul></td></tr><tr><td>缺点</td><td><ul style="list-style-type: none"><li>主从设备属于强制性同步</li><li>不能及时进行数据通信的有效性验证</li><li>可靠性较差</li><li>比同步稍复杂一些，速度比同步方式慢</li></ul></td></tr><tr><td>适用于</td><td><ul style="list-style-type: none"><li>适用于总线长度较短及总线所接部件的存储时间比较接近的系统</li></ul></td><td>z</td></tr></table>	同步定时方式	异步定时方式	定义	<ul style="list-style-type: none"><li>系统采用一个统一的时钟信号来协调发送和接收双方的传送定时关系</li><li>没有统一的时钟</li><li>没有固定的时间间隔</li><li>完全依靠传送双方相互制约的“握手”信号来实现定时控制</li></ul>	优点	<ul style="list-style-type: none"><li>传送速度快，具有较高的传输速率</li><li>总线控制逻辑简单</li><li>总线周期长度可变</li><li>能保证将两个工作速度相差很大的部件或设备之间可靠地进行信息交换</li><li>自动适应时间的配合</li></ul>	缺点	<ul style="list-style-type: none"><li>主从设备属于强制性同步</li><li>不能及时进行数据通信的有效性验证</li><li>可靠性较差</li><li>比同步稍复杂一些，速度比同步方式慢</li></ul>	适用于	<ul style="list-style-type: none"><li>适用于总线长度较短及总线所接部件的存储时间比较接近的系统</li></ul>	z					
同步定时方式	异步定时方式																
定义	<ul style="list-style-type: none"><li>系统采用一个统一的时钟信号来协调发送和接收双方的传送定时关系</li><li>没有统一的时钟</li><li>没有固定的时间间隔</li><li>完全依靠传送双方相互制约的“握手”信号来实现定时控制</li></ul>																
优点	<ul style="list-style-type: none"><li>传送速度快，具有较高的传输速率</li><li>总线控制逻辑简单</li><li>总线周期长度可变</li><li>能保证将两个工作速度相差很大的部件或设备之间可靠地进行信息交换</li><li>自动适应时间的配合</li></ul>																
缺点	<ul style="list-style-type: none"><li>主从设备属于强制性同步</li><li>不能及时进行数据通信的有效性验证</li><li>可靠性较差</li><li>比同步稍复杂一些，速度比同步方式慢</li></ul>																
适用于	<ul style="list-style-type: none"><li>适用于总线长度较短及总线所接部件的存储时间比较接近的系统</li></ul>	z															
异步定时方式分类	<table><tr><td></td><td></td><td></td></tr><tr><td colspan="3">图 6.4 请求和应答信号的互锁</td></tr><tr><td>非互锁方式</td><td colspan="2"><ul style="list-style-type: none"><li>主设备发出“请求”信号后，不必等到接到从设备的“回答”信号而是过一段时间便撤销“请求”信号</li><li>而从设备在接到“请求”信号后，发出“回答”信号，并过一段时间便撤销“回答”信号</li></ul></td></tr><tr><td>半互锁方式</td><td colspan="2"><ul style="list-style-type: none"><li>主设备发出“请求”信号后，必须等到接到从设备的“回答”信号，才能撤销“请求”信号（互锁关系）</li><li>而从设备在接到“请求”信号后，发出“回答”信号，但不必等到获知主设备的“请求”信号已经撤销，而是过一段时间便撤销“回答”信号</li></ul></td></tr><tr><td>全互锁方式</td><td colspan="2"><ul style="list-style-type: none"><li>主设备发出“请求”信号后，必须等到接到从设备的“回答”信号，才能撤销“请求”信号（互锁关系）</li><li>而从设备在接到“请求”信号后，发出“回答”信号，必需等到获知主设备的“请求”信号已经撤销，才能撤销“回答”信号</li></ul></td></tr></table>					图 6.4 请求和应答信号的互锁			非互锁方式	<ul style="list-style-type: none"><li>主设备发出“请求”信号后，不必等到接到从设备的“回答”信号而是过一段时间便撤销“请求”信号</li><li>而从设备在接到“请求”信号后，发出“回答”信号，并过一段时间便撤销“回答”信号</li></ul>		半互锁方式	<ul style="list-style-type: none"><li>主设备发出“请求”信号后，必须等到接到从设备的“回答”信号，才能撤销“请求”信号（互锁关系）</li><li>而从设备在接到“请求”信号后，发出“回答”信号，但不必等到获知主设备的“请求”信号已经撤销，而是过一段时间便撤销“回答”信号</li></ul>		全互锁方式	<ul style="list-style-type: none"><li>主设备发出“请求”信号后，必须等到接到从设备的“回答”信号，才能撤销“请求”信号（互锁关系）</li><li>而从设备在接到“请求”信号后，发出“回答”信号，必需等到获知主设备的“请求”信号已经撤销，才能撤销“回答”信号</li></ul>	
																	
图 6.4 请求和应答信号的互锁																	
非互锁方式	<ul style="list-style-type: none"><li>主设备发出“请求”信号后，不必等到接到从设备的“回答”信号而是过一段时间便撤销“请求”信号</li><li>而从设备在接到“请求”信号后，发出“回答”信号，并过一段时间便撤销“回答”信号</li></ul>																
半互锁方式	<ul style="list-style-type: none"><li>主设备发出“请求”信号后，必须等到接到从设备的“回答”信号，才能撤销“请求”信号（互锁关系）</li><li>而从设备在接到“请求”信号后，发出“回答”信号，但不必等到获知主设备的“请求”信号已经撤销，而是过一段时间便撤销“回答”信号</li></ul>																
全互锁方式	<ul style="list-style-type: none"><li>主设备发出“请求”信号后，必须等到接到从设备的“回答”信号，才能撤销“请求”信号（互锁关系）</li><li>而从设备在接到“请求”信号后，发出“回答”信号，必需等到获知主设备的“请求”信号已经撤销，才能撤销“回答”信号</li></ul>																