تکلیف معماری کامپیوتر سری ۳

پرهام الوانی ۱۰ اردیبهشت ۱۳۹۴

فهرست مطالب

۲ طراحی ۱ ۲ طراحی ۲ ۳ طراحی ۳

۱ طراحی ۱

در این طراحی تاخیر بافرض اینکه تاخیر برابر با 7d و تاخیر برابر با 7d باشد داریم:

$$-1:1*7d = 7d$$

$$\Rightarrow -1:7d$$

$$-7:1*7d = 7d$$

$$-1:7d$$

$$\Rightarrow -7:\Delta d$$

$$-7:7*d = 7d$$

$$\Rightarrow -7:\Delta d$$

$$-7:7d$$

$$\Rightarrow -7:\Delta d$$

$$-7:7d$$

$$\Rightarrow -7:\Delta d$$

$$-1:7d = \Delta d$$

$$-1:7d$$

$$\Rightarrow -7:1\Delta d$$

$$-1:7d$$

$$\Rightarrow -1:1\Delta d$$

$$-1:7d$$

$$\Rightarrow -1:7d$$

با توجه به آنجه در بالا گفته شد برای این طراحی نیاز به ۳۲ عدد و ۱۰ عدد است.

۲ طراحی ۲

با توجه به اینکه در این طراحی از روابط استفاده شده است پس تاخیر پس از محاسبه ی توجه به این نکته هم خالی از لطف نیست که p_i ها و g_i ها برابر با T_i خواهد بود. توجه به این نکته هم خالی از لطف نیست که برای پیاده سازی با ورودی های زیاد ممکن است نیاز شود سطح های پیاده سازی افزایش یافته و تاخیر بیشتر شود.

$$delay=\mathbf{Y}d$$

و در نهایت برای تعداد قطعات مصرف شده در پیاده سازی انجام شده توسط نرم افزار داریم:

۳ طراحی ۳

در این طراحی نیاز به ۲ عدد ۸ بیتی داریم زبرا اگر حاصل جمع داشته باشد باید حاصل را با ۱ جمع کینم. برای پیاده سازی بهینه تر دوم را با استفاده از ها پیاده سازی میگنیم.

$$Half - Adderdelay = Vd$$

 $Full - Adderdelay = Vd$

$$Full-AdderbasedRipple-Adderdelay = Ynd \\ \Rightarrow \texttt{A}* Yd = \texttt{Y} Pd \\ Half-AdderbasedRipple-Adderdelay = nd \\ \Rightarrow \texttt{A}* d = \texttt{A} d \\ \Rightarrow \texttt{A} d + \texttt{Y} Pd = \texttt{Y} Pd$$

با توجه آنچه در بالا گفته شد برای این طراحی نیاز به ۸ عدد _ و ۸ عدد _ است.