

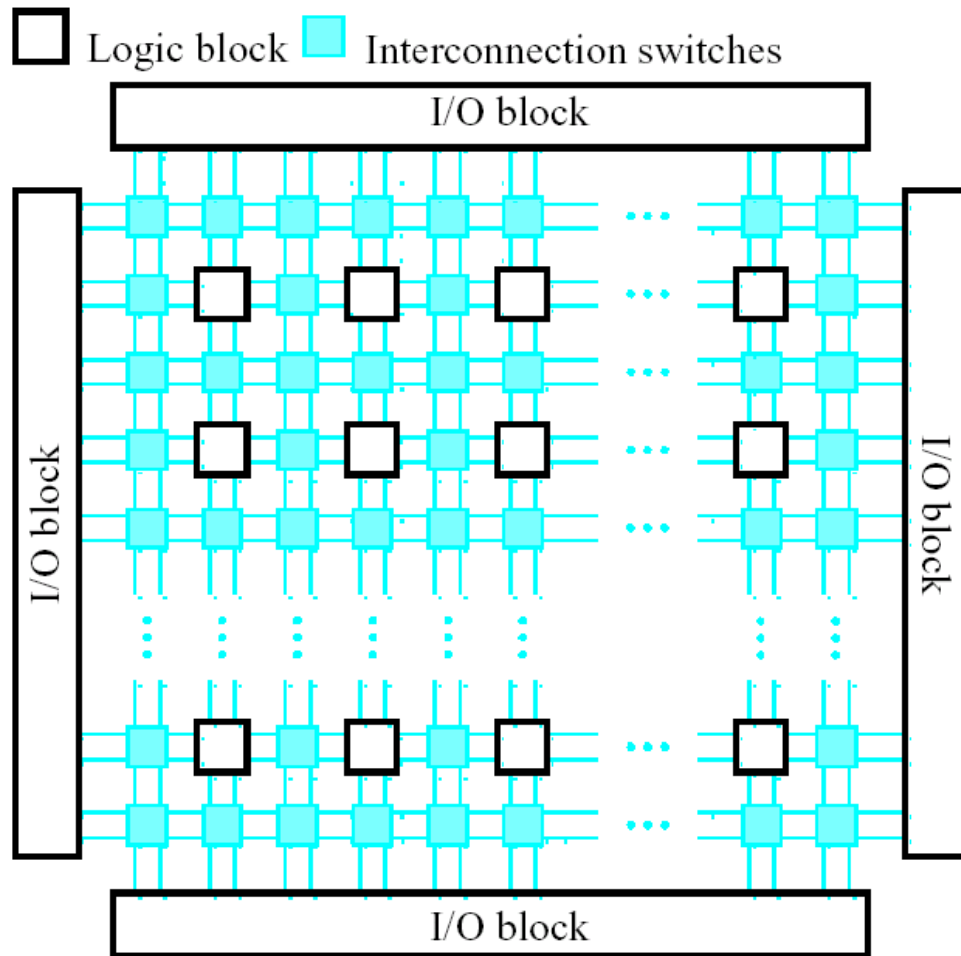
تراشه های منطقی برنامه پذیر

# انواع تراشه‌های برنامه‌پذیر

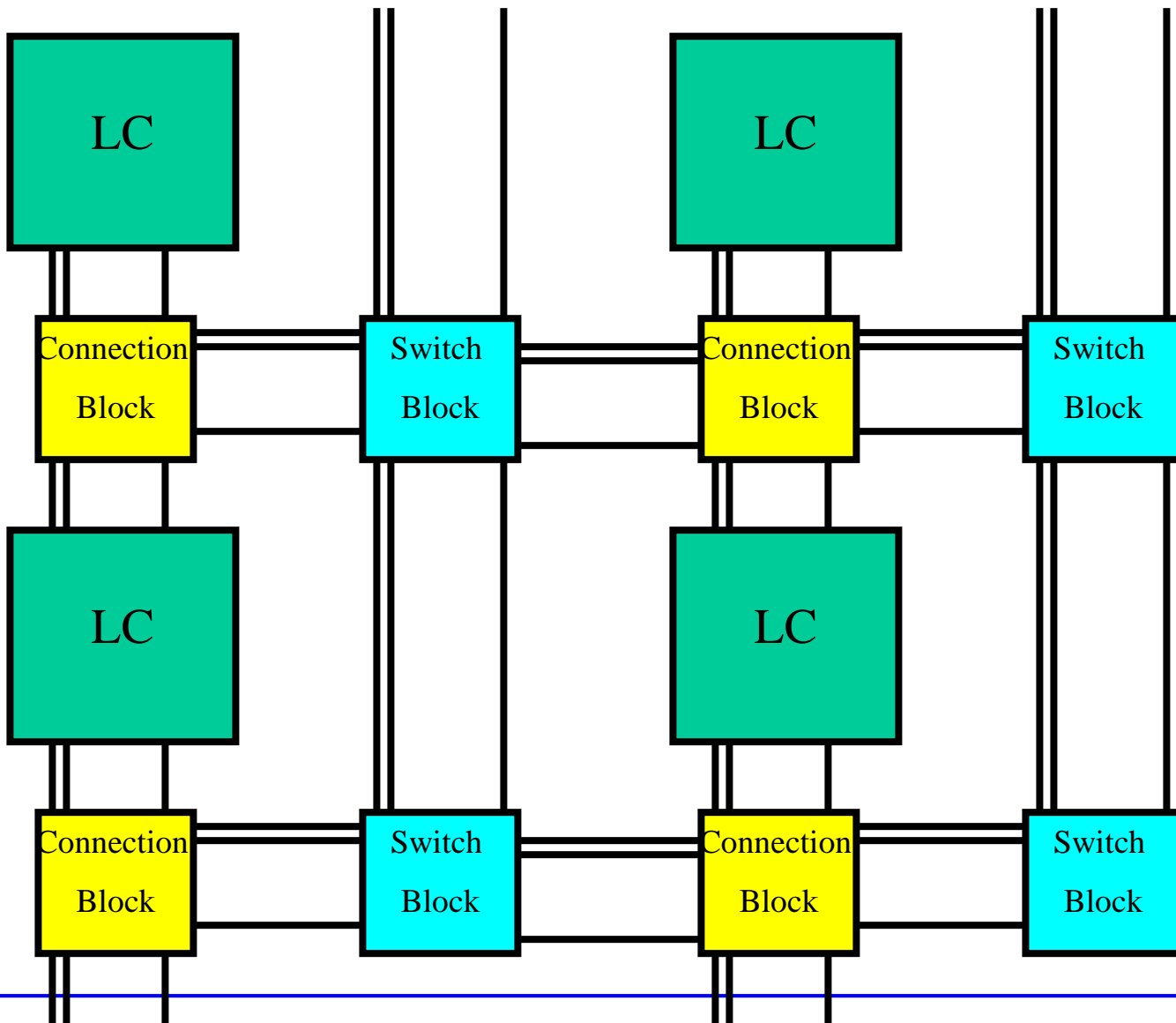
## • جنبه‌های تفاوت:

- ☐ فناوری برنامه‌ریزی تراشه
- ☐ ساختار بلوک‌های منطقی
- ☐ معماری اتصالات برنامه‌پذیر
- ☐ ساختار مدار IO block
- ☐ Hard core

# ساختار FPGA



# معماری اتصالات جزیره‌ای



# معماری اتصالات

• **CB:**

□ اتصال LB به قطعه سیم

• **SB:**

□ اتصال قطعه سیم به قطعه سیم

□ ساخت با

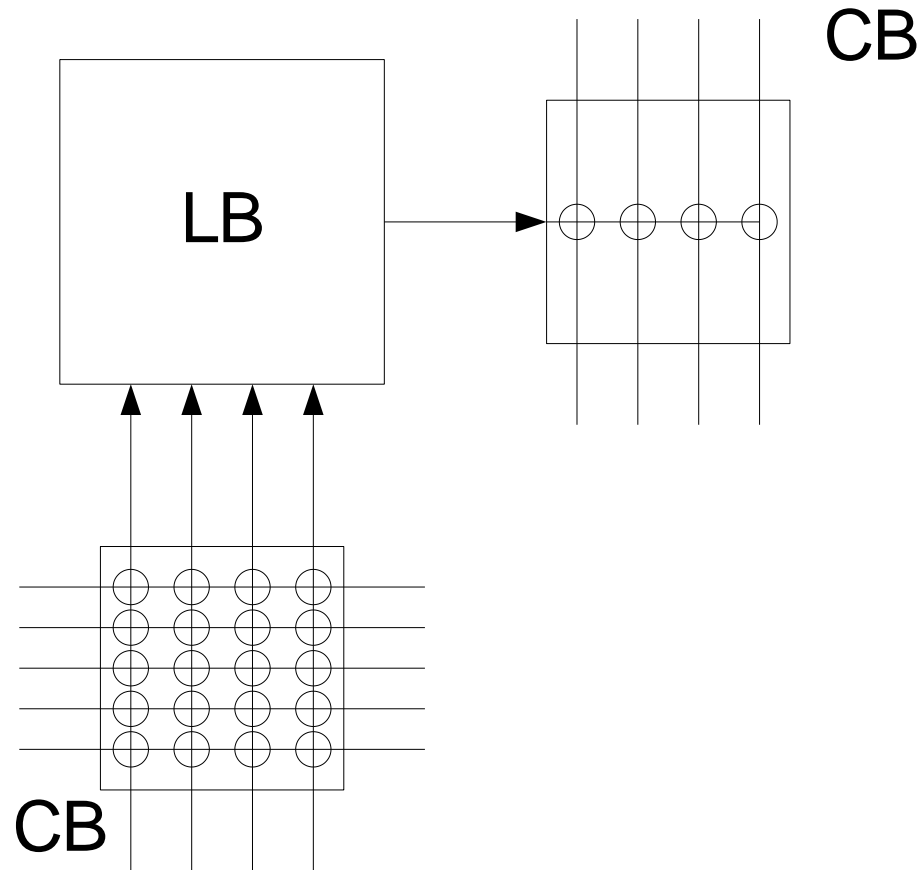
- ترانزیستور عبور

- بافر سه حالتی

- مالتی پلکسر

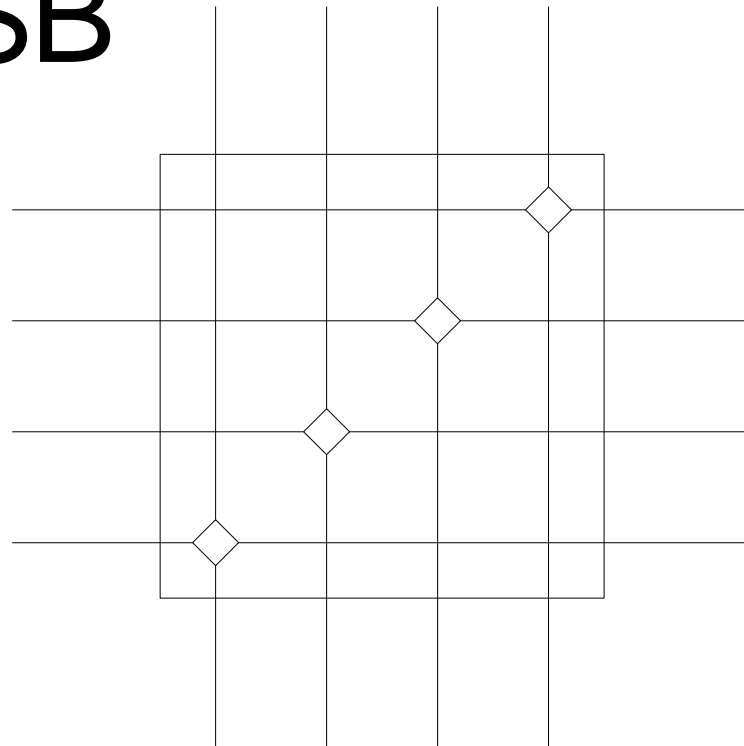
# Connection Block

فقط بخشی از نقاط قابل برنامه‌ریزی □

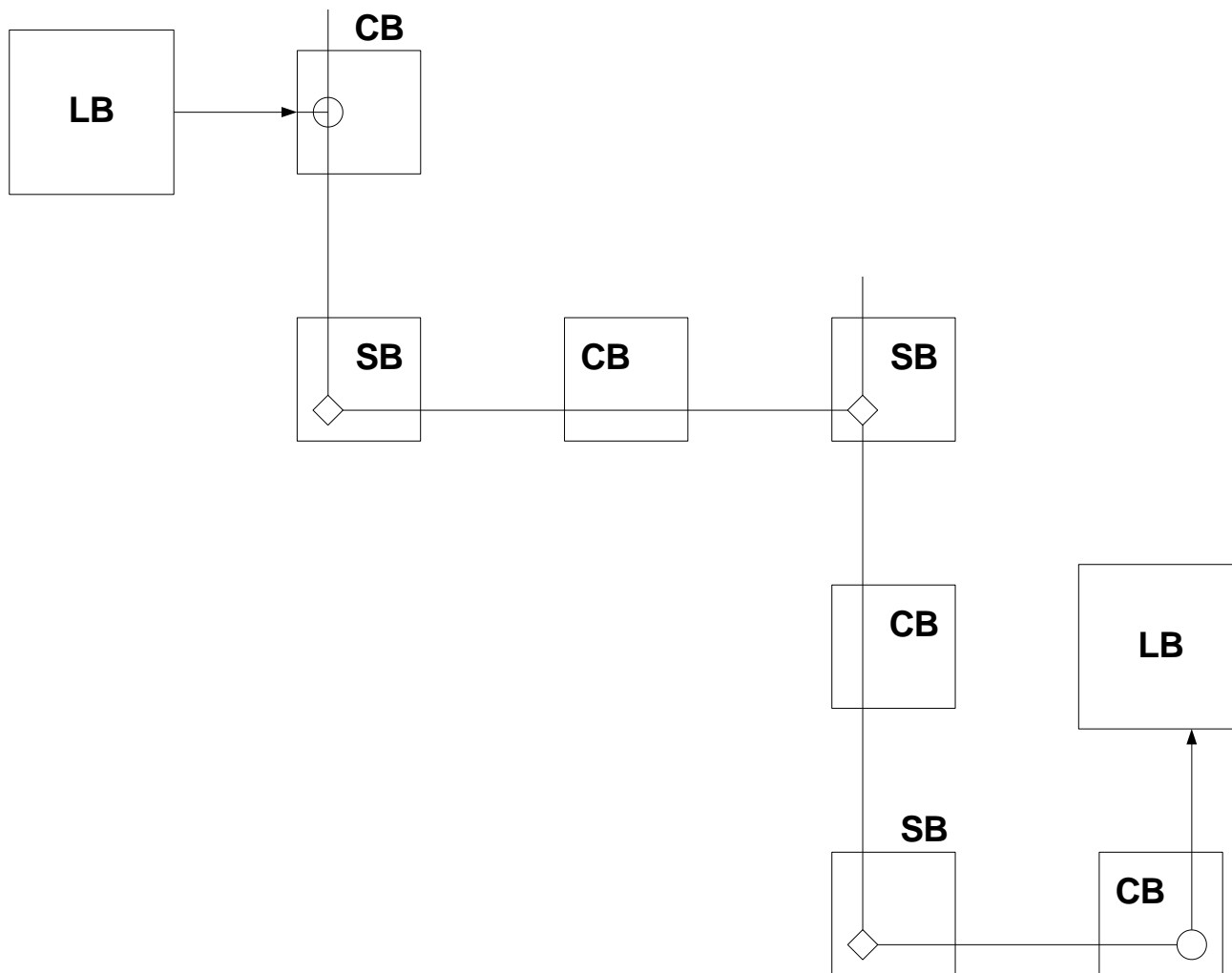


# Switch Block

SB



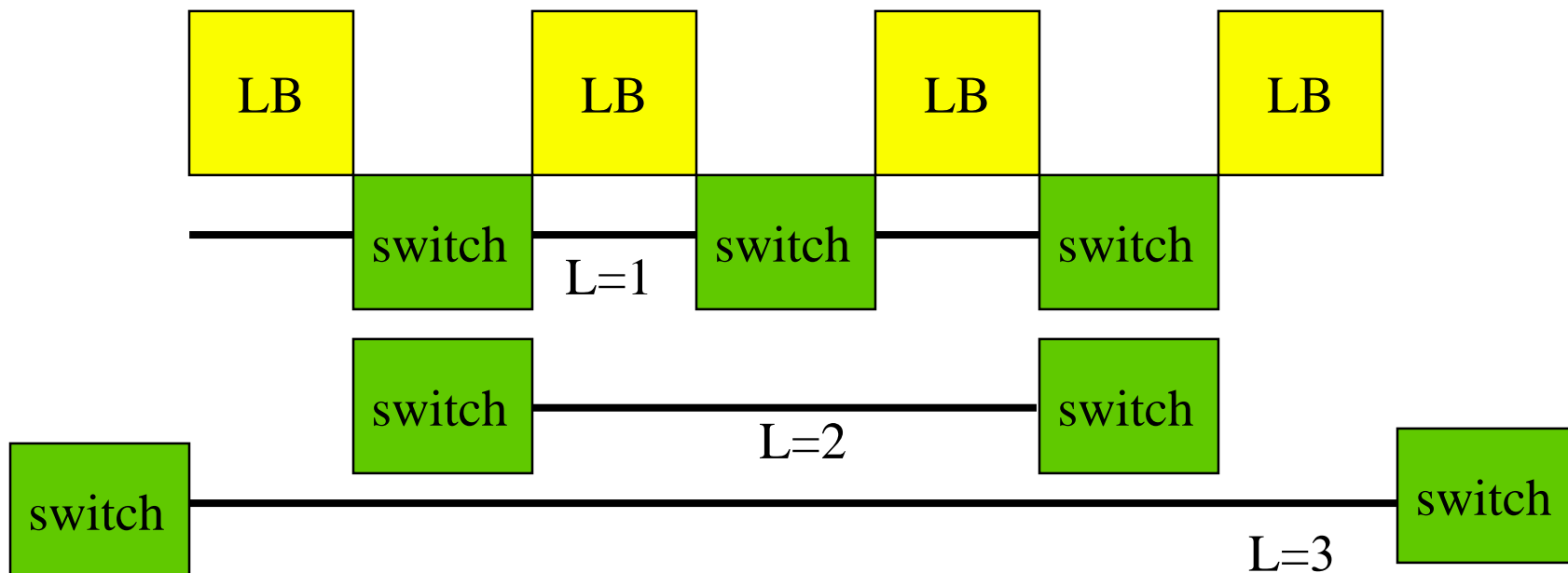
# معماری اتصالات



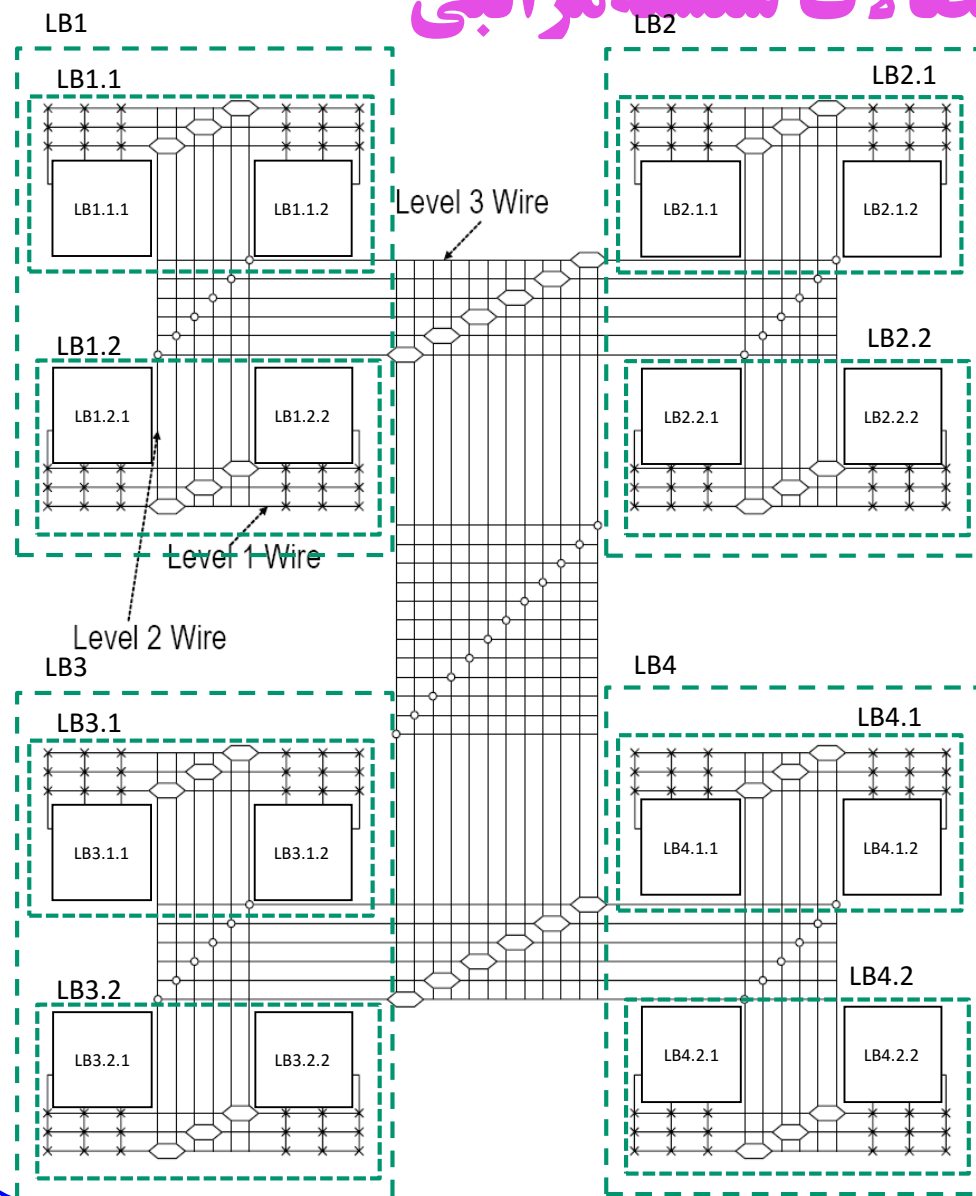


# معماری اتصالات

□ اتصالات با طول بیش از یک



# معماری اتصالات سلسله‌مراتبی

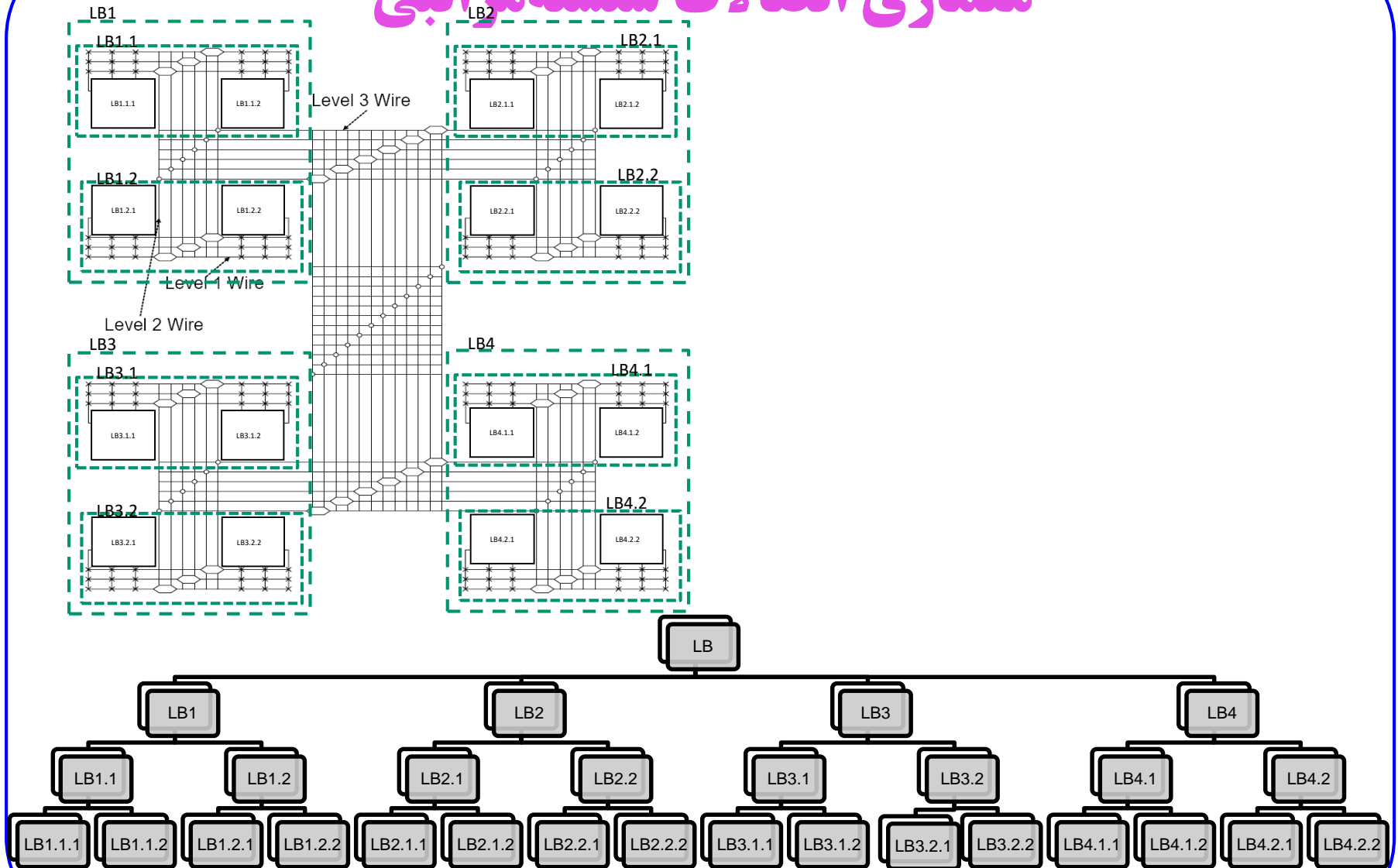


اتصال یک  
بلوک به بلوک  
دیگر:

– عبور از حداکثر  
سه سطح  
سوئیچ

ابزار جایابی  
LBهای  
متصل را در  
یک خوشه قرار  
می‌دهد

# معماری اتصالات سلسله‌مراتبی



بلوک‌های ورودی-خروجی

IO Blocks

# بلوک‌های ورودی-خروجی

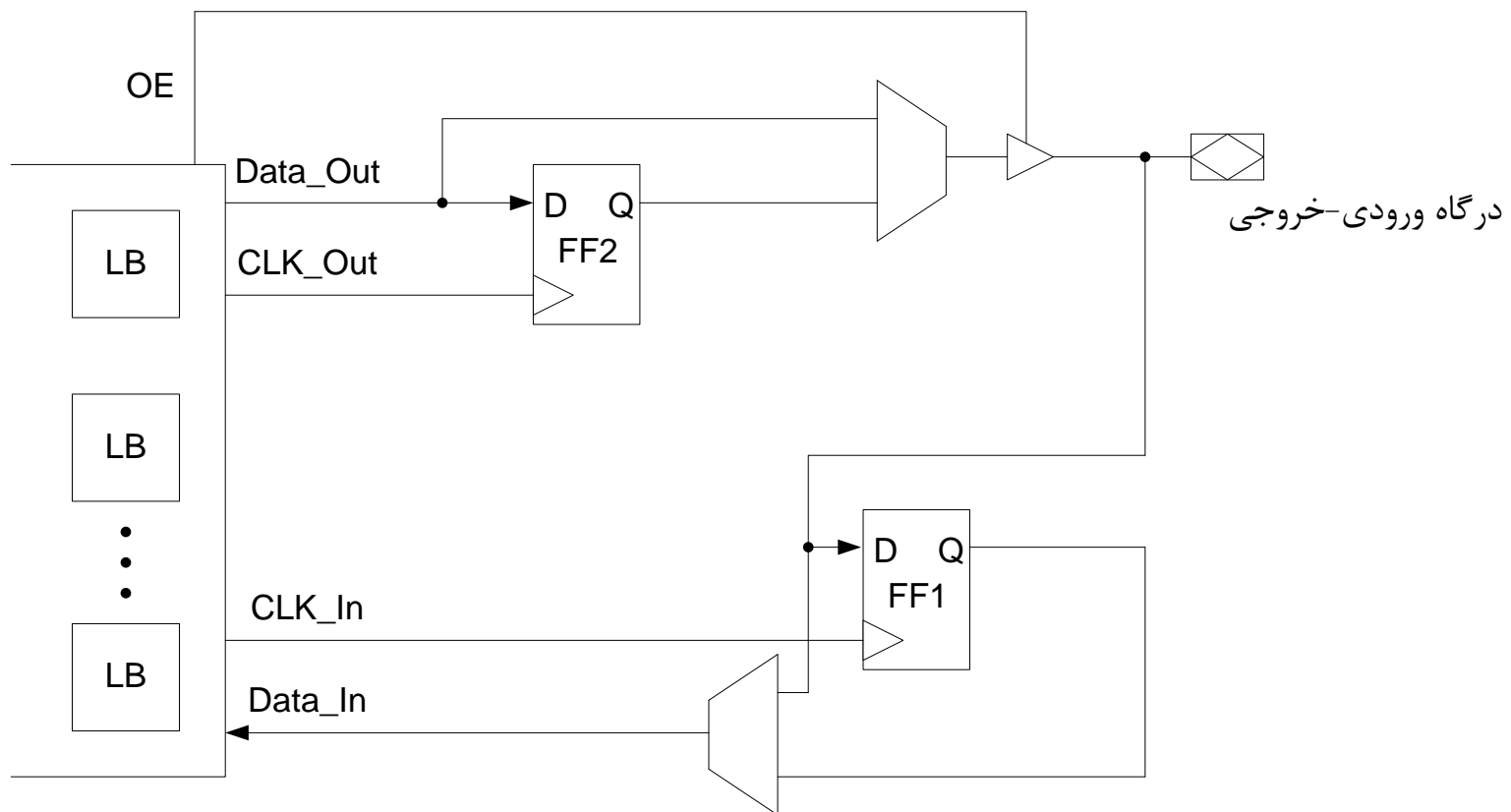
• IOB:

□ ارتباط بین داخل و خارج تراشه

□ وظایف اصلی:

- تقویت سیگنال خروجی
- ثبت خروجی در ثبات و همگام کردن با کلاک
- انتخاب از بین چند سیگنال و ارسال آن به درگاه خروجی
- فعال یا غیرفعال کردن درگاه خروجی
- همگام کردن ورودی دریافتی از درگاه ورودی و همگام کردن آن با کلاک

# بلوک‌های ورودی-خروجی



## بلوک‌های ارتباط سریال سریع

### • بلوک فرستنده/گیرنده گیگابیتی:

□ نیاز برخی از کاربردها به ارسال و دریافت داده‌ها با سرعت‌های بسیار بالا

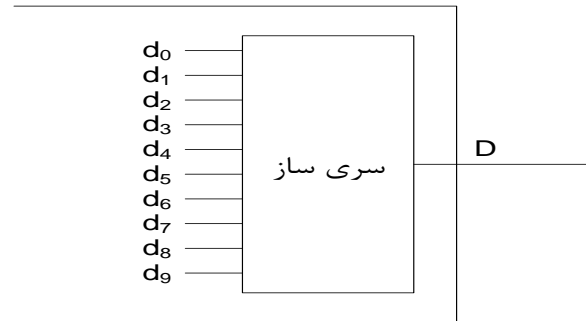
- چند میلیارد بیت در ثانیه یا Gbps

□ ارسال و دریافت داده‌ها

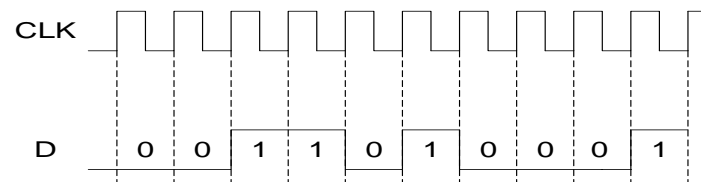
- به صورت سریال (یک بیت در هر کلاک)

- روی دو خط تفاضلی

# بلوک‌های ارتباط سریال سریع

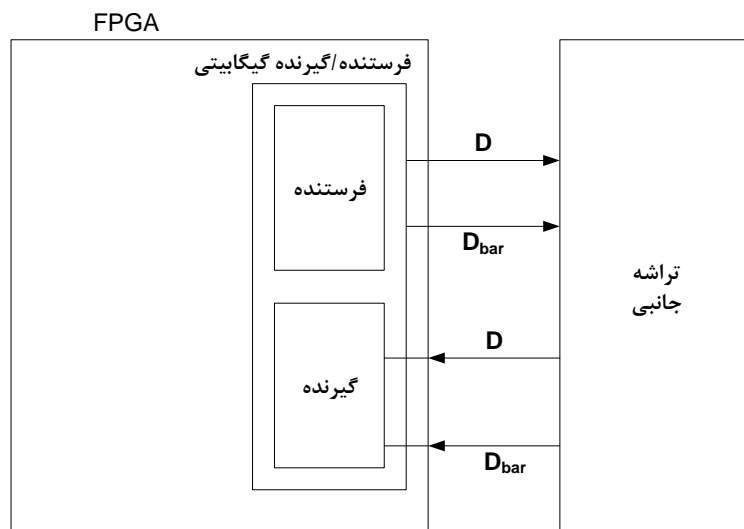


$d_0$	0
$d_1$	0
$d_2$	1
$d_3$	1
$d_4$	0
$d_5$	1
$d_6$	0
$d_7$	0
$d_8$	0
$d_9$	1





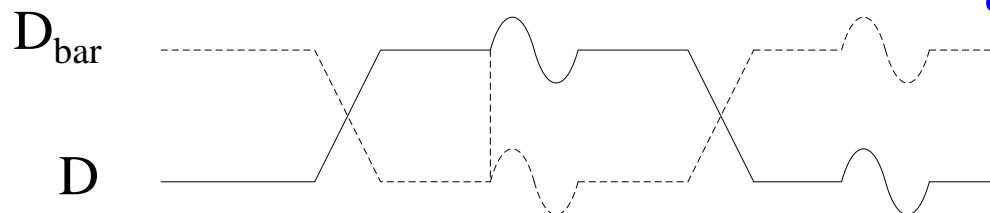
# بلوک‌های ارتباط سریال سریع



(الف)

• مزایای ارسال و دریافت تفاضلی:

□ مقاوم در برابر اغتشاش

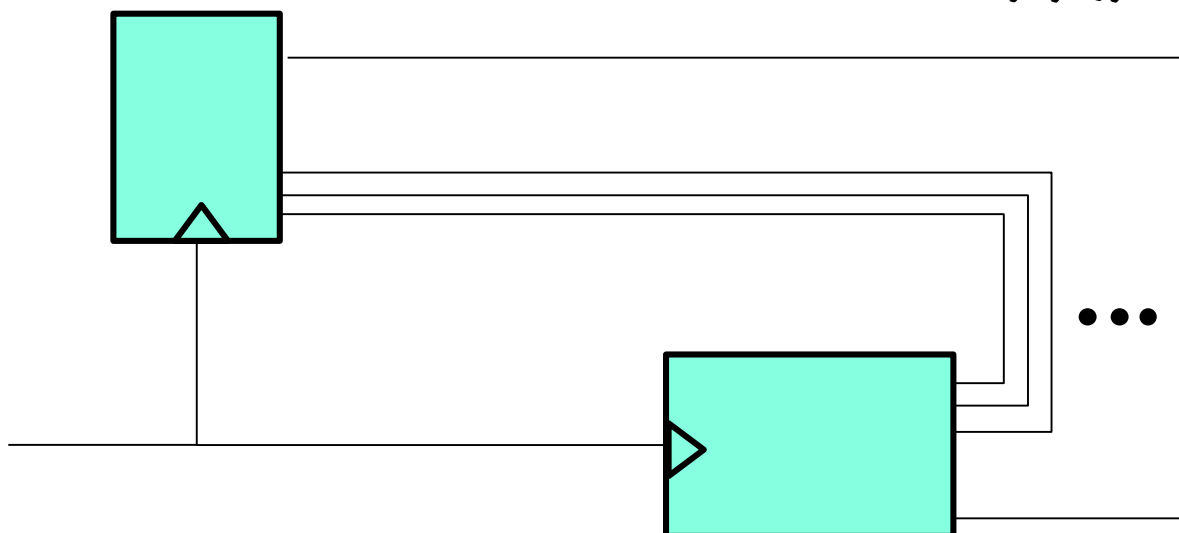


(ب)

# بلوک‌های ارتباط سریال سریع

## مشکلات ارسال و دریافت موازی در سرعت بالا:

- ☐ تداخل الکترومغناطیسی بین خطوط نزدیک
  - ☐ همزمان کردن دریافت سیگنال‌ها
  - ☐ همگام کردن کلاک فرستنده و گیرنده
  - ☐ همگام کردن تعداد زیاد بیت موازی با یک کلاک یکتا
- ← افزایش هزینه ساخت برد و تراشه



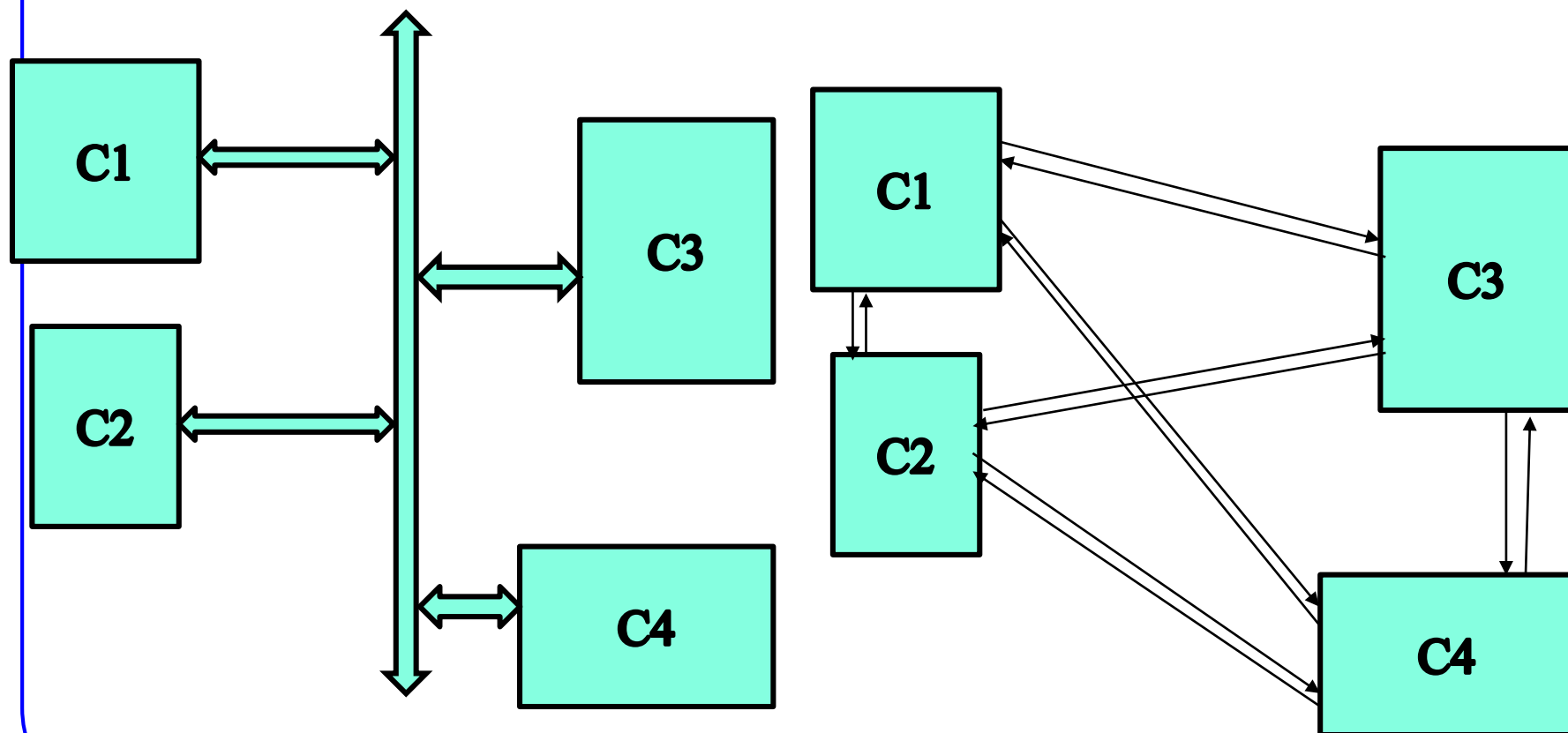
## مدار PLL:

- ☐ بازیابی کلاک

# بلوک‌های ارتباط سریال سریع

## • مشکلات ارسال و دریافت موازی:

ارسال (یا دریافت) همزمان بین چند بلوک: غیر ممکن یا بسیار پرهزینه □



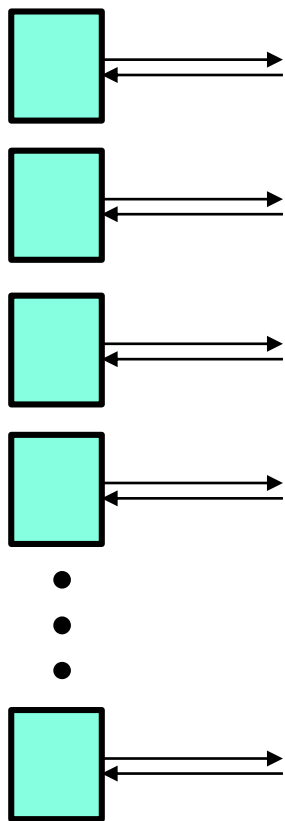
هر فلش: دو خط تفاضلی

# بلوک‌های ارتباط سریال سریع

- ارسال و دریافت داده‌های  $n$  بیتی:

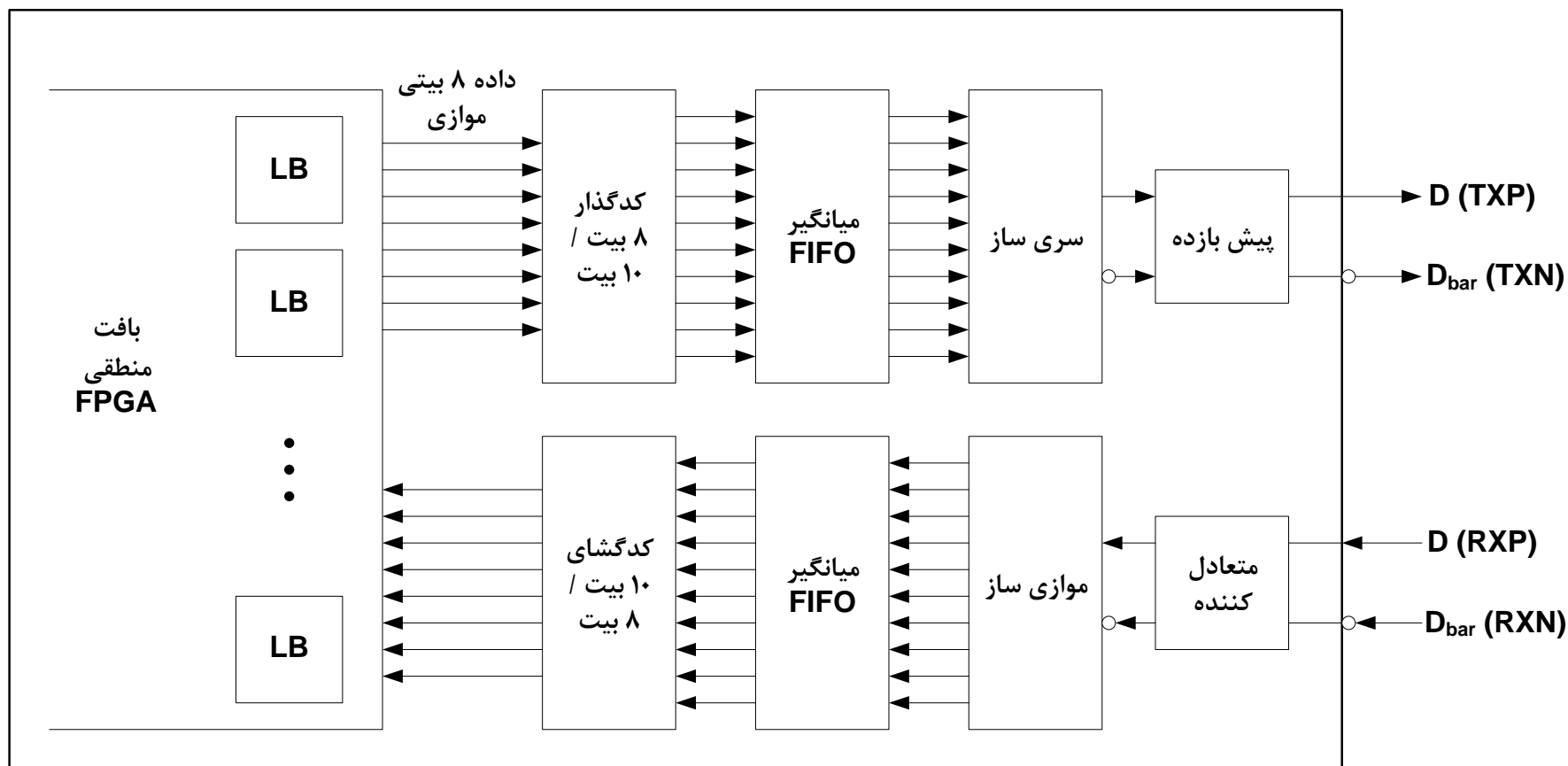
- ☐ استفاده از چند بلوک به طور موازی:

- ☐ در Virtex-7: تا ۹۶ بلوک



# بلوک‌های ارتباط سریال سریع

FPGA

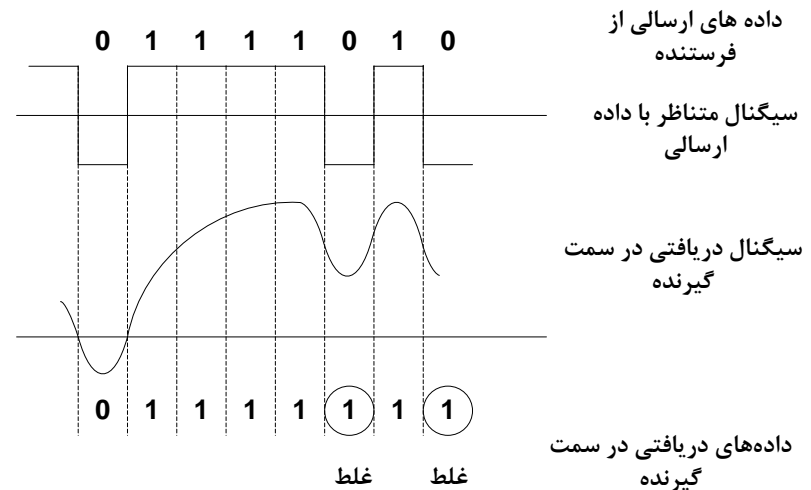
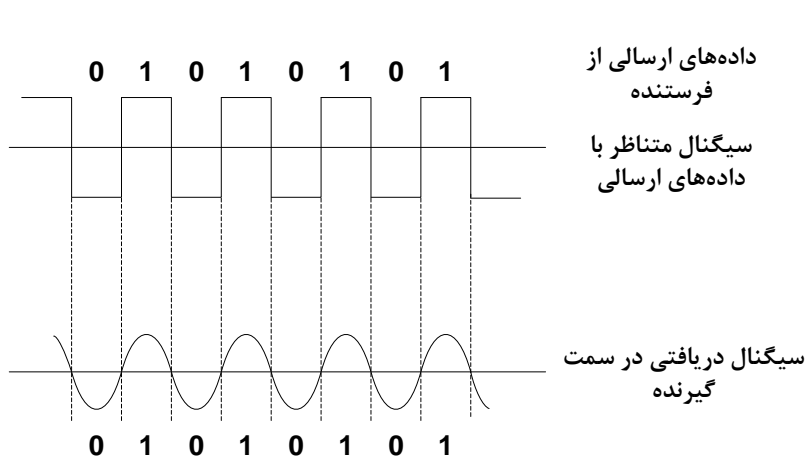


# کدگذار ۸ بیت به ۱۰ بیت

• مشکل:

□ '1'های متوالی (یا '0'های متوالی) ← خطا

- سرعت بسیار بالا، فیلتر شدن فرکانس‌های بالا توسط خط، به هم خوردن تعادل DC



• کدگذار ۸ بیت به ۱۰ بیت<sup>(ب)</sup>

□ تضمین عدم وجود پنج '1' متوالی یا پنج '0' متوالی

□ ایجاد تعداد تقریباً مساوی '1' و '0'

• کدگشای ۱۰ بیت به ۸ بیت:

□ عکس تبدیل در گیرنده

# میانگیر FIFO

## • FIFO Buffer:

- ❑ در فرستنده: Serializer داده‌ها را به ترتیب می‌خواند و سری می‌کند
- ❑ عدم هماهنگی سرعت تولید داده‌های ۱۰ بیتی با سرعت ارسال سری‌ساز
- FIFO برای هماهنگی این دو ←

## ❑ در گیرنده:

- برعکس
- + دریافت از چند بلوک همزمان
- ← نیاز به هماهنگی

