

زبان توصیف سخت افزار

Hardware Description Language

زبان‌ها

VHDL □

- یادگیری حداقل یک زبان به طور کامل
- یادگیری ناقص و سعی و خطا ← سخت شدن توصیف و اشکال زدایی
- اصول یکسان - ساختارهای نحوی متفاوت
- VHDL (اوایل دهه 1980)
- مبتنی بر زبان ADA

VHDL

• کاربردها:

□ مستندسازی:

- به جای توصیف زبان طبیعی:

- نادقیق (برداشتهای مختلف)

- غیر قابل پردازش

VHDL

• کاربردها:

□ مدل سازی:

- مراحل اولیه طراحی:

- عملکرد و رفتار کلی مشخص است
- توصیف الگوریتم با دستورهای رفتاری
- کمک به فهم صورت مسأله
- جلوگیری از سرایت اشکالات به سطوح پایین طراحی

VHDL

• کاربردها:

□ مدل سازی:

- مثال: کنترل کننده آسانسور

```
...  
while (true)  
  begin  
  
    ...  
  
    if (REQUEST = true) then  
      if (REQUEST_FLOOR > CURRENT_FLOOR) then  
        MOVE_UP (CURRENT_FLOOR, ...);  
      else  
        MOVE_DOWN (CURRENT_FLOOR, ...);  
      end if;  
    end if;  
  
    ...  
  
  end;  
  
...
```

VHDL

• کاربردها:

□ سنتز

- تولید خودکار مدار از توصیف
- زیرمجموعه قابل سنتز
 - لزوم آشنایی با این زیرمجموعه
 - تفاوت ابزارها ← portable code
 - کد غیر قابل سنتز برای دیگری
 - مدار متفاوت
 - کلیات یکسان
- این درس:
 - موارد کلی مشترک
 - نحوه کدنویسی مناسب

VHDL

• کاربردها:

□ درستی سنجی

- محیط درستی سنجی: testbench

- عناصر اصلی:

- طرح مورد آزمون
- تولید و اعمال بردارهای ورودی
- مشاهده و تحلیل خروجی‌ها

VHDL

• کاربردها:

□ درستی سنجی

– تولید بردارهای ورودی:

1. تصادفی
2. انتخاب هوشمندانه
3. الگوریتم‌های تولید خودکار بردارهای آزمون (ATPG)

– نیاز به توصیف با کد VHDL

- برنامه‌نویسی روالی
- خواندن از فایل

VHDL

مثال: 

- سخت افزار محاسبه $(x^2 + y^2)^{1/2}$

- مقایسه با نتیجه رفتاری

```
...  
  
1      L1 : L_MODULE(X,Y,L) ;  
      :  
11     LL : process (...)  
12     begin  
13     for X in 0 to 63 loop  
14         for Y in 0 to 63 loop  
15             begin  
16                 L_BEHAVE := (X**2 + Y**2)**0.5;  
17                 if(L != L_BEHAVE)  
18                     ERROR_SIG <= '1';  
19                 end if;  
20             end for;  
21     end for;  
22     end process LL;  
  
...
```

سطوح تجرید (Levels of Abstraction)

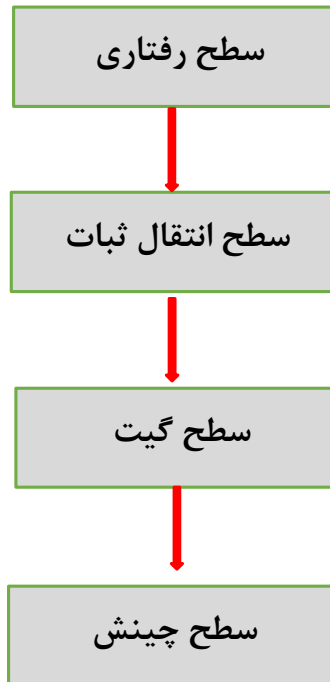
• رفتاری:

- توصیف عملکرد مطلوب
(الگوریتمی)

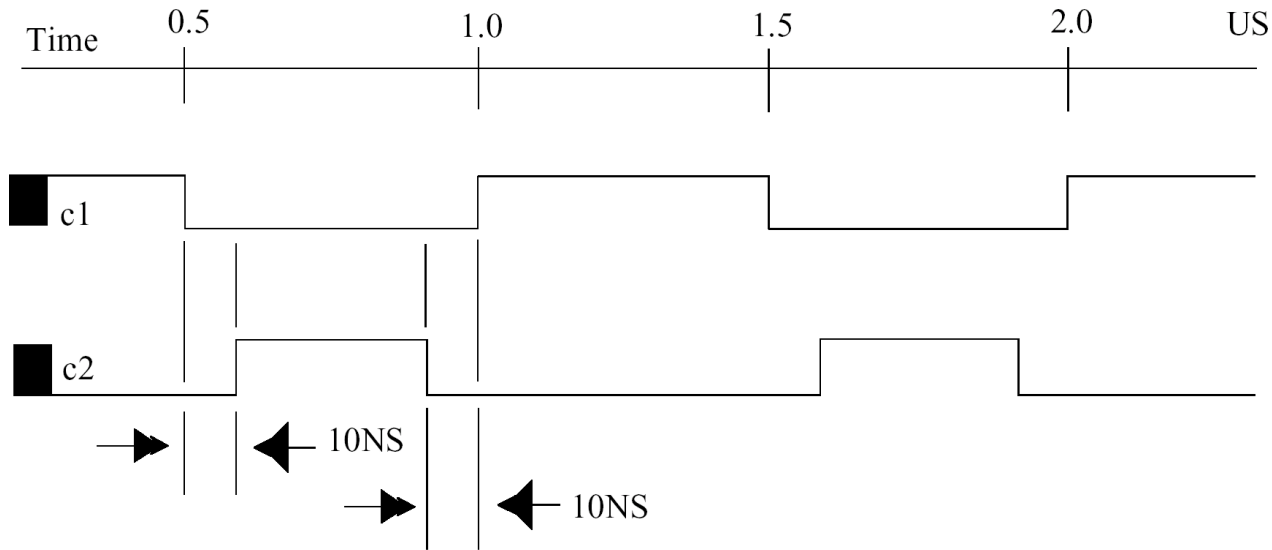
- بدون پرداختن به مدار

- همه امکانات VHDL

-



سطوح تجرید



```
...  
phase2: PROCESS  
BEGIN  
  WAIT UNTIL c1 = '0';  
  WAIT FOR 10 NS;  
  c2 <= '1';  
  WAIT FOR 480 NS;  
  c2 <= '0';  
END PROCESS phase2;  
...
```



Not synthesizable

